

Tabla de Contenido

Índice de Tablas	xi
Índice de Ilustraciones	xii
1. Introducción	1
1.1. Objetivos	2
1.2. Alcances	2
1.3. Aportes	3
1.4. Estructura de la tesis	3
2. Aspectos generales	5
2.1. Inversores de potencia	5
2.1.1. Inversor de 2 niveles	6
2.1.2. Inversor NPC	7
2.1.3. Moduladores utilizados para el inversor NPC	9
2.1.4. Balance de los condensadores del DC-Link	14
2.2. Métodos de control utilizados en inversores front-end	17
2.2.1. Estrategias de control utilizadas en inversores front-end	17
2.3. Control predictivo aplicado a inversores	19
2.3.1. Model Predictive Control (MPC)	20
2.3.2. Modulated Model Predictive Control (M^2PC)	21
3. M^2PC aplicado a un inversor 3L-NPC	25
3.1. Control M^2PC	26
3.1.1. Estrategia #1	28
3.1.2. Estrategia #2	30
3.2. Ecuaciones del sistema	32
3.3. Compensación del retardo	33
3.4. Selección de las regiones del NPC	35
3.5. Cálculo de la referencia	36
3.6. Resumen	38
4. Sistema experimental	39
4.1. Inversor NPC	41
4.2. Tarjetas de medición	42
4.3. Tarjeta de interfaz transductor-dSPACE	43
4.4. Sistema dSPACE	45

4.5. Tarjeta receptora de fibra óptica	46
5. Programación del hardware	48
5.1. Introducción	48
5.2. Programación de la tarjeta de desarrollo de la FPGA Spartan 3	49
5.2.1. Requerimientos del sistema	49
5.2.2. Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3	50
5.2.3. Bloques operativos	52
5.2.4. Pruebas experimentales del firmware en lazo abierto	58
5.3. Programación del sistema dSPACE	59
6. Simulaciones	63
6.1. Inversor front-end	63
6.2. Estrategia de control M^2PC #1 (función multiobjetivo)	64
6.2.1. Prueba en régimen permanente	64
6.2.2. Balance de los condensadores	66
6.2.3. Escalón de la consigna P^*	68
6.2.4. Escalón de la consigna Q^*	70
6.3. Estrategia de control M^2PC #2 (función de costo sólo de I_{abc})	72
6.3.1. Prueba en régimen permanente	72
6.3.2. Balance de los condensadores	73
6.3.3. Escalón de la consigna P^*	75
6.3.4. Escalón de la consigna Q^*	77
6.4. Discusión	79
7. Resultados experimentales	81
7.1. Resultados experimentales para el control M^2PC estrategia #1	81
7.1.1. Prueba en régimen permanente	82
7.1.2. Escalón de potencia activa	84
7.1.3. Escalón de potencia reactiva	86
7.2. Resultados experimentales para el control M^2PC estrategia #2	87
7.2.1. Prueba en régimen permanente	89
7.2.2. Escalón de potencia activa	92
7.2.3. Escalón de potencia reactiva	94
7.3. Discusión	96
8. Conclusiones	98
8.1. Trabajo futuro	99
9. Bibliografía	101
10. Anexos	107
10.1. Transformadas utilizadas	107
10.2. Diseño del PLL	108
10.3. Diseño del Hardware	109
10.3.1. Tarjeta de desarrollo de la FPGA Spartan 3	109
10.3.2. Tarjeta transmisora de fibra óptica	116
10.4. Simulación en Plecs	117

10.5. Secuencia de encendido y apagado del sistema experimental	119
10.6. Control predictivo modulado	120

Índice de Tablas

2.1. Estados válidos de conmutación del inversor NPC de 3 niveles.	9
2.2. Vectores válidos del inversor NPC.	11
3.1. Errores asociados a los vectores \vec{V}_0 , \vec{V}_1 y \vec{V}_2	29
3.2. Efectos de los vectores pequeños y medianos en la corriente inyectada al neutro del DC-Link.	36
5.1. Señales de entrada y salida del bloque <i>Reloj</i>	54
5.2. Señales de entrada y salida del bloque <i>Fifo Tiempo</i>	54
5.3. Señales de entrada y salida del bloque <i>Temporizador</i>	56
5.4. Decodificador del bloque Protecciones, cada vector tiene asociado un patrón de salida de 12 bits.	57
5.5. Puertos de entrada y salida del bloque <i>Protecciones</i>	57
5.6. Puertos de entrada y salida del bloque <i>Retentor</i>	58
5.7. Puertos de entrada y salida del bloque <i>Gestion</i>	58
6.1. Parámetros del sistema front-end utilizados en la simulación.	63
7.1. Parámetros del sistema en configuración front-end.	81
10.1. Pines de conexión de los bancos de alimentación de la <i>Spartan 3</i> modelo <i>XC3S400-4PQG208C</i>	113
10.2. Condensadores de desacoplamiento utilizados en la alimentación de la FPGA Spartan 3.	114
10.3. Macros utilizadas en la simulación del sistema mediante Plecs.	117

Índice de Ilustraciones

2.1. Inversor trifásico de 2 niveles con filtro inductivo a su salida.	6
2.2. Modulación vectorial de un inversor fuente de tensión de 2 niveles trifásico. .	7
2.3. Topología de un inversor NPC de 3 niveles y 3 hilos.	8
2.4. Formas de onda de la tensión de salida y la tensión fase-fase del inversor NPC de 3 niveles.	8
2.5. Conmutación del estado O a P de la fase A con $i_A > 0$	9
2.6. Modulación PWM de un inversor NPC de 3 niveles.	10
2.7. Vectores del inversor NPC en coordenadas $\alpha\beta$	12
2.8. Simplificación del diagrama vectorial de un inversor de 3 a uno de 2 niveles.	12
2.9. Forma de onda sintetiza con modulación SHE.	13
2.10. Vectores virtuales definidos en [24] para balancear los condensadores del DC-Link.	15
2.11. Definición óptima de los vectores virtuales [26].	15
2.12. Modulación N3V (izquierda) y S3V (derecha) utilizada en [25].	16
2.13. Controlador PI en coordenadas dq de un inversor Front-End.	18
2.14. Controlador resonante de un inversor Front-End.	18
2.15. Control por histéresis de un inversor Front-End.	20
2.16. Inversor back-to-back monofásico de 7 niveles.	23
2.17. Transformación lineal hacia el espacio de errores definida en [6].	24
2.18. Sistema considerado en [5].	24
3.1. Inversor NPC en configuración front-end.	25
3.2. Diagrama de control de la estrategia M^2PC #1.	30
3.3. Diagrama de control de la estrategia M^2PC #2.	32
3.4. Compensación de las mediciones para contrarrestar el atraso introducido por el tiempo de procesamiento del sistema dS1103.	33
3.5. Compensación de las corrientes desde el instante k a $k + 1$	35
3.6. Primer sector de las regiones de modulación del inversor NPC.	36
3.7. Esquema de control del filtro síncrono.	37
4.1. Diagrama de control del sistema experimental.	39
4.2. Sistema experimental utilizado para probar la estrategia de control M^2PC . .	40
4.3. Inversor NPC de 3 niveles y 4 fases.	42
4.4. Esquemático del transductor de tensión modelo LV 25-P.	42
4.5. Tarjeta de medición de tensiones de 4 canales.	43
4.6. Esquemático del transductor de corriente modelo LA 55-P.	43

4.7.	Tarjeta de medición de corrientes de 4 canales.	44
4.8.	Esquemático del circuito utilizado por la tarjeta de interfaz para adecuar la tensión y corriente de las señales medidas al protocolo utilizado por la plataforma dSPACE.	44
4.9.	Circuito para sintetizar los umbrales de falla V_{falla+} y V_{falla-}	45
4.10.	Circuito de disparo de la señal de falla.	45
4.11.	Tarjeta transductora utilizada para medir las tensiones de la red.	45
4.12.	Diagrama de bloques de la plataforma dS1103.	46
4.13.	Tarjeta receptora de fibra óptica de 16 canales.	47
5.1.	Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3.	51
5.2.	Operación de las señales de interés del bloque FIFO vector y tiempo.	55
5.3.	Principales señales del sistema implementado en VHDL.	59
5.4.	Primer período de funcionamiento del sistema, inicialmente se envía un vector nulo tipo O con un tiempo de $t = 100 [\mu s]$	59
5.5.	Primer período del sistema en que se envían vectores con un patrón doble simétrico.	60
6.1.	NPC en configuración front-end simulado en <i>Plecs</i>	64
6.2.	Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	65
6.3.	Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	65
6.4.	Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	66
6.5.	Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	67
6.6.	Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	67
6.7.	Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	68
6.8.	Corriente inyectada a la red al realizar un cambio escalón en P^*	69
6.9.	Tensión de los condensadores C_1 y C_2 al realizar un cambio escalón en P^*	69
6.10.	Potencia activa y reactiva inyectadas a la red al realizar un cambio escalón en P^*	70
6.11.	Corriente inyectada a la red al realizar un cambio escalón en Q^*	71
6.12.	Tensión de C_1 y C_2 al realizar un cambio escalón en Q^*	71
6.13.	Potencia inyectada a la red al realizar un cambio escalón en Q^*	72
6.14.	Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	73
6.15.	Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	73
6.16.	Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	74
6.17.	Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	74

6.18. Tensión del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	75
6.19. Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	76
6.20. Corriente inyectada a la red al realizar un cambio escalón en P^*	76
6.21. Tensión de los condensadores del DC-Link al realizar un cambio escalón en P^*	77
6.22. Potencia activa y reactiva inyectada a la red al realizar un cambio escalón en P^*	77
6.23. Corriente inyectada a la red al realizar un cambio escalón en Q^*	78
6.24. Tensión de los condensadores del DC-Link al realizar un cambio escalón en Q^*	79
6.25. Potencia inyectada a la red al realizar un cambio escalón en Q^*	79
7.1. Corrientes inyectadas a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	82
7.2. Espectro de frecuencias de I_{abc} cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	83
7.3. Tensión de los condensadores del DC-Link (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	83
7.4. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	84
7.5. Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	85
7.6. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.	85
7.7. Tensión de C_1 y C_2 (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P.	86
7.8. Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P.	87
7.9. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.	88
7.10. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.	88
7.11. Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q.	89
7.12. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	90
7.13. Espectro de frecuencia de I_{abc} cuando cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	90
7.14. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	91
7.15. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	91
7.16. Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	92
7.17. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.	93
7.18. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P.	93

7.19. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P.	94
7.20. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.	95
7.21. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.	95
7.22. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q.	96
10.1. Diagrama de bloques del algoritmo PLL utilizado para determinar el ángulo de la red.	108
10.2. Tarjeta de desarrollo de la FPGA Spartan 3.	110
10.3. Diagrama de conexión del modo Master Serial con una plataforma flash PROM para 3,3 [V].	112
10.4. Bancos de pines presentes en la FPGA Spartan 3.	113
10.5. Plano de potencia utilizado.	113
10.6. Conexión recomendada para el regulador de tensión <i>LP3966ESX</i>	114
10.7. Pines del puerto IO D Sub 50 de la plataforma <i>dS1103</i>	115
10.8. Tarjeta transmisora de pulsos de fibra óptica.	116
10.9. Circuito implementado para cada señal de disparo enviada por la FPGA. . .	117