



UNIVERSIDAD DE CHILE
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

**DISEÑO E IMPLEMENTACIÓN DE UNA ESTRATEGIA DE CONTROL
PREDICTIVO MODULADO PARA UN INVERSOR NPC FRONT-END**

TESIS PARA OPTAR AL GRADO DE MAGÍSTER EN CIENCIAS DE LA
INGENIERÍA, MENCIÓN ELÉCTRICA

MEMORIA PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELÉCTRICO

FELIPE OCTAVIO DONOSO MERLET

PROFESOR GUÍA:
ROBERTO CÁRDENAS DOBSON

PROFESORES CO-GUÍA:
PABLO LEZANA ILLESCA
DORIS SÁEZ HUEICHAPAN

MIEMBROS DE LA COMISIÓN:
MARCOS ORCHARD CONCHA
SAMIR KOURO RENAER

SANTIAGO DE CHILE

2016

RESUMEN DE LA TESIS PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELÉCTRICO
Y AL GRADO DE MAGÍSTER EN CIENCIAS DE LA INGENIERÍA, MENCIÓN ELÉCTRICA
POR: FELIPE OCTAVIO DONOSO MERLET

FECHA: 2016

PROF. GUÍA: SR. ROBERTO CÁRDENAS DOBSON

DISEÑO E IMPLEMENTACIÓN DE UNA ESTRATEGIA DE CONTROL PREDICTIVO MODULADO PARA UN INVERSOR NPC FRONT-END

Actualmente existe un gran interés y compromiso en aumentar la generación eléctrica proveniente de fuentes ERNC (Energías Renovables No Convencionales) a nivel mundial dado el actual escenario energético. Para maximizar la transferencia energética y asegurar una operación óptima desde un punto de vista técnico y económico se han propuesto distintas topologías de inversores junto con sus estrategias de control. Por otro lado, el control predictivo se perfila como una estrategia prometedora para controlar algunas topologías de inversores de potencia, en particular el control FS-MPC (Finite Set - Model Predictive Control) se ha implementado en un gran número de configuraciones debido a sus ventajas como: rápida respuesta transitoria; fácil inclusión de no linealidades y restricciones en el controlador; y ausencia de modulador. Sin embargo las tensiones sintetizadas por esta estrategia poseen una frecuencia de conmutación variable lo que complica el diseño de filtros de conexión a la red y aumenta la distorsión armónica en las señales inyectadas.

En esta tesis se implementa de forma experimental un control predictivo modulado (M^2PC , Modulated Model Predictive Control) en un inversor NPC (Neutral Point Clamped) trifásico de 3 niveles en configuración front-end, esta estrategia genera una tensión con frecuencia de conmutación fija y además mantiene las ventajas del control FS-MPC ya mencionadas. El controlador se programó en una plataforma dSPACE dS1103, para esto fue necesario diseñar y construir una tarjeta de desarrollo para una FPGA (Field-Programmable Gate Array) Spartan 3 y una tarjeta transmisora de fibra óptica, la función de la primera tarjeta es gestionar el envío de vectores al convertidor NPC y habilitar un sistema de protección que apague el inversor en caso de falla, mientras que la segunda tarjeta se utiliza para enviar los pulsos de disparo a los IGBT (Insulated-Gate Bipolar Transistor) del inversor.

En el desarrollo de esta tesis se proponen 2 estrategias de control M^2PC , en la primera se utiliza una función multiobjetivo para regular la corriente inyectada a la red y el balance de los condensadores del DC-Link, mientras que en la segunda el control M^2PC sólo se encarga del error de corriente y en una etapa posterior se regula las tensiones del DC-Link. Inicialmente la estrategia se simula mediante el software *Plecs* y posteriormente se implementa en el sistema experimental. Se concluye que ambas estrategias presentan un buen desempeño en régimen permanente y transitorio, en ambos casos el THD (Total Harmonic Distortion) es menor al 2% y los condensadores se encuentran balanceados.

*A Isabel, Juan Pablo, María Jesús y Natalia, las personas que más amo en la vida.
Siempre estarán en mi corazón.
A mi abuelita, que me cuida desde el cielo.*

Agradecimientos

A mi madre, por el apoyo incondicional que me ha dado, por sus sacrificios y por dar su vida por mí. Muchas gracias por todas sus enseñanzas.

A mi padre, por su amor a pesar de las adversidades.

A mis hermanos, por su cariño y compañía a lo largo de mi vida.

A Natalia, mi compañera de vida, por su infinito amor.

A mi tío Juan Carlos, por su ayuda y consejos.

A mis compañeros del laboratorio de micro-redes y de electrónica de potencia. Agradezco su ayuda y buena disposición.

A mi profesor guía Roberto Cárdenas, gracias por su gran compromiso con mi trabajo de tesis. Muchas gracias por ayudarme a incursionar en el interesante mundo de la electrónica de potencia.

Al profesor Pablo Lezana por su ayuda en el diseño de la tarjeta de desarrollo. A la profesora Doris Sáez por facilitarme el sistema dSPACE y su ayuda en este proceso. A los profesores Marcos Orchard y Samir Kuoro por sus correcciones, las que me ayudaron a ver el problema desde un punto de vista más amplio.

Finalmente agradezco el financiamiento otorgado por la beca de magister CONICYT-PCHA/MagísterNacional/2015 - 22151010 y por el equipamiento utilizado al proyecto Fondecyt Nr 1140775 “Design of Robust Predictive Control Strategies for the Operation of Microgrids with High Penetration of Renewable Energy” y al proyecto Fondecyt Nr. 1140337 “Modular Multilevel Converter Technologies for High Power Drives”. También quiero agradecer al AC3E (Advanced Center for Electrical and Electronic Engineering) por el apoyo otorgado en la realización de esta tesis.

Tabla de Contenido

Índice de Tablas	xi
Índice de Ilustraciones	xii
1. Introducción	1
1.1. Objetivos	2
1.2. Alcances	2
1.3. Aportes	3
1.4. Estructura de la tesis	3
2. Aspectos generales	5
2.1. Inversores de potencia	5
2.1.1. Inversor de 2 niveles	6
2.1.2. Inversor NPC	7
2.1.3. Moduladores utilizados para el inversor NPC	9
2.1.4. Balance de los condensadores del DC-Link	14
2.2. Métodos de control utilizados en inversores front-end	17
2.2.1. Estrategias de control utilizadas en inversores front-end	17
2.3. Control predictivo aplicado a inversores	19
2.3.1. Model Predictive Control (MPC)	20
2.3.2. Modulated Model Predictive Control (M^2PC)	21
3. M^2PC aplicado a un inversor 3L-NPC	25
3.1. Control M^2PC	26
3.1.1. Estrategia #1	28
3.1.2. Estrategia #2	30
3.2. Ecuaciones del sistema	32
3.3. Compensación del retardo	33
3.4. Selección de las regiones del NPC	35
3.5. Cálculo de la referencia	36
3.6. Resumen	38
4. Sistema experimental	39
4.1. Inversor NPC	41
4.2. Tarjetas de medición	42
4.3. Tarjeta de interfaz transductor-dSPACE	43
4.4. Sistema dSPACE	45

4.5. Tarjeta receptora de fibra óptica	46
5. Programación del hardware	48
5.1. Introducción	48
5.2. Programación de la tarjeta de desarrollo de la FPGA Spartan 3	49
5.2.1. Requerimientos del sistema	49
5.2.2. Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3	50
5.2.3. Bloques operativos	52
5.2.4. Pruebas experimentales del firmware en lazo abierto	58
5.3. Programación del sistema dSPACE	59
6. Simulaciones	63
6.1. Inversor front-end	63
6.2. Estrategia de control M^2PC #1 (función multiobjetivo)	64
6.2.1. Prueba en régimen permanente	64
6.2.2. Balance de los condensadores	66
6.2.3. Escalón de la consigna P^*	68
6.2.4. Escalón de la consigna Q^*	70
6.3. Estrategia de control M^2PC #2 (función de costo sólo de I_{abc})	72
6.3.1. Prueba en régimen permanente	72
6.3.2. Balance de los condensadores	73
6.3.3. Escalón de la consigna P^*	75
6.3.4. Escalón de la consigna Q^*	77
6.4. Discusión	79
7. Resultados experimentales	81
7.1. Resultados experimentales para el control M^2PC estrategia #1	81
7.1.1. Prueba en régimen permanente	82
7.1.2. Escalón de potencia activa	84
7.1.3. Escalón de potencia reactiva	86
7.2. Resultados experimentales para el control M^2PC estrategia #2	87
7.2.1. Prueba en régimen permanente	89
7.2.2. Escalón de potencia activa	92
7.2.3. Escalón de potencia reactiva	94
7.3. Discusión	96
8. Conclusiones	98
8.1. Trabajo futuro	99
9. Bibliografía	101
10. Anexos	107
10.1. Transformadas utilizadas	107
10.2. Diseño del PLL	108
10.3. Diseño del Hardware	109
10.3.1. Tarjeta de desarrollo de la FPGA Spartan 3	109
10.3.2. Tarjeta transmisora de fibra óptica	116
10.4. Simulación en Plecs	117

10.5. Secuencia de encendido y apagado del sistema experimental	119
10.6. Control predictivo modulado	120

Índice de Tablas

2.1. Estados válidos de conmutación del inversor NPC de 3 niveles.	9
2.2. Vectores válidos del inversor NPC.	11
3.1. Errores asociados a los vectores \vec{V}_0 , \vec{V}_1 y \vec{V}_2	29
3.2. Efectos de los vectores pequeños y medianos en la corriente inyectada al neutro del DC-Link.	36
5.1. Señales de entrada y salida del bloque <i>Reloj</i>	54
5.2. Señales de entrada y salida del bloque <i>Fifo Tiempo</i>	54
5.3. Señales de entrada y salida del bloque <i>Temporizador</i>	56
5.4. Decodificador del bloque Protecciones, cada vector tiene asociado un patrón de salida de 12 bits.	57
5.5. Puertos de entrada y salida del bloque <i>Protecciones</i>	57
5.6. Puertos de entrada y salida del bloque <i>Retentor</i>	58
5.7. Puertos de entrada y salida del bloque <i>Gestion</i>	58
6.1. Parámetros del sistema front-end utilizados en la simulación.	63
7.1. Parámetros del sistema en configuración front-end.	81
10.1. Pines de conexión de los bancos de alimentación de la <i>Spartan 3</i> modelo <i>XC3S400-4PQG208C</i>	113
10.2. Condensadores de desacoplamiento utilizados en la alimentación de la FPGA Spartan 3.	114
10.3. Macros utilizadas en la simulación del sistema mediante Plecs.	117

Índice de Ilustraciones

2.1. Inversor trifásico de 2 niveles con filtro inductivo a su salida.	6
2.2. Modulación vectorial de un inversor fuente de tensión de 2 niveles trifásico. .	7
2.3. Topología de un inversor NPC de 3 niveles y 3 hilos.	8
2.4. Formas de onda de la tensión de salida y la tensión fase-fase del inversor NPC de 3 niveles.	8
2.5. Conmutación del estado O a P de la fase A con $i_A > 0$	9
2.6. Modulación PWM de un inversor NPC de 3 niveles.	10
2.7. Vectores del inversor NPC en coordenadas $\alpha\beta$	12
2.8. Simplificación del diagrama vectorial de un inversor de 3 a uno de 2 niveles.	12
2.9. Forma de onda sintetiza con modulación SHE.	13
2.10. Vectores virtuales definidos en [24] para balancear los condensadores del DC-Link.	15
2.11. Definición óptima de los vectores virtuales [26].	15
2.12. Modulación N3V (izquierda) y S3V (derecha) utilizada en [25].	16
2.13. Controlador PI en coordenadas dq de un inversor Front-End.	18
2.14. Controlador resonante de un inversor Front-End.	18
2.15. Control por histéresis de un inversor Front-End.	20
2.16. Inversor back-to-back monofásico de 7 niveles.	23
2.17. Transformación lineal hacia el espacio de errores definida en [6].	24
2.18. Sistema considerado en [5].	24
3.1. Inversor NPC en configuración front-end.	25
3.2. Diagrama de control de la estrategia M^2PC #1.	30
3.3. Diagrama de control de la estrategia M^2PC #2.	32
3.4. Compensación de las mediciones para contrarrestar el atraso introducido por el tiempo de procesamiento del sistema dS1103.	33
3.5. Compensación de las corrientes desde el instante k a $k + 1$	35
3.6. Primer sector de las regiones de modulación del inversor NPC.	36
3.7. Esquema de control del filtro síncrono.	37
4.1. Diagrama de control del sistema experimental.	39
4.2. Sistema experimental utilizado para probar la estrategia de control M^2PC . .	40
4.3. Inversor NPC de 3 niveles y 4 fases.	42
4.4. Esquemático del transductor de tensión modelo LV 25-P.	42
4.5. Tarjeta de medición de tensiones de 4 canales.	43
4.6. Esquemático del transductor de corriente modelo LA 55-P.	43

4.7. Tarjeta de medición de corrientes de 4 canales.	44
4.8. Esquemático del circuito utilizado por la tarjeta de interfaz para adecuar la tensión y corriente de las señales medidas al protocolo utilizado por la plataforma dSPACE.	44
4.9. Circuito para sintetizar los umbrales de falla V_{falla+} y V_{falla-}	45
4.10. Circuito de disparo de la señal de falla.	45
4.11. Tarjeta transductora utilizada para medir las tensiones de la red.	45
4.12. Diagrama de bloques de la plataforma dS1103.	46
4.13. Tarjeta receptora de fibra óptica de 16 canales.	47
5.1. Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3.	51
5.2. Operación de las señales de interés del bloque FIFO vector y tiempo.	55
5.3. Principales señales del sistema implementado en VHDL.	59
5.4. Primer período de funcionamiento del sistema, inicialmente se envía un vector nulo tipo O con un tiempo de $t = 100 [\mu s]$	59
5.5. Primer período del sistema en que se envían vectores con un patrón doble simétrico.	60
6.1. NPC en configuración front-end simulado en <i>Plecs</i>	64
6.2. Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	65
6.3. Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	65
6.4. Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	66
6.5. Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	67
6.6. Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	67
6.7. Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	68
6.8. Corriente inyectada a la red al realizar un cambio escalón en P^*	69
6.9. Tensión de los condensadores C_1 y C_2 al realizar un cambio escalón en P^*	69
6.10. Potencia activa y reactiva inyectadas a la red al realizar un cambio escalón en P^*	70
6.11. Corriente inyectada a la red al realizar un cambio escalón en Q^*	71
6.12. Tensión de C_1 y C_2 al realizar un cambio escalón en Q^*	71
6.13. Potencia inyectada a la red al realizar un cambio escalón en Q^*	72
6.14. Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	73
6.15. Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	73
6.16. Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	74
6.17. Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	74

6.18. Tensión del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	75
6.19. Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$	76
6.20. Corriente inyectada a la red al realizar un cambio escalón en P^*	76
6.21. Tensión de los condensadores del DC-Link al realizar un cambio escalón en P^*	77
6.22. Potencia activa y reactiva inyectada a la red al realizar un cambio escalón en P^*	77
6.23. Corriente inyectada a la red al realizar un cambio escalón en Q^*	78
6.24. Tensión de los condensadores del DC-Link al realizar un cambio escalón en Q^*	79
6.25. Potencia inyectada a la red al realizar un cambio escalón en Q^*	79
7.1. Corrientes inyectadas a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	82
7.2. Espectro de frecuencias de I_{abc} cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	83
7.3. Tensión de los condensadores del DC-Link (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	83
7.4. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	84
7.5. Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	85
7.6. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.	85
7.7. Tensión de C_1 y C_2 (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P.	86
7.8. Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P.	87
7.9. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.	88
7.10. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.	88
7.11. Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q.	89
7.12. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	90
7.13. Espectro de frecuencia de I_{abc} cuando cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	90
7.14. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	91
7.15. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	91
7.16. Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$	92
7.17. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.	93
7.18. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P.	93

7.19. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P.	94
7.20. Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.	95
7.21. Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.	95
7.22. Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q.	96
10.1. Diagrama de bloques del algoritmo PLL utilizado para determinar el ángulo de la red.	108
10.2. Tarjeta de desarrollo de la FPGA Spartan 3.	110
10.3. Diagrama de conexión del modo Master Serial con una plataforma flash PROM para 3,3 [V].	112
10.4. Bancos de pines presentes en la FPGA Spartan 3.	113
10.5. Plano de potencia utilizado.	113
10.6. Conexión recomendada para el regulador de tensión <i>LP3966ESX</i>	114
10.7. Pines del puerto IO D Sub 50 de la plataforma <i>dS1103</i>	115
10.8. Tarjeta transmisora de pulsos de fibra óptica.	116
10.9. Circuito implementado para cada señal de disparo enviada por la FPGA. . .	117

Capítulo 1

Introducción

Gracias a los avances en la capacidad de cómputo de los micro-controladores ha sido posible implementar nuevas técnicas de control en el ámbito de la electrónica de potencia, debido a su alto costo computacional estos algoritmos estaban relegados al control de procesos con dinámicas lentas. El control predictivo corresponde a una de estas estrategias, inicialmente su uso estaba limitado al control de procesos químicos [1] en que las constantes de tiempo asociadas son del orden de horas, sin embargo en las dos últimas décadas numerosos investigadores han aplicado el control predictivo en la electrónica de potencia. Ahora bien el término *Control predictivo* engloba a una serie de controladores con diferencias considerables entre ellos [2, 3] tales como: Dead-Beat control, Hysteresis-based, Trajectory-based y FS-MPC (Finite Set - Model Predictive Control), la única característica que tienen en común es el uso del modelo de la planta para predecir el valor futuro de las variables de control, cabe recalcar que dicho modelo puede contener no linealidades y diversas restricciones.

Existe un gran interés por el control FS-MPC para inversores, el que presenta las siguientes ventajas: respuesta dinámica rápida, ausencia de modulador explícito, fácil inclusión de no linealidades y restricciones del sistema, y posibilidad de incorporar un control anidado mediante un solo lazo de control. En este tipo de control se predice el valor futuro para cada estado válido del sistema, posteriormente se minimiza una función objetivo que cuantifica el error para cada una de estas predicciones con respecto al valor de referencia, el estado que minimiza esta función se aplica directamente en el inversor. Las aplicaciones de esta estrategia de control se pueden clasificar en 4 grupos [4]: convertidores Front-End, inversores alimentando cargas RL, inversores con filtro de salida LC y control de máquinas rotatorias.

A pesar de las ventajas que posee el FS-MPC, al seleccionar un solo estado por período de muestreo, la frecuencia de conmutación es variable lo que implica un aumento en la distorsión armónica de la señal sintetizada. En consecuencia es necesario aumentar la frecuencia de muestreo para disminuir la distorsión, lo que incide en un aumento de las pérdidas por conmutación como también en un mayor costo en cuanto al hardware asociado, para que sea capaz de implementar esta estrategia. En los últimos años se han planteado diferentes soluciones al problema de la frecuencia variable [5, 6, 7].

En esta tesis se diseñan e implementan 2 estrategias de control predictivo modulado en

un inversor NPC en configuración front-end. La estrategia de control se programó en una plataforma dSPACE modelo dS1103 la que se encarga de la medición de las variables eléctricas, procesar la rutina de control y la selección de los vectores junto con sus respectivas duraciones para cada período de muestreo. Por otro lado, la tarjeta de desarrollo de la FPGA Spartan 3 se encarga de gestionar el envío de los vectores y de apagar el inversor en caso de que alguna protección se active.

1.1. Objetivos

El objetivo de esta tesis es diseñar e implementar una estrategia de control predictivo modulado para un inversor NPC trifásico de 3 niveles en configuración front-end. Los objetivos específicos son:

- Revisión bibliográfica de estrategias de control aplicadas a inversores de 3 niveles; esquemas de control de inversores front-end; y aplicaciones del control predictivo en electrónica de potencia.
- Diseñar una estrategia de control predictivo modulado para un inversor NPC en configuración front-end. Se proponen dos estrategias de control que difieren en como se balancea la tensión de los condensadores del DC-Link.
- Estudiar el comportamiento de las estrategias propuestas mediante simulaciones utilizando el software *Plecs*.
- Implementar las estrategias de control en un sistema experimental utilizando la plataforma *dSPACE dS1103*.
- Diseñar y construir una tarjeta de desarrollo para una FPGA Spartan 3, el objetivo de dicha tarjeta es gestionar el envío de los vectores al inversor NPC, además de habilitar protecciones en caso de falla. El firmware de la tarjeta se programa en VHDL.
- Diseñar y construir una tarjeta transmisora de fibra óptica, para la transmisión de los pulsos de compuerta a los IGBT que conforman el inversor NPC.
- Probar el comportamiento en régimen permanente y transitorio de las 2 estrategias de control propuestas en el sistema experimental.

1.2. Alcances

En el desarrollo e implementación del sistema experimental se trabaja con los siguientes supuestos:

- La red eléctrica utilizada para implementar el inversor front-end es de naturaleza inductiva.
- Para emular a la red eléctrica se utiliza un variac modelo *Metrel HTN* de 11,7 [kVA]. Además el DC-Link se energiza mediante un puente de diodos. Y para evitar cortocircuitos se utiliza un transformador de aislación modelo *ITEC* de 5.5[kVA] y razón

unitaria para aislar galvanicamente el punto de alimentación del puente de diodos y la red eléctrica a la que el inversor NPC inyecta energía.

- No se estudia la región de sobremodulación del inversor NPC.

1.3. Aportes

Los principales aportes de este trabajo son:

- Extensión e implementación experimental de la estrategia de control predictivo modulado propuesta por [7], donde se trabajó con un inversor de 2 niveles, para un inversor NPC de 3 niveles en configuración front-end. Se estudian dos estrategias de control. En la primera estrategia se utiliza una función multi-objetivo para controlar la corriente inyectada a la red y el desbalance del DC-Link. Por otro lado, la segunda estrategia propuesta presenta la ventaja de utilizar una función mono-objetivo para el control de la corriente inyectada por el inversor y en una etapa posterior se redistribuyen los tiempos de aplicación de los vectores para balancear el DC-Link. De esta manera no es necesario utilizar una función multi-objetivo, por tanto no se requiere seleccionar una constante de escalamiento para el desbalance del DC-Link en la función objetivo.
- Diseño y puesta en marcha de la tarjeta de desarrollo de la FPGA Spartan 3. Esta tarjeta amplía las capacidades de control de la plataforma dSPACE. En su configuración actual, es posible generar hasta 32 señales de disparo, sin embargo, si se consideran los pines de la FPGA que no han sido asignados, se pueden generar hasta 88 señales de disparo. De esta forma se podría utilizar este sistema para controlar inversores modulares multiniveles.

1.4. Estructura de la tesis

La presente tesis se encuentra organizada en 8 capítulos. El primer capítulo corresponde a la introducción. En el capítulo 2 se realiza un estudio del estado del arte: inicialmente se presentan las principales características del inversor NPC, sus métodos de modulación y diferentes maneras de abordar el problema del balance de los condensadores; luego se muestran los métodos de control de inversores front-end más utilizados en la práctica; y por último, se explican las principales estrategias de control predictivo aplicadas a inversores de potencia, haciendo énfasis en el control MPC y el control predictivo modulado.

En el capítulo 3 se presentan las dos estrategias de control predictivo modulado propuestas para el inversor NPC, explicando su principio de operación. En el capítulo 4 se detalla el sistema experimental con el que se trabajará, haciendo énfasis en la disposición y función de sus elementos principales. En el capítulo 5 se describe la programación de la tarjeta de desarrollo en VHDL y el de la plataforma dSPACE en C.

En el capítulo 6 se muestran los resultados de las simulaciones para estudiar el comportamiento del sistema en régimen permanente y transitorio. En el capítulo 7 se aprecian

algunos resultados experimentales seleccionados. Por último, en el capítulo 8 se presentan las conclusiones de la tesis y el trabajo futuro a realizar.

En la sección de Anexos se explica el diseño de las tarjetas de desarrollo de la FPGA Spartan 3 y la tarjeta transmisora de fibra óptica entre otros aspectos importantes en el desarrollo de esta tesis.

Capítulo 2

Aspectos generales

En este capítulo se explican las diferentes temáticas utilizadas en el desarrollo de esta tesis. Inicialmente se muestran las principales características del inversor NPC tales como su topología, ventajas y métodos de modulación. A continuación se describen los métodos de control utilizados en inversores front-end y por último se muestran algunas aplicaciones del control predictivo en inversores.

2.1. Inversores de potencia

El desarrollo de distintos interruptores en base a semiconductores fue un impulso en la proliferación de los inversores de potencia en distintos dominios de la industria. Sus aplicaciones son variadas y dependen de los niveles de potencia y tensión considerados. A continuación se listan las principales aplicaciones de los inversores de potencia en la industria:

- En potencias medias y altas se encuentran las siguientes aplicaciones: bombas utilizadas en la industria petro-química [8], ventiladores industriales [9], estaciones de bombeo de agua [10], control de motores en la industria del transporte [11], maquinaria utilizada en la industria de la minería como molinos SAG; entre otras aplicaciones.
- Actualmente existe una preocupación a nivel mundial por potenciar las ERNC, la unión europea a suscrito el acuerdo *Europe 2020* en el que se compromete a que en el 2020 el 20% de su matriz energética provenga de fuentes renovables, otros países como EEUU han suscrito políticas similares en que se comprometen a que al año 2025 un 25% de su matriz provenga de fuentes limpias. Las mayores fuentes de ERNC corresponden a la energía solar y eólica, se estima que a fines del 2016 la capacidad instalada a nivel mundial de plantas fotovoltaicas sea 64,7[GW] (Mercom Capital Group) y sobre 60[GW] (Bloomberg and FTI Consulting) corresponda a turbinas eólicas . Debido a lo anterior los códigos de redes de cada país se han vuelto más estrictos solicitando las siguientes características: Control dinámico de la potencia activa y reactiva inyectada a la red; operación en régimen permanente que respete la tensión y frecuencia de la red; capacidad de Low Voltage Ride Through; inyección de reactivos en condiciones de

falla; participación en el control primario de frecuencia; entre otros. Mediante el uso de inversores de potencia que regulen la entrega de energía es posible cumplir con los requerimientos recién señalados.

- Aplicaciones para mejorar la funcionalidad de un SEP (Sistema Eléctrico de Potencia), por ejemplo, en enlaces HVDC (High-Voltage Direct Current) utilizados para transmitir grandes bloques de potencia entre 2 subsistemas. Además cada vez es más común la instalación de equipos FACTS (Flexible AC Transmission System) para mejorar el funcionamiento de un SEP [12].

2.1.1. Inversor de 2 niveles

A continuación se describe brevemente el inversor VSI (Voltage Source Inverter) de 2 niveles debido a que inicialmente se utilizó para probar la estrategia de control propuesta dada su simplicidad con respecto al inversor NPC. En la figura (2.1) se aprecia el esquemático de un inversor de 2 niveles trifásico, esta topología corresponde a la más utilizada en baja tensión [13]. Si se quiere trabajar con potencias mayores una solución posible es utilizar más de un interruptor en serie, sin embargo este enfoque presenta numerosos problemas tecnológicos como por ejemplo la correcta sincronización de los interruptores que componen cada uno de los bloques.

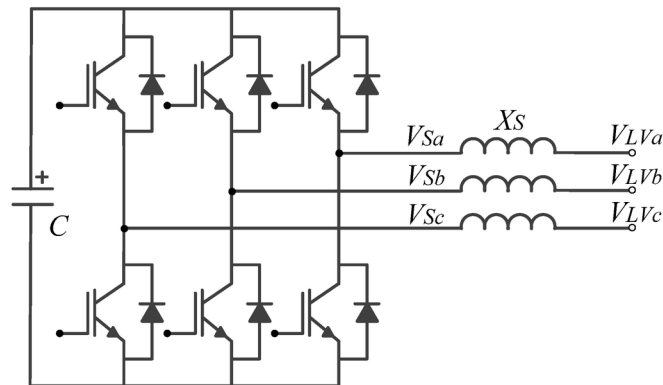


Figura 2.1: Inversor trifásico de 2 niveles con filtro inductivo a su salida.

Para sintetizar las señales de disparo de cada interruptor (o grupo de interruptores) se utilizan los siguientes moduladores:

- *PWM* por comparación con una señal portadora [13, 14]. En este caso la tensión de referencia sintetizada por el controlador se compara con una señal triangular, si V_{ref} es mayor que la triangular se enciende el interruptor superior de la fase considerada y viceversa.
- Modulación vectorial espacial *SVM* [13, 14]. El inversor 2L-VSI posee 8 estados de conmutación válidos, si las tensiones de estos estados se pasan a coordenadas $\alpha\beta$ se obtienen 6 vectores activos y 2 nulos como se muestra en la figura (2.2), en la modulación SVM la tensión de referencia se sintetiza utilizando una combinación lineal de 2 vectores activos y 1 nulo. Los tiempos de aplicación de cada vector se obtienen utilizando el balance Volt-Segundo entre \vec{V}_{ref} y los vectores utilizados.

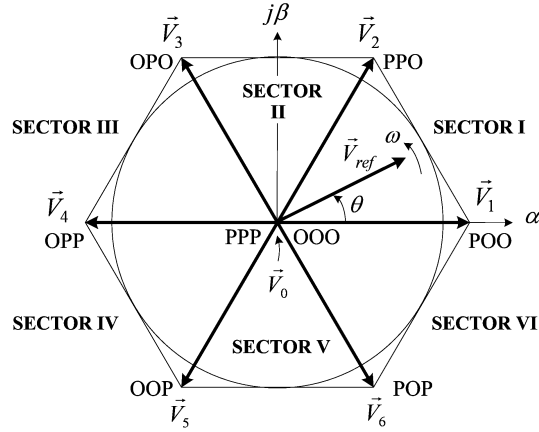


Figura 2.2: Modulación vectorial de un inversor fuente de tensión de 2 niveles trifásico.

2.1.2. Inversor NPC

El inversor NPC (Neutral Point Clamped) surge como una alternativa al inversor VSI de 2 niveles para trabajar con potencias mayores, esta topología fue introducida en la década de los 80 [15] y corresponde al inversor multinivel más utilizado en la industria en el rango de $2,3[kV]$ hasta $4,16[kV]$, con algunas aplicaciones hasta los $6[kV]$ [16]. En esta tesis sólo se considera el inversor NPC de 3 niveles, aunque existen versiones con más niveles, estas no han sido tan utilizadas debido a que a medida que aumentan los niveles, el DC-Link se compone de más condensadores en serie, lo que conlleva una estrategia de control más compleja.

La figura (2.3) muestra el circuito de un inversor NPC de 3 niveles y 3 piernas. Cada pierna del inversor está compuesta de 4 interruptores, en general se utilizan semiconductores de tipo IGBT o GCT (Gate Controlled Thyristor), el enlace DC se compone de 2 condensadores en serie, idealmente estos condensadores tienen la misma tensión, sin embargo como se verá en las siguientes secciones el desbalance de los condensadores puede aumentar para algunas condiciones de operación. Este inversor es capaz de modular una tensión de 3 niveles con respecto al punto Z , si se considera que la tensión total del DC-Link es $2E$ dichas tensiones son: E , 0 y $-E$, por tanto, las tensiones entre líneas v_{ab} , v_{bc} y v_{ca} poseen un máximo de 5 niveles dependiendo del índice de modulación ($2E$, E , 0 , $-E$ y $-2E$). La figura (2.4) muestra las formas de onda típica de esta topología.

Entre las principales ventajas de este inversor en comparación con el 2L-VSI se cuentan:

- Es capaz de trabajar con niveles de tensión mayores sin tener que utilizar dispositivos semiconductores en serie.
- Reducido THD y $\frac{dV}{dt}$, al ser capaz de sintetizar un nivel más de tensión la forma de onda presenta menor distorsión y se asemeja más a una sinusoidal.
- No se requieren elementos adicionales para igualar las tensiones sobre los interruptores de una pierna, basta con que la corriente de fuga de los interruptores superior e inferior sea menor que la de los 2 interruptores centrales.

Por otro lado, la mayor desventaja de este inversor es que se debe controlar el balance de los

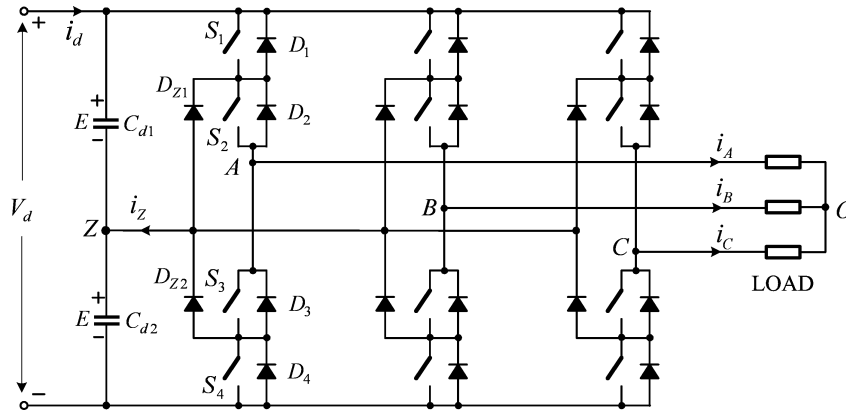


Figura 2.3: Topología de un inversor NPC de 3 niveles y 3 hilos.

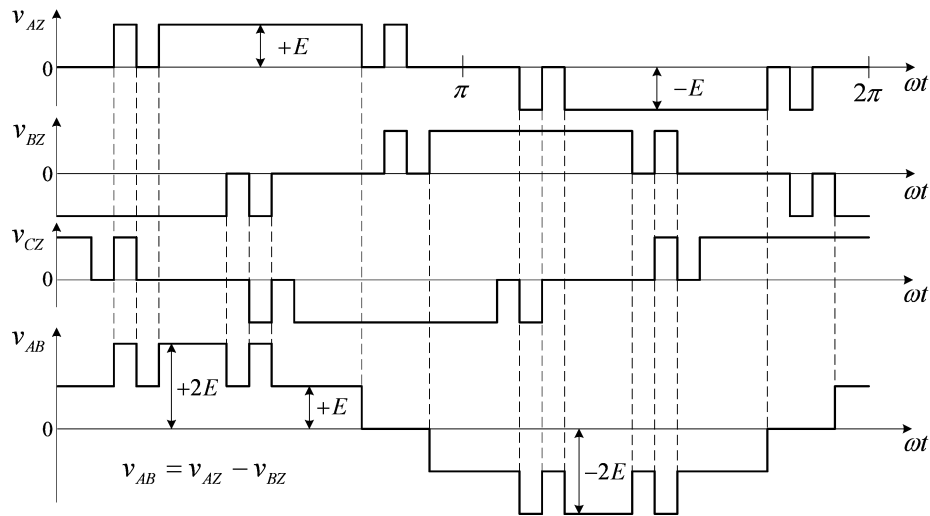


Figura 2.4: Formas de onda de la tensión de salida y la tensión fase-fase del inversor NPC de 3 niveles.

condensadores para que éste no se aleje del caso ideal.

Cada pierna posee tres estados válidos dados por la tabla (2.1), si 3 o más interruptores se encuentran conduciendo se produce un cortocircuito entre los terminales de uno o ambos condensadores. En el estado **P** los 2 interruptores superiores de una fase están encendidos, de esta forma dicha fase tiene una tensión $V_{xz} = V_{DC1}$ con respecto al punto medio del DC-Link; en el estado **N** los 2 interruptores inferiores están activos produciendo una tensión de $V_{xz} = -V_{DC2}$ y por último en el estado **O** los 2 interruptores centrales están encendidos, por tanto la tensión a la salida de esta fase es $V_{xz} = 0$. Lo anterior se logra mediante la conducción de los diodos D_{Z1} o D_{Z2} . Además según la tabla (2.1), en cada fase los interruptores S_{1x} y S_{3x} actúan de manera complementaria, lo mismo ocurre con S_{2x} y S_{4x} .

Dado que sólo 2 interruptores pueden estar encendidos a la vez es necesario aplicar un tiempo muerto entre las transiciones de estados. Además sólo se permiten las transiciones que minimizan el número de interruptores involucrados, lo anterior implica que las transiciones

Estado de conmutación	S_{1x}	S_{2x}	S_{3x}	S_{4x}	Voltaje V_{xz}
P	ON	ON	OFF	OFF	V_{DC1}
O	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	$-V_{DC2}$

Tabla 2.1: Estados válidos de conmutación del inversor NPC de 3 niveles.

válidas son $P \rightarrow O$, $O \rightarrow P$, $N \rightarrow O$ y $O \rightarrow N$. Las transiciones entre los estados N y P sin pasar por O no son permitidas debido a que implican la operación de los 4 interruptores lo que aumenta las pérdidas por conmutación junto con el hecho de que no se puede asegurar que cada interruptor comparta la tensión por igual durante los transitorios. A modo de ejemplo se estudia la conmutación $O \rightarrow P$ en la fase A. La figura (2.5) muestra la tensión de los interruptores a medida que el estado cambia, sólo se considera el caso en que $i_A > 0$. Inicialmente dado que la fase A se encuentra en el estado O , la tensión de los interruptores S_2 y S_3 es cero mientras que la de los interruptores S_1 y S_4 es E , como $i_A > 0$ el diodo D_{Z1} se encuentra conduciendo; posteriormente el interruptor S_3 se apaga y como se debe aplicar un tiempo muerto S_1 no se puede encender inmediatamente, por tanto durante un intervalo igual al tiempo muerto el NPC se comporta como el esquema central de la figura (2.5) en donde sólo el interruptor S_2 se encuentra conduciendo, en este intervalo la tensión de los interruptores es $V_{S1} = E$, $V_{S2} = 0$ y $V_{S3} = V_{S4} = \frac{E}{2}$; por último cuando finalmente el interruptor S_1 se enciende la corriente i_A deja de circular por el diodo D_{Z1} y lo hace por S_1 y S_2 , es por ello que la tensión de los interruptores es $V_{S1} = V_{S2} = 0$ y $V_{S3} = V_{S4} = E$. En todo momento la tensión que soporta cada interruptor es a lo más E .

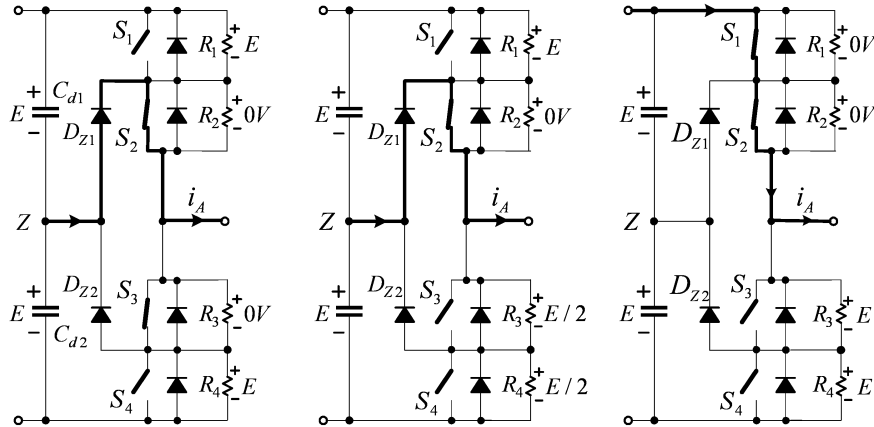


Figura 2.5: Conmutación del estado O a P de la fase A con $i_A > 0$.

2.1.3. Moduladores utilizados para el inversor NPC

En la literatura se encuentran varios moduladores para el NPC de 3 niveles entre los que destacan: modulación por ancho de pulso (PWM), modulación vectorial espacial (SVM) y eliminación selectiva de armónicos (SHE). Cabe recalcar que cada uno de estos métodos presenta un gran número de variantes.

Modulación por ancho de pulso

La modulación por ancho de pulso es análoga a la utilizada por el inversor 2L-VSI, sin embargo en este caso se utilizan 2 señales portadoras triangulares como se muestra en la figura (2.6), en este caso las señales de disparo se calculan como:

$$\text{Si } v^* > v_{cr1} \Rightarrow S_{a1} = ON, \quad S_{a2} = ON \Rightarrow v_{aN} = \frac{V_{dc}}{2} \quad (2.1)$$

$$\text{Si } v_{cr2} < v^* < v_{cr1} \Rightarrow \overline{S_{a1}} = ON, \quad S_{a2} = ON \Rightarrow v_{aN} = 0 \quad (2.2)$$

$$\text{Si } v^* < v_{cr2} \Rightarrow \overline{S_{a1}} = ON, \quad \overline{S_{a2}} = ON \Rightarrow v_{aN} = -\frac{V_{dc}}{2} \quad (2.3)$$

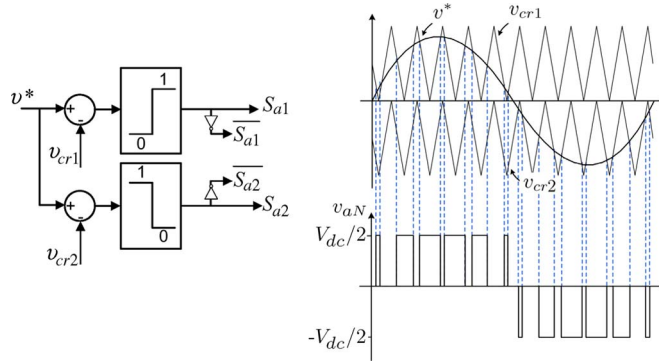


Figura 2.6: Modulación PWM de un inversor NPC de 3 niveles.

Hoy en día la investigación asociada a este método se centra en buscar una secuencia de conmutación óptima, mejorar el desempeño para índices de baja modulación y reducir el voltaje de modo común [16].

Modulación vectorial espacial

Como ya se mencionó, el inversor 3L-NPC posee 3 estados válidos por fase, por tanto al considerar las 3 fases el número total de estados de conmutación válidos es 27. Estos vectores se aprecian en la tabla (2.2). Dependiendo del módulo de su tensión los vectores se clasifican como nulos, pequeños, medianos y grandes. A pesar de que el inversor tiene un total de 27 estados de conmutación estos son equivalentes a 19 tensiones diferentes, ya que los vectores nulos y pequeños se pueden generar con más de un estado de conmutación. Los vectores nulos tienen 3 estados redundantes mientras que cada vector pequeño posee 2, uno de tipo P y el otro N, esta clasificación indica el sentido de la corriente inyectada al punto medio del DC-Link. Los vectores tipo P no cambian el sentido original de la corriente por tanto $i_n = i_x$ con $x \in \{a, b, c\}$ mientras que los vectores tipo N invierten su sentido $i_n = -i_x$ con $x \in \{a, b, c\}$.

La figura (2.7) muestra los vectores válidos en coordenadas $\alpha\beta$, el diagrama de vectores se puede agrupar en 6 sectores triangulares los que a su vez se componen de 4 regiones cada uno. El principio de operación de la modulación SVM se basa en el balance *Volt-Segundo* de

Vectores	Estados de conmutación	$ V_{\alpha\beta} $	Clasificación
\vec{V}_0	[PPP][OOO][NNN]	0	Vector Nulo
$\vec{V}_{1N} \vec{V}_{1P}$	[POO][ONN]	$\frac{V_{DC}}{3}$	Vector Pequeño
$\vec{V}_{2P} \vec{V}_{2N}$	[PPO][OON]	$\frac{V_{DC}}{3}$	Vector Pequeño
$\vec{V}_{3N} \vec{V}_{3P}$	[OPO][NON]	$\frac{V_{DC}}{3}$	Vector Pequeño
$\vec{V}_{4P} \vec{V}_{4N}$	[OPP][NOO]	$\frac{V_{DC}}{3}$	Vector Pequeño
$\vec{V}_{5N} \vec{V}_{5P}$	[OOP][NNO]	$\frac{V_{DC}}{3}$	Vector Pequeño
$\vec{V}_{6P} \vec{V}_{6N}$	[POP][ONO]	$\frac{V_{DC}}{3}$	Vector Pequeño
\vec{V}_7	[PON]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_8	[OPN]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_9	[NPO]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_{10}	[NOP]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_{11}	[ONP]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_{12}	[PNO]	$\frac{V_{DC}}{\sqrt{3}}$	Vector Mediano
\vec{V}_{13}	[PNN]	$\frac{2V_{DC}}{3}$	Vector Grande
\vec{V}_{14}	[PPN]	$\frac{2V_{DC}}{3}$	Vector Grande
\vec{V}_{15}	[NPN]	$\frac{2V_{DC}}{3}$	Vector Grande
\vec{V}_{16}	[NPP]	$\frac{2V_{DC}}{3}$	Vector Grande
\vec{V}_{17}	[NNP]	$\frac{2V_{DC}}{3}$	Vector Grande
\vec{V}_{18}	[PNP]	$\frac{2V_{DC}}{3}$	Vector Grande

Tabla 2.2: Vectores válidos del inversor NPC.

la tensión de referencia y la del conjunto de vectores que se utilizará para sintetizar dicha tensión, básicamente lo anterior es equivalente a igualar \vec{V}_{ref} con el promedio temporal de los vectores elegidos en un período de muestreo T_s . En el enfoque clásico la tensión \vec{V}_{ref} se sintetiza utilizando los 3 vectores más cercanos, por ejemplo, en la figura (2.7) la tensión \vec{V}_{ref} se puede sintetizar con los vectores \vec{V}_2 , \vec{V}_8 y \vec{V}_{14} donde los tiempos de aplicación se determinan mediante (2.4)-(2.5). Teóricamente la máxima tensión que esta estrategia de modulación puede sintetizar es igual al radio de la circunferencia inscrita más grande en el hexágono exterior, es por ello que el índice de modulación se define como (2.6).

$$T_s \vec{V}_{ref} = \tau_2 \vec{V}_2 + \tau_8 \vec{V}_8 + \tau_{14} \vec{V}_{14} \quad (2.4)$$

$$T_s = \tau_2 + \tau_8 + \tau_{14} \quad (2.5)$$

$$m = \sqrt{3} \frac{|\vec{V}_{ref}|}{V_{DC}} \quad (2.6)$$

Mediante el enfoque recién presentado se necesita saber la región en la que está \vec{V}_{ref} , en [17] este problema se resuelve simplificando el esquema de modulación del inversor de 3

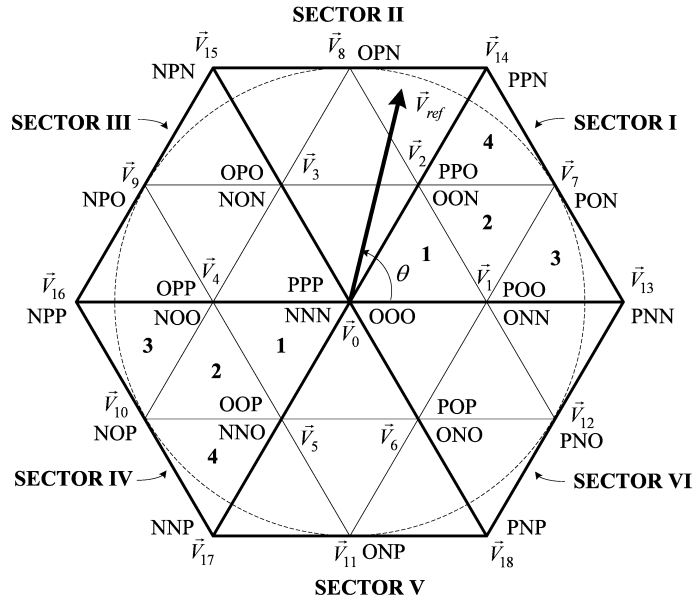


Figura 2.7: Vectores del inversor NPC en coordenadas $\alpha\beta$.

niveles a uno de 2, esto se puede apreciar en la figura (2.8). En este caso se considera que el diagrama vectorial del NPC está formado por 6 hexágonos pequeños cuyos centros son los vértices del hexágono interno, por tanto basta con determinar en cuál de estos hexágonos pequeños se encuentra \vec{V}_{ref} , de esta forma el problema es equivalente al caso del inversor 2L-VSI lo que conlleva a una simplificación en comparación al problema original. En [18] se presenta un algoritmo para calcular los tiempos de aplicación de cada vector para un inversor genérico de n niveles.

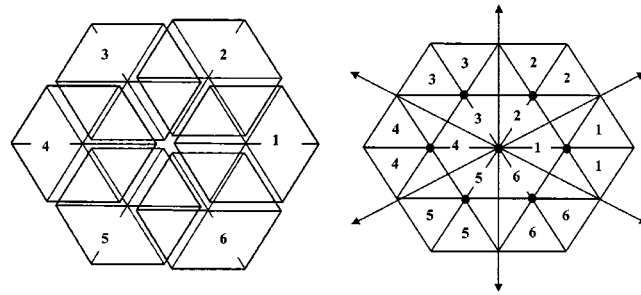


Figura 2.8: Simplificación del diagrama vectorial de un inversor de 3 a uno de 2 niveles.

Eliminación selectiva de armónicos

En este esquema de modulación los ángulos de disparo de cada interruptor se calculan con el objetivo de eliminar un conjunto de armónicos de la señal a sintetizar [19], inicialmente se aplicó en inversores de 2 niveles, sin embargo ya se ha utilizado en topologías multiniveles. En general se controla el valor de la fundamental en la tensión de referencia deseada y algunos armónicos específicos se anulan [16]. En un sistema trifásico balanceado, en la carga no se cuenta con armónicos triples, además si se utiliza un patrón de conmutación simétrico la

forma de onda de la tensión no presentará armónicos pares, lo anterior implica que sólo se deberán anular los armónicos no triples impares. La figura (2.9) muestra los ángulos de disparo de una señal genérica sintetizada utilizando eliminación selectiva de armónicos. Los ángulos de disparo se determinan imponiendo condiciones para un conjunto finito de armónicos mediante la ecuación (2.7), posteriormente estos ángulos se guardan en un look-up-table para un conjunto de índices de modulación.

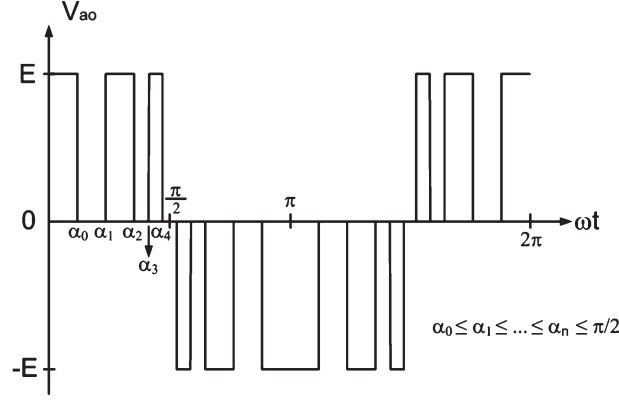


Figura 2.9: Forma de onda sintetiza con modulación SHE.

$$h_n = \frac{4}{n\pi} \sum_{k=1}^m V_k \cos(n\alpha_k) \quad 0 < \alpha_1 < \alpha_2 < \dots < \alpha_m < \frac{\pi}{2} \quad (2.7)$$

Esta estrategia de modulación se utiliza en inversores de potencia elevada, donde las pérdidas por conmutación impiden trabajar con frecuencias de muestreo mayores a 1 [kHz], por ejemplo en los inversores utilizados en enlaces HVDC, STATCOM (Static Synchronous Compensator) y en FACTS [20]. Por otro lado, esta modulación tiene un mal desempeño para índices de modulación bajos y no respeta el máximo contenido armónico de algunas normas de conexión a la red. En [21] se busca disminuir el índice de modulación mínimo y también respetar las normas de conexión *EN 50160* y *CIGRE WG 36-05*, para ello en vez de anular los armónicos no triples impares se opta por limitar la magnitud de estos armónicos a valores permitidos por estas normas, en concreto se plantea un sistema de ecuaciones no lineales para limitar su valor hasta el armónico 49. Este conjunto de ecuaciones se resuelve mediante el algoritmo de optimización *simulated annealing*, aunque se logra aumentar el rango del índice de modulación, su valor mínimo es $m_i = 0,3$. En [22] se busca aumentar el rango del índice de modulación para topologías de convertidores multiniveles, en particular se estudia un inversor en cascada de 7 niveles, en el método propuesto el valor del índice de modulación se clasifica en 3 grupos (índice alto, bajo y medio) dependiendo en que grupo se encuentra \vec{V}_{ref} se utiliza un patrón de conmutación diferente, además se consideran las limitaciones físicas de los dispositivos semiconductores con respecto al tiempo de encendido y apagado, de esta forma los pulsos muy cortos y largos no se sintetizan. Esta estrategia presenta mejoras con respecto a la solución estándar, sin embargo el THD sigue siendo alto, además en la formulación del problema se asume que los condensadores de cada puente H están equilibrados lo que constituye un supuesto fuerte considerando que inclusive en operación normal es necesario incluir un esquema de control del desbalance de la tensión de cada condensador.

2.1.4. Balance de los condensadores del DC-Link

El problema del balance de los condensadores en el inversor NPC ha sido investigado por numerosos autores, las soluciones propuestas dependen del tipo de control y modulador utilizados. No todos los vectores afectan la tensión del DC-Link de la misma manera, de hecho sólo los vectores pequeños y medianos alteran su balance. La principal causa del desbalance es la inyección de una corriente con un promedio no nulo cada T_s en el punto medio del DC-Link, otras causas son conmutaciones no uniformes de los interruptores y condensadores no ideales.

En [23] se realiza un estudio generalizado del problema del balance de los condensadores cuando el inversor entrega corrientes con factores de potencia entre $PF \in [-1, 1]$ para diferentes índices de modulación tal que $m \leq 1$, además se asume que las señales de disparo se sintetizan mediante un modulador SVM que utiliza los 3 vectores más cercanos a la tensión de referencia determinada por el control. Al estudiar los vectores válidos del NPC, sus regiones triangulares se pueden clasificar en 3 tipos: **exteriores** formadas por un vector grande, uno mediano y otro pequeño; **centrales** formadas por 2 vectores pequeños y uno mediano; e **interiores** formadas por 2 vectores pequeños y uno nulo. En [23] se derivan expresiones para calcular la corriente inyectada al punto medio del DC-Link i_n , en función de la tripleta de vectores seleccionada por el modulador, se concluye que la situación más favorable se tiene cuando se trabaja con las regiones triangulares interiores ya que la corriente i_n sólo es función de componentes controlables dadas por los índices de modulación de los vectores pequeños; mientras que el caso más desfavorable se tiene al considerar las regiones triangulares externas ya que i_n depende de un componente controlable dado por un vector pequeño y otro no controlable asociado a un vector mediano. Además se deriva una expresión para cuantificar el valor de la capacitancia del DC-Link en función del rizado máximo permitido de i_n .

En [24] y [25] se introduce el concepto de vectores virtuales para balancear el DC-Link del inversor NPC. En [24] se definen los vectores virtuales como combinaciones lineales de los vectores válidos del NPC, en la figura (2.10) se aprecian los vectores virtuales definidos en el primer sector del plano $\alpha\beta$. Estos nuevos vectores se definen de tal forma que cada uno inyecta una corriente nula al punto medio del DC-Link, en cada período de muestreo T_s . Mediante este método es posible eliminar los armónicos de baja frecuencia presentes en la tensión del punto medio del DC-Link, sin embargo este enfoque ha sido criticado porque las pérdidas de conmutación y la distorsión armónica de la tensión de salida son mayores que al utilizar un modulador SVM estándar.

En la figura (2.10) cada sector se describe mediante 5 regiones triangulares. En este caso los vectores virtuales V_{Z0} , V_{ZL1} y V_{ZL2} son los mismos utilizados en la solución estándar, ya que los vectores nulos y grandes no inyectan corriente al neutro del DC-Link. Sin embargo los vectores V_{ZS1} y V_{ZS2} , que corresponden a los vectores pequeños, se obtienen utilizando en la misma proporción cada vector redundante; y por último el vector V_{ZM1} se obtiene promediando dos vectores pequeños y uno mediano ($i_n = i_a + i_b + i_c = 0$).

En [26] se propone un nuevo conjunto de vectores virtuales con el fin de disminuir la distorsión armónica de los vectores virtuales definidos en [24]. En la figura (2.11) se muestran estos nuevos vectores. A diferencia de [24] en este caso es necesario determinar los coeficientes

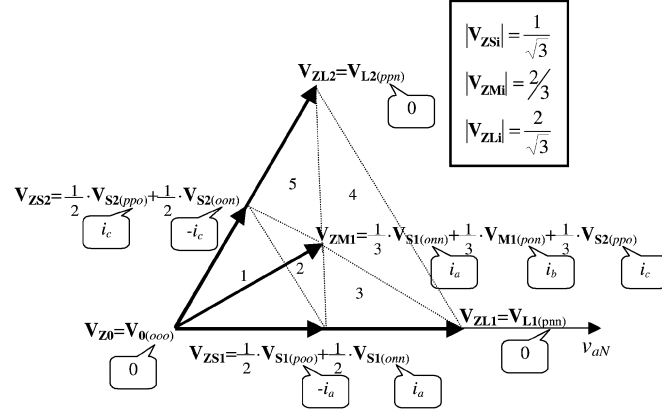


Figura 2.10: Vectores virtuales definidos en [24] para balancear los condensadores del DC-Link.

$r_{1,k}, \dots, r_{7,k}$. Para ello se minimiza una función que da cuenta de la distorsión armónica de la tensión sintetizada, sujeto a la restricción de que la corriente inyectada i_n debe tener un promedio nulo cada T_s . Mediante el toolbox de optimización de Matlab se resuelve el problema mostrado en (2.8)-(2.11), con HD una función que corresponde al número de conmutaciones por ciclo.

$$\min f(r_{1,k}; \dots; r_{7,k}) = HD_{1,k}(r_{1,k}; \dots; r_{7,k}) \quad (2.8)$$

$$\text{sujeto a: } \int_{(k-1)T_s}^{kT_s} i_N(r_{1,k}; \dots; r_{7,k}) dt = 0 \quad (2.9)$$

$$r_{1,k}; \dots; r_{7,k} \geq 0 \quad r_{1,k} + r_{2,k} = 1 \quad (2.10)$$

$$r_{3,k} + r_{4,k} = 1 \quad r_{5,k} + r_{6,k} + r_{7,k} = 1 \quad (2.11)$$

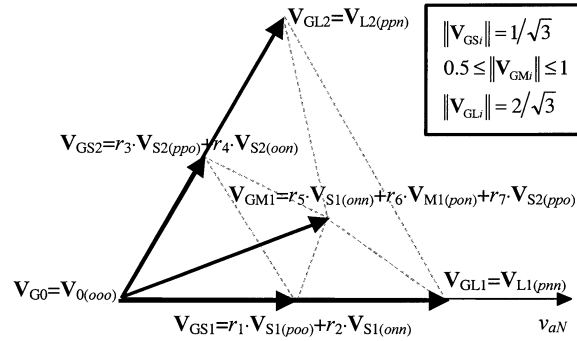


Figura 2.11: Definición óptima de los vectores virtuales [26].

Los vectores virtuales propuestos en [26] se prueban en lazo abierto en un sistema experimental presentando mejoras significativas con respecto a [24]. En [27] se aplica esta nueva estrategia en un sistema de control retroalimentado que regula la inyección de potencia desde una fuente de energía renovable genérica hacia la red.

En [25] se presenta un esquema de modulación vectorial para balancear la tensión del DC-Link cuando se trabaja con índices de modulación altos. En este caso se identifican

3 zonas de operación dadas por la tensión de referencia: modo sinusoidal ($m < 0,907$); sobremodulación I ($0,907 \leq m < 0,9535$) y sobremodulación II ($0,9535 \leq m$). En el primer modo de funcionamiento se proponen 2 tipos de modulación nombrados N3V y S3V, el primero es equivalente a la solución estándar en que se utilizan los 3 vectores más cercanos para sintetizar la referencia, mientras que en el segundo caso se redefinen los sectores válidos de tal forma que no se utilizan los vectores medianos, de esta manera se tienen más grados de libertad para balancear la tensión de los condensadores, en la figura (2.12) se muestran estos 2 tipos de modulación, en este caso la referencia de tensión tiene una trayectoria circular. En el modo de Sobremodulación I la trayectoria de V_{ref} tiene trazos circulares y rectos, en el primer caso se utiliza el mismo enfoque que en el Modo Sinusoidal mientras que cuando V_{ref} recorre trazos rectos se redefinen los 2 tipos de modulación pero utilizando sólo 2 vectores (N2V y S2V). Por último en el caso del modo Sobremodulación II la trayectoria de V_{ref} es una línea recta en cada sectante y se puede sintetizar utilizando los métodos N2V y S2V.

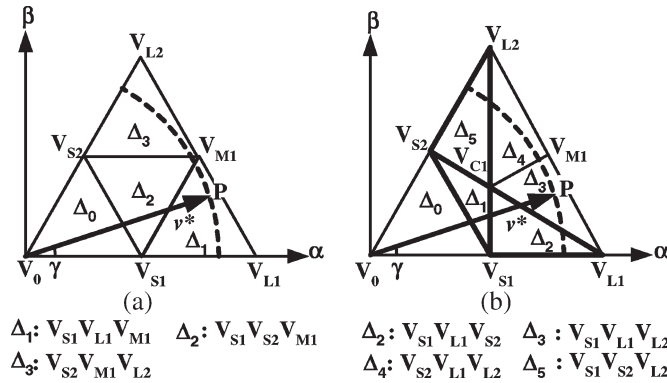


Figura 2.12: Modulación N3V (izquierda) y S3V (derecha) utilizada en [25].

Al trabajar con modulación PWM la forma de balancear los condensadores es mediante la inyección de una tensión de secuencia cero en la referencia del modulador [28]. Lo anterior es equivalente a variar la proporción de los vectores redundantes de los vectores pequeños.

En [20] se considera el problema del balance de los condensadores de un inversor 3L-NPC activo en donde los diodos conectados al neutro del DC-Link se reemplazan por interruptores activos utilizando un modulador SHE. En este caso un lazo externo controla la tensión del condensador inferior y si se produce un desbalance los ángulos de disparo se cambian en un $\delta\Delta$ dado por este lazo externo, de esta forma se cambia el tiempo de carga y descarga de los condensadores del DC-Link. Esta estrategia logra balancear los condensadores sin aumentar de manera significativa el THD.

En el control predictivo FS-MPC la tensión de los condensadores del DC-Link se regula agregando esta restricción en la función de costos. En [29] se controla un inversor NPC mediante MPC, en este caso la función objetivo contiene el error de corriente y el desbalance del DC-Link. Es necesario agregar una constante para escalar el error de tensión y convertirlo en una magnitud comparable con el error de corriente, en general la elección de esta constante de peso se realiza mediante simulaciones.

2.2. Métodos de control utilizados en inversores front-end

Los inversores front-end se utilizan como puntos de conexión con la red eléctrica para el intercambio de potencia. A medida que ha aumentado el número de equipos que utilizan rectificadores junto con las cargas no lineales, ha sido necesario regular la máxima cantidad de armónicos inyectados a la red debido a sus efectos negativos tales como:

- Aumento de las pérdidas de hierro de transformadores, junto con lo anterior la temperatura de los devanados aumenta, lo que disminuye la vida útil del transformador. Aumento de las vibraciones (pueden ser audibles) lo que puede ocasionar fatiga del material.
- En máquinas rotatorias los armónicos causan torques pulsatorios y calentamiento localizado de los devanados.
- Activación errónea de las protecciones de sobre-corriente. En los fusibles los armónicos generan corrientes que no se distribuyen de manera uniforme lo que disminuye su vida útil.
- En las luminarias los armónicos producen parpadeos (flicker) que son percibidos por el ojo humano.
- Los cables que transportan corrientes con un alto contenido armónico actúan como fuentes de radiación EMI la que afecta el correcto funcionamiento de computadores, teléfonos, sistemas de control, entre otros.

En la norma [30] se define la cantidad máxima de armónicos permitida, dependiendo del nivel de tensión. Según esta norma, para tensiones menores a 1[KV] el contenido armónico individual no debe ser mayor al 5% y $THD = 8\%$, mientras que para tensiones entre 1[KV] y 69[KV] los armónicos individuales no pueden superar el 3% y $THD = 5\%$.

A continuación se explican las principales estrategias de control utilizadas en inversores front-end.

2.2.1. Estrategias de control utilizadas en inversores front-end

Se utilizan principalmente 3 enfoques para el control de los inversores front-end [31]:

- Controlador PI: En esta estrategia las variables del sistema se controlan en coordenadas dq que corresponden a un sistema de referencia rotatorio que gira a la velocidad ω_e de la tensión de la red. Las variables sinusoidales con frecuencia ω_e se expresan como señales constantes en el nuevo sistema rotatorio, es por lo anterior que se utilizan controladores PI para regular la corriente inyectada a la red, ya que poseen cero error en estado estacionario a entrada escalón. En este caso es necesario medir el ángulo de la tensión de la red, para ello se utilizan algoritmos de PLL(Phase-Locked Loop). En la figura (2.13) se presenta un sistema de control típico en coordenadas dq . Como se trabaja en coordenadas dq , este enfoque es válido para sistemas trifásicos, sin embargo se puede extender al caso monofásico definiendo una componente q en cuadratura ficticia [32].

2.3. Control predictivo aplicado a inversores

Hoy en día y gracias a la disponibilidad de micro-controladores de bajo costo y alto desempeño, las estrategias de control predictivo se han utilizado en el control de inversores en una amplia gama de aplicaciones. Entre las ventajas del control predictivo destacan:

- La respuesta transitoria presenta un mejor desempeño en comparación a los controladores clásicos.
- Restricciones y no linealidades son fácilmente incluidos.
- Puede controlar más de una variable sin la necesidad de utilizar controladores anidados.

La mayor desventaja del control predictivo es la elevada cantidad de cálculos que se deben realizar para determinar la respuesta del actuador. En la literatura se pueden encontrar los siguientes tipos de control predictivo [3]:

- Controlador Deadbeat: En este controlador, la acción del control en el período k se calcula de forma tal que la función de error sea nula en $k + 1$. En este enfoque se necesita un modulador, por tanto su frecuencia de conmutación es constante. En este caso la inclusión de restricciones u otros objetivos en general no es directa.
- Controlador por histéresis: El objetivo de esta estrategia es mantener a la variable controlada en una región acotada, en este caso el controlador no requiere un modulador, lo que hace que su frecuencia de conmutación sea variable.
- Controlador de trayectoria: En este enfoque las variables del sistema son forzadas para seguir una determinada trayectoria, no requiere un modulador. En el desarrollo de esta tesis este enfoque no se considera.
- MPC (Model Predictive Control): En esta estrategia de control, se minimiza una función objetivo con el fin de encontrar la actuación requerida. Existen 2 variantes de este control: MPC continuo y FS-MPC (discreto).

En todas las variantes del control predictivo nombradas es necesario conocer el modelo de la planta para poder estimar el valor futuro de las variables que se quieren controlar y de esta forma calcular el valor óptimo de la actuación según algún criterio determinado.

En el controlador Dead-beat se calcula la tensión de referencia que debe sintetizar el inversor para que en el próximo período de muestreo el error de corriente sea nulo. Esta estrategia ha sido aplicada en inversores trifásicos [37, 38], rectificadores [39], filtros activos [33], convertidores DC-DC [40], máquinas de inducción [41], entre otros. La principal ventaja de este método es su buen desempeño transitorio, sin embargo al implementarlo en un arreglo experimental surgen algunos problemas que pueden degradar su desempeño, por ejemplo, al no considerar los atrasos presentes en el sistema asociados a tiempos de computo o si los parámetros de la planta fueron mal estimados, la corriente presenta altas perturbaciones. En [42] se consideran los atrasos en el modelo y en [43] se presenta un estimador de los parámetros de la planta para evitar estos inconvenientes.

En el controlador por Histéresis se busca que la variable controlada este confinada en una determinada región como lo muestra la figura (2.15), la ubicación de esta región esta dada

por la corriente de referencia i_s^* . En condiciones normales la región de histéresis gira a ω_e . Si la variable controlada atraviesa la frontera de la región de histéresis se calcula la corriente futura para cada estado del inversor, posteriormente se elige el estado que permitirá al sistema permanecer en la región de histéresis por más tiempo. Cabe recalcar que este enfoque no requiere un modulador.

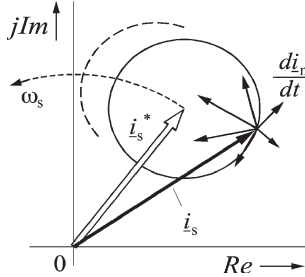


Figura 2.15: Control por histéresis de un inversor Front-End.

2.3.1. Model Predictive Control (MPC)

Esta variante del control predictivo tiene numerosas aplicaciones en varias topologías [44]. A la fecha se han desarrollado dos formulaciones del *MPC*, en una se considera que las variables de control son de tipo continua, lo que implica que se requiere un modulador para generar los patrones de conmutación. Mientras que en la estrategia *FS-MPC* las variables de control son los estados válidos del inversor, por lo que no se requiere un modulador.

En el *MPC* es necesario conocer el modelo de la planta para poder predecir el valor futuro de las variables de estado del sistema $x(k)$, de forma general y luego de discretizar el modelo de la planta, su valor en la próxima iteración se puede calcular mediante la ecuación (2.13) donde $u(k)$ corresponde a la entrada del sistema en el instante k y $u(k) \in \mathbb{U} \subseteq \mathbb{R}^p$, donde el valor de p indica el número de interruptores presentes en el inversor. Por otro lado, las restricciones adicionales impuestas al control están definidas por el conjunto \mathbb{X} de esta forma $x(k) \in \mathbb{X} \subseteq \mathbb{R}^n$

$$x(k+1) = f(x(k), u(k)) \quad k \in \{0, 1, 2, \dots\} \quad (2.13)$$

Mediante la optimización de una función objetivo se determina el valor de la actuación para seguir las consignas impuestas, en la ecuación (2.14) se define una función objetivo genérica que abarca a las utilizadas en la literatura. En este caso se estudia la evolución del sistema desde el instante k por un horizonte de N pasos.

$$V(x(k), \vec{u}'(k)) \triangleq F(x'(k+N)) + \sum_{l=k}^{k+N-1} L(x'(l), u'(l)) \quad (2.14)$$

Al minimizar (2.14) es posible determinar la salida del control en el instante k (con un

horizonte de N muestras), esta salida es de la forma:

$$\vec{u}(k) \triangleq \{u(k; k), u(k + 1; k), \dots, u(k + N - 1; k)\} \quad (2.15)$$

En general sólo se considera el primer elemento del arreglo $\vec{u}(k)$ para controlar el inversor. A medida que el horizonte de predicción es mayor la respuesta mejora, sin embargo, el tiempo de procesamiento crece exponencialmente en función de esta variable.

La formulación recién descrita corresponde a una generalización del control MPC, en [44] se trabaja con una formulación en variables continuas para controlar una máquina de inducción. Por otro lado, dada la naturaleza discreta de los inversores de potencia se ha propuesto el uso del control **FS-MPC**, en este caso se calcula el valor futuro de las variables de interés para cada estado válido del inversor y posteriormente se calcula el error asociado a cada uno de los estados mediante una función objetivo, de esta forma no es necesario derivar analíticamente la solución de este problema que en general es no lineal. Cabe recalcar que en este caso no se requiere un modulador externo, ya que se elige directamente el estado que se aplicará al inversor.

En el control FS-MPC en general se utiliza un horizonte de un paso, ya que al considerar más pasos la cantidad de cálculos es demasiado elevada para implementar en un arreglo experimental. En [3] se resumen algunas aplicaciones del control FS-MPC a diferentes topologías (VSI de 2 niveles, convertidores matriciales, Flying capacitor converter y convertidor NPC) y consignas de control (Control de Torque y flujo, balance de condensadores y control de corriente).

2.3.2. Modulated Model Predictive Control (M^2PC)

Recientemente se ha propuesto una variante del control FS-MPC que es capaz de seleccionar un conjunto de vectores en cada período de muestreo T_s de forma análoga a como lo haría un modulador SVM [7]. Esta nueva estrategia llamada M^2PC (Modulated Model Predictive Control) mantiene las ventajas del control predictivo como su bajo tiempo de respuesta ante cambios en la referencia; fácil inclusión de restricciones y no linealidades de la planta; y además es capaz de producir una frecuencia de conmutación fija.

En un modulador SVM se selecciona una región de operación para sintetizar la tensión de referencia \vec{V}_{ref} determinada por el controlador, mientras que en el M^2PC se define una segunda función objetivo que cuantifica el error asociado a cada región, posteriormente se selecciona la región con mínimo error y se envían los vectores que la conforman al inversor. Esta nueva estrategia se ha aplicado a diferentes topologías y en diferentes condiciones de operación.

En [7] se compara el desempeño de las estrategias FS-MPC y M^2PC al controlar un inversor trifásico de 2 niveles en configuración front-end mediante simulaciones. En el FS-MPC sólo se envía un vector por período de muestreo mientras que en el M^2PC se envían 2 vectores activos junto con 2 vectores nulos. Con el fin de limitar el tiempo de procesamiento en el M^2PC , la función de costos asociada a las regiones sólo se evalúa en los vectores contiguos, es decir $\mathbb{R} = \{\{\vec{v}_1, \vec{v}_2\}, \{\vec{v}_2, \vec{v}_3\}, \{\vec{v}_3, \vec{v}_4\}, \{\vec{v}_4, \vec{v}_5\}, \{\vec{v}_5, \vec{v}_6\}, \{\vec{v}_6, \vec{v}_1\}\}$. Por otro lado

para implementar ambas estrategias de control predictivo es necesario compensar el retardo introducido por el tiempo de procesamiento, en [7] para adelantar la corriente medida en una muestra se utiliza la tensión promedio sintetizada por el inversor. Posteriormente se implementa en un arreglo experimental un rectificador activo. Tanto en las simulaciones como en los resultados experimentales se aprecia que la distorsión armónica de la corriente inyectada por el inversor es mayor al utilizar FS-MPC $THD_{MPC} = 8,79\%$ en comparación con el M^2PC $THD_{M^2PC} = 3,11\%$. Además en el primer caso el espectro de frecuencia es disperso y se encuentra bajo la frecuencia de conmutación mientras que en el segundo el espectro se encuentra concentrado en los múltiplos de esta frecuencia, de esta forma el diseño del filtro entre la red y el inversor al utilizar M^2PC es más simple.

En trabajos posteriores [45] se compara el desempeño del M^2PC , para controlar un rectificador trifásico activo, con 2 estrategias estándares mediante simulaciones. En la primera se controla la corriente mediante controladores PI, mientras que en la segunda se utiliza control Dead-Beat. La distorsión armónica pesada $WTHD$ de la tensión en el caso del M^2PC es levemente menor que al utilizar controladores PI o Dead-Beat.

En [46] se simula un controlador para un sistema de generación eléctrica en un avión que consiste en una máquina de imanes permanentes directamente conectada al eje de la turbina sin una caja de engranajes, la energía eléctrica generada se transfiere a un bus DC mediante un AFE (Active Front-End) de 2 niveles. Sólo el lazo interno utiliza un control M^2PC mientras que el externo se regula con controladores PI. Mediante simulaciones se compara el desempeño del controlador híbrido (PI+ M^2PC) con respecto a un control estándar que sólo utiliza controladores PI, se puede concluir que la corriente presenta menos oscilaciones al utilizar el enfoque híbrido, sin embargo, las oscilación de la tensión a la salida de la máquina son mayores.

El control M^2PC se ha aplicado en algunas topologías multiniveles. En [47] mediante simulaciones se estudia el desempeño de un inversor NPC de 3 niveles alimentando una carga RL. En este sistema se utiliza una función multi-objetivo para controlar la corriente inyectada por el inversor y el desbalance de los condensadores del DC-Link por tanto es necesario incluir un ponderador λ_{dc} que escale el error de tensión del DC-Link en la función de costo global. La elección de esta constante se realiza de forma heurística lo que no es fácilmente extensible al caso en que se consideren más restricciones, sin embargo se aprecian mejoras significativas con respecto al método de control FS-MPC. En [48, 49] se aplica la nueva estrategia de control a un inversor monofásico back-to-back de 7 niveles que utiliza puentes H en cascada como se muestra en la figura (2.16), aunque se obtiene una mejor respuesta que con el FS-MPC este estudio ha sido criticado por no utilizar todos los estados válidos del inversor y de esta forma no aprovechar su potencial. En este caso la función objetivo sólo considera el seguimiento de la corriente de referencia mientras que el control de la tensión de los condensadores se realiza distribuyendo las conmutaciones en los tres puentes de cada fase, de esta forma sólo un puente H conmuta en cada período de muestreo.

En [50] el inversor back-to-back monofásico presentado en [48, 49] se extiende a uno trifásico que actúa como un transformador trifásico implementado con electrónica de potencia, en este caso se utiliza una función multiobjetivo para controlar la corriente y la tensión de cada puente H.

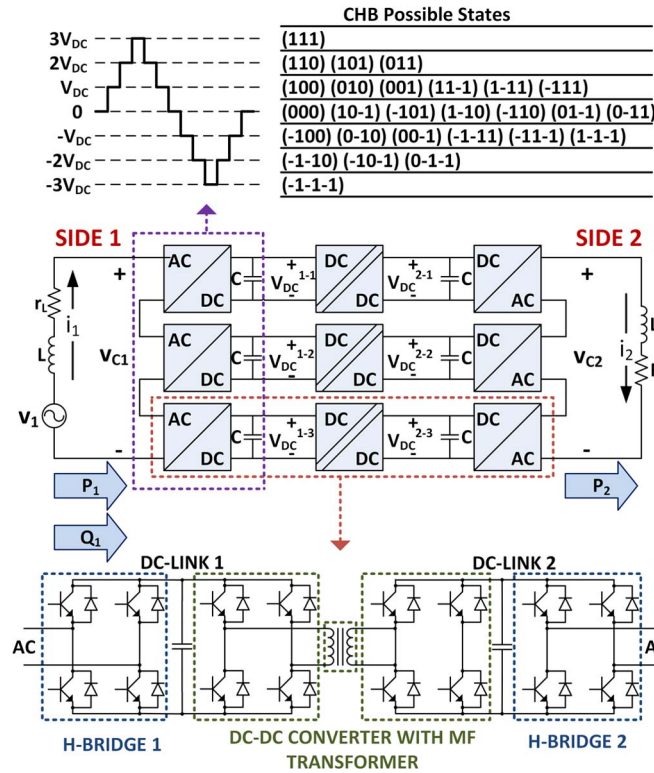


Figura 2.16: Inversor back-to-back monofásico de 7 niveles.

En [51, 52, 53] se aplica el control M^2PC a un inversor matricial conectado a diferentes cargas. En [51] se alimenta una carga RL y mediante simulaciones se estudia su desempeño, en este caso la función objetivo sólo considera el error de corriente. Posteriormente en [52] se agregan resultados experimentales para probar la estrategia de control al alimentar una carga RL. Por último en [53] se controla una máquina de inducción utilizando una función objetivo que contiene el error de corriente y el de potencia reactiva inyectada por la red, el control se realiza utilizando el modelo en coordenadas dq de la máquina de inducción. La referencia de la corriente en cuadratura i_{sq}^* se obtiene mediante un controlador PI que controla la velocidad de la máquina, por otro lado la consigna de potencia reactiva es $Q^* = 0$ [VAR].

Junto al M^2PC se han publicado otros enfoques para abordar el problema de la frecuencia de conmutación variable presente en la tensión sintetizada por el FS-MPC. En [6] se controla una máquina síncrona de imanes permanentes alimentada por un inversor VSI de 2 niveles con una modificación del FS-MPC en que se obtiene la tensión de estator \vec{v}_s^* necesaria para cumplir la consigna de control y posteriormente se obtienen los pulsos de disparo mediante un modulador SVM. En esta estrategia se considera el error del torque eléctrico T_e y el error de corriente para determinar el valor de \vec{v}_s^* , para ello se calcula la función de error para cada estado válido del inversor. Esto es equivalente a realizar una transformación lineal de un espacio a otro, en que se parte del hexágono definido por los vectores válidos en $\alpha\beta$ y se obtiene un polígono convexo en un nuevo plano definido por los errores de torque y corriente, en la figura (2.17) se muestra esta transformación de espacios. El objetivo del control es llegar al origen del plano de errores, esto se puede realizar considerando una combinación lineal de la diferencia entre los vectores activos con el nulo, en el caso de la figura (2.17) se puede

llegar al origen utilizando una combinación lineal de $e_2 - e_0$ y $e_3 - e_0$. De esta manera, es posible determinar el valor de \vec{v}_s^* que minimiza ambos errores.

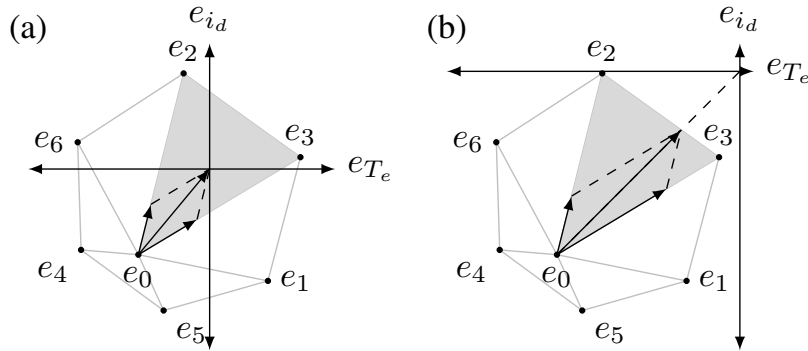


Figura 2.17: Transformación lineal hacia el espacio de errores definida en [6].

En [5] se implementa una modificación del control FS-MPC para controlar el convertor trifásico de la figura (2.18). El objetivo de este trabajo es eliminar la frecuencia de conmutación variable y el espectro de frecuencias disperso típico del control FS-MPC. Para ello la salida de este controlador pasa por un filtro pasa-bajos con el fin de eliminar los componentes indeseados en la corriente del inversor. Posteriormente esta señal filtrada pasa por una etapa de modulación con la que se obtienen las señales de disparo de los interruptores del inversor trifásico. Aunque con este enfoque los armónicos de corriente se distribuyen en un espectro más angosto que en el FS-MPC tradicional, el filtro pasa-bajos introduce un atraso no despreciable que afecta el desempeño del sistema en régimen transitorio.

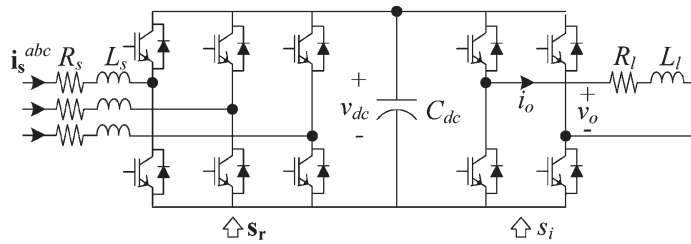


Figura 2.18: Sistema considerado en [5].

En el siguiente capítulo se explican las dos estrategias de tipo M^2PC implementadas para el control de un inversor NPC en configuración front-end.

Capítulo 3

M^2PC aplicado a un inversor 3L-NPC

En este capítulo se explica la estrategia de control predictivo modulado o M^2PC (Modulated Model Predictive Control) implementada para el control de un inversor NPC trifásico de 3 niveles en configuración front-end. En la figura (3.1) se aprecia el diagrama del sistema experimental considerado.

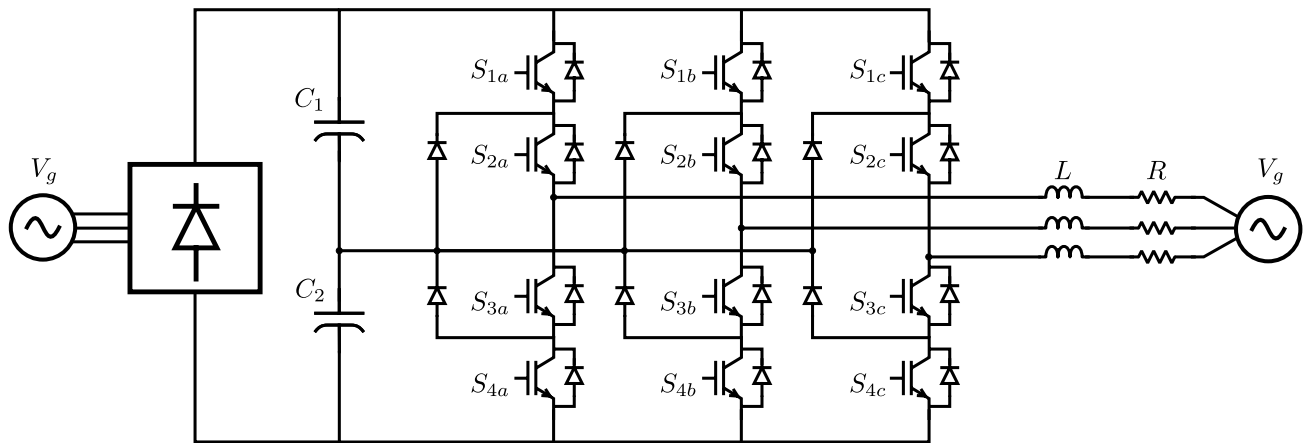


Figura 3.1: Inversor NPC en configuración front-end.

Inicialmente se describe la estrategia M^2PC de forma general aplicada a un inversor NPC, a continuación se presentan las 2 estrategias propuestas las que se diferencian en como se aborda el problema del balance de los condensadores. En la primera se utiliza una función multiobjetivo que considera el error de corriente y de tensión de los condensadores del DC-Link. Mientras que en la segunda el control M^2PC sólo se encarga del error de corriente y en una etapa posterior se regula la tensión de los condensadores C_1 y C_2 . A continuación se presentan las ecuaciones del sistema, el método de compensación del atraso utilizado, los criterios considerados para la elección de las regiones de modulación del NPC y algunas consideraciones prácticas.

3.1. Control M^2PC

La estrategia M^2PC surge de la necesidad de proveer al control FS-MPC de una frecuencia de conmutación constante y al mismo tiempo conservar su buen desempeño y características, tales como fácil inclusión de no linealidades, control multivariable e incorporación de restricciones en las variables del sistema [7]. Para lograr lo anterior se busca imitar el funcionamiento de un modulador SVM mediante la definición de una segunda función objetivo, la que calcula el error asociado a cada región de modulación del inversor NPC, de esta forma es posible seleccionar un conjunto de vectores en cada período de muestreo a diferencia del control FS-MPC que selecciona un solo vector cada T_s . Se han implementado 2 estrategias distintas para balancear la tensión del DC-Link las que se explican en las siguientes secciones, los pasos del algoritmo general se detallan a continuación:

1. Medición de las variables del sistema en el instante k .
2. Compensación de las variables medidas para eliminar el atraso de una muestra introducido por el tiempo de procesamiento de la plataforma dS1103. De esta forma, se calcula el valor de las variables medidas en el instante $k + 1$.
3. Determinación de la referencia de corriente en función de la consigna de potencia activa y reactiva inyectada a la red.
4. Predicción del valor futuro de las variables controladas en el instante $k + 2$ para todos los estados válidos del inversor.
5. Cálculo de la función de costos g_j para los estados válidos del inversor NPC.
6. Cálculo de la función de costos G_j de cada región. El objetivo de esta segunda función de costos es cuantificar el error asociado a cada región de modulación y de esta forma determinar cual es el conjunto de vectores que minimizan el error en el instante $k + 2$. Para evaluar el error de cada región es necesario calcular los ciclos de trabajo de los vectores que las conforman.
7. El algoritmo finaliza con la elección de la región que minimiza la función objetivo G_j y la aplicación de los vectores seleccionados en el próximo período de muestreo.

La función de costos G_j asociada a cada región de modulación \mathbb{R}_j con $j \in \{1, 2, \dots, 24\}$ se define mediante las ecuaciones (3.1)-(3.3) donde \mathbb{R}_j es el conjunto de vectores que describen a la región número j , d_{ij} es el ciclo de trabajo del vector i en la región j y Q_j es una constante utilizada para escalar los ciclos de trabajo de los vectores pertenecientes a la región \mathbb{R}_j de tal forma que la suma de sus ciclos de trabajo sea unitaria. Como se muestra en la ecuación (3.2) el tiempo de aplicación de cada vector, perteneciente a una región, es inversamente proporcional a su error respectivo, es decir el vector que presente el menor error en una región será el que se aplique durante más tiempo y viceversa. Además, dado que ya no se aplicará un solo vector por período de muestreo, se debe considerar el error introducido por el conjunto de vectores que se envían cada T_s . Esto se realiza mediante la función G_j en que se define un error promedio dado por el tiempo de aplicación de cada vector y su error respectivo, como se muestra en (3.3). Junto con lo anterior, nótese que para que el sistema tenga una solución válida se debe cumplir que $g_x > 0 \forall x \in \mathbb{R}_j$, si $g_x = 0$ esto implica que $d_x = 1$ y el resto de los tiempos son cero.

$$\sum_{i \in \mathbb{R}_j} d_{ij} = 1 \quad (3.1)$$

$$d_{ij} = \frac{Q_j}{g_i} \quad i \in \mathbb{R}_j \quad j \in \{1, 2, \dots, 24\} \quad (3.2)$$

$$G_j = \sum_{i \in \mathbb{R}_j} g_i d_{ij} \quad (3.3)$$

De esta forma, mediante algunos cálculos adicionales que no aumentan el orden del algoritmo FS-MPC se obtiene un nuevo controlador predictivo que mantiene las ventajas ya mencionadas y que además se caracteriza por sintetizar una señal de frecuencia de conmutación fija. Al considerar las ecuaciones (3.1)-(3.3) el ciclo de trabajo del vector i perteneciente a la región \mathbb{R}_j se calcula como se muestra en (3.4).

$$d_{ij} = \frac{g_i^{-1}}{\sum_{n \in \mathbb{R}_j} g_n^{-1}} \quad (3.4)$$

El error asociado a cada región (3.3) se puede determinar para un sistema general. Sea $x \in \mathbb{R}^n$ las variables de estado de este sistema y $u \in \mathbb{R}^m$ sus entradas, además su comportamiento dinámico se describe mediante (3.5).

$$\frac{dx}{dt} = f(x, u) \quad (3.5)$$

Al discretizar el sistema y si la frecuencia de muestreo es suficientemente alta es posible describir su comportamiento dinámico mediante la ecuación (3.6). Donde las matrices $A \in \mathbb{R}^{n \times n}$ y $B \in \mathbb{R}^{n \times m}$ se calculan al linealizar la ecuación original del sistema.

$$x_{k+1} = x_k + (Ax_k + Bu_k)T_s \quad (3.6)$$

En este caso en cada período de muestreo se envía un conjunto de vectores al inversor. Lo anterior es equivalente a aplicar un conjunto de entradas cada T_s en la ecuación (3.6). En (3.7) se calcula el estado futuro del sistema x_{k+1} si el estado inicial es x_k y se aplican los vectores de la región \mathbb{R}_j .

$$x_{k+1} = x_k + \sum_{i \in \mathbb{R}_j} (Ax_k + Bu_{ij})T_s d_{ij} \quad (3.7)$$

Cabe recalcar que en la ecuación anterior se considera que cada vector se aplica en el mismo instante inicial dado por x_k . Lo anterior es una aproximación válida dado el orden del período de muestreo T_s utilizado. De esta manera, el error asociado a la región j se define como (3.8), es decir se considera el error al final del ciclo una vez que se aplican todos los vectores de la región \mathbb{R}_j .

$$G_j = \|x_{k+1} - x_{k+1}^*\| \quad (3.8)$$

La expresión anterior se puede acotar por la siguiente cota superior:

$$G_j = \|(x_k - x_{k+1}^*) \sum_{i \in \mathbb{R}_j} d_{ij} + \sum_{i \in \mathbb{R}_j} (Ax_k + Bu_{ij})T_s d_{ij}\| \quad (3.9)$$

$$G_j \leq \sum_{i \in \mathbb{R}_j} \underbrace{\|(x_k - x_{k+1}^*) + (Ax_k + Bu_{ij})T_s\|}_{g_{ij} \rightarrow \text{FS-MPC}} d_{ij} \quad (3.10)$$

Es posible acotar el error al final de cada ciclo a través de la función de costo utilizada en el control FS-MPC, en la que se considera que los vectores se aplican durante todo el período de muestreo T_s . A continuación se define el error \hat{G}_j como en (3.11), esta expresión se trata de una aproximación de (3.8).

$$\hat{G}_j = \sum_{i \in \mathbb{R}_j} d_{ij} g_{ij} \quad (3.11)$$

3.1.1. Estrategia #1

En la estrategia M^2PC #1 se utiliza una función multiobjetivo para controlar la corriente inyectada a la red y balancear los condensadores del DC-Link. A continuación se detallan los pasos de este algoritmo considerando que el control se encuentra en el instante k :

1. Medición de las corrientes $I_{abc}[k]$ inyectadas a la red, la tensión de la red $v_{gabc}[k]$, la tensión de los condensadores del DC-Link $V_{DC1}[k]$ y $V_{DC2}[k]$ y la corriente inyectada por el puente de diodos al DC-Link $I_{DC}[k]$.
2. Compensación de la corriente inyectada por el inversor y la tensión de la red en un período de muestreo, de esta manera se obtiene $\vec{i}_{\alpha\beta}[k+1]$ y $\vec{v}_{g\alpha\beta}[k+1]$.
3. Determinación de la referencia de corriente $\vec{i}_{\alpha\beta}^*[k+2]$ en función de la consigna de potencia activa y reactiva inyectada a la red.
4. Predicción del valor futuro de la corriente inyectada a la red $\vec{i}_{\alpha\beta}[k+2]$ y de la tensión de los condensadores $V_{DC1}[k+2]$ y $V_{DC2}[k+2]$. En esta estrategia es necesario evaluar los 27 estados válidos del inversor, ya que los estados redundantes tienen un efecto diferente sobre la tensión de los condensadores.
5. Cálculo del error asociado a cada vector mediante la ecuación (3.12), nótese que la función objetivo incluye el error de corriente y el desbalance de los condensadores del DC-Link. Por otro lado, el término γ se determina mediante simulaciones e indica la influencia del desbalance del DC-Link con respecto al control de la corriente.

$$g(\vec{v}_j) = \sqrt{(i_{\alpha}^* - i_{\alpha j})^2 + (i_{\beta}^* - i_{\beta j})^2} + \gamma |(V_{DC1} - V_{DC2})| \quad (3.12)$$

6. Cálculo de los ciclos de trabajo de los vectores que conforman a cada una de las regiones. Para lograr lo anterior se calcula la constante de escalamiento Q_j para cada región. En la

estrategia #1 las regiones consideradas se componen de 5 o 4 vectores, posteriormente se calcula el ciclo de trabajo de cada vector. Por ejemplo, al considerar una región triangular conformada por los vectores pequeños \vec{V}_1 y \vec{V}_2 y el vector nulo \vec{V}_0 , la constante de escalamiento Q y los ciclos de trabajo se calculan como:

$$Q = \frac{1}{\frac{1}{g_{1N}} + \frac{1}{g_{1P}} + \frac{1}{g_{2N}} + \frac{1}{g_{2P}} + \frac{1}{g_0}} \quad (3.13)$$

$$d_i = \frac{Q}{g_i} \quad (3.14)$$

En la tabla (3.1) se indica a que vector corresponde cada uno de los errores utilizados en la expresión anterior.

Vector	Estado de conmutación	Error
\vec{V}_0	[OOO]	g_0
\vec{V}_1	[ONN]	g_{1N}
\vec{V}_1	[POO]	g_{1P}
\vec{V}_2	[OON]	g_{2N}
\vec{V}_2	[PPO]	g_{2P}

Tabla 3.1: Errores asociados a los vectores \vec{V}_0 , \vec{V}_1 y \vec{V}_2

7. Cálculo del error asociado a cada región. Siguiendo con el ejemplo anterior, el error de la región considerada es:

$$G = g_{1N}d_{1N} + g_{1P}d_{1P} + g_{2N}d_{2N} + g_{2P}d_{2P} + g_0d_0 \quad (3.15)$$

En este punto, ya se ha determinado el conjunto de tiempos óptimos para cada región \mathbb{R}_j , sin embargo es necesario seleccionar la región que presente un mejor desempeño. Tanto en la estrategia #1 como en #2 se optó por utilizar el promedio ponderado de los errores de los vectores de cada región. En el control FS-MPC se considera el error de cada vector de forma independiente porque se envía un solo vector al inversor. Sin embargo en el control M^2PC como se envía un conjunto de vectores es necesario considerar el error introducido por ellos. Al utilizar su promedio ponderado, como muestra la ecuación (3.15), se penaliza los vectores con errores mayores que se aplican durante más tiempo. De esta forma, la región seleccionada minimiza el error final del sistema.

8. Selección de la región con mínimo error y envío de estos vectores junto con sus respectivas duraciones al inversor NPC.

En la figura (3.2) se muestra el esquema de control de la estrategia M^2PC #1. En este diagrama los trazos verdes corresponden a señales de medición y en azul se muestran los vectores enviados al inversor NPC.

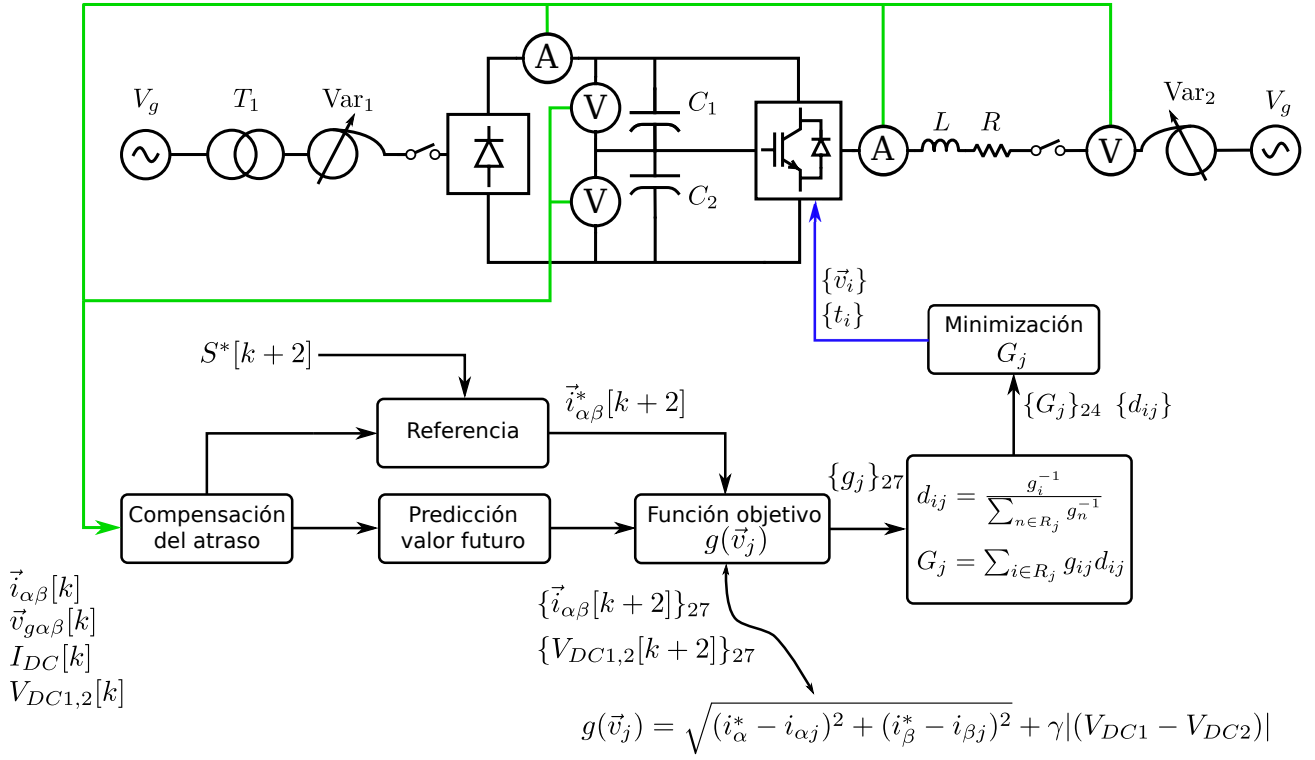


Figura 3.2: Diagrama de control de la estrategia M^2PC #1.

3.1.2. Estrategia #2

En esta estrategia el controlador predictivo modulado sólo se encarga de regular la corriente inyectada por el inversor y posteriormente, mediante los vectores redundantes pequeños, se controla la tensión de los condensadores del DC-Link. A continuación se describen los pasos de este algoritmo.

1. Medición de las corrientes $I_{abc}[k]$ inyectadas a la red, la tensión de la red $v_{gabc}[k]$ y la tensión de los condensadores del DC-Link $V_{DC1}[k]$ y $V_{DC2}[k]$. A diferencia de la estrategia anterior, en este caso no es necesario medir la corriente $I_{DC}[k]$ inyectada por el puente de diodos.
2. Compensación de la corriente inyectada por el inversor y la tensión de la red en un período de muestreo, de esta manera se obtienen $\vec{i}_{\alpha\beta}[k+1]$ y $\vec{v}_{g\alpha\beta}[k+1]$.
3. Determinación de la referencia de corriente $\vec{i}_{\alpha\beta}^*[k+2]$ en función de la consigna de potencia activa y reactiva inyectada a la red.
4. Predicción del valor futuro de la corriente inyectada a la red $\vec{i}_{\alpha\beta}[k+2]$.
5. Cálculo del error de cada vector utilizando la ecuación (3.16). Dado que el control predictivo sólo se encarga del error de corriente, en este caso al evaluar el error de los vectores basta con considerar un solo representante de los vectores redundantes, lo anterior es equivalente a describir cada región triangular mediante 3 vectores. De esta forma, se evalúa la función de costos para 19 vectores diferentes.

$$g(\vec{v}_j) = \sqrt{(i_{\alpha}^* - i_{\alpha j})^2 + (i_{\beta}^* - i_{\beta j})^2} \quad (3.16)$$

6. Cálculo de los ciclos de trabajo de los vectores que conforman cada región. En este caso todas las regiones se describen mediante 3 vectores, por ejemplo al considerar una región descrita por los vectores \vec{v}_1 , \vec{v}_2 y \vec{v}_3 , los ciclos de trabajo se pueden calcular mediante las ecuaciones (3.17)-(3.19).

$$d_1 = \frac{g_2 g_3}{g_1 g_2 + g_2 g_3 + g_3 g_1} \quad (3.17)$$

$$d_2 = \frac{g_1 g_3}{g_1 g_2 + g_2 g_3 + g_3 g_1} \quad (3.18)$$

$$d_3 = \frac{g_1 g_2}{g_1 g_2 + g_2 g_3 + g_3 g_1} \quad (3.19)$$

7. Cálculo de la función de error de las regiones de modulación del inversor NPC. Siguiendo con el ejemplo anterior, el error de la región considerada es de la forma:

$$G = d_1 g_1 + d_2 g_2 + d_3 g_3 = \frac{3g_1 g_2 g_3}{g_1 g_2 + g_2 g_3 + g_3 g_1} \quad (3.20)$$

8. Selección de la región con error mínimo.
9. Balance de la tensión de los condensadores del DC-Link, para ello se redistribuye el ciclo de trabajo de los vectores pequeños entre sus 2 estados redundantes. Por ejemplo, si \vec{V}_2 corresponde al vector pequeño de la región que minimiza el error G , entonces su duración t_2 se debe distribuir entre los estados de conmutación PPO y OON mediante las ecuaciones (3.21)-(3.24). Lo anterior se basa en el hecho que los vectores pequeños redundantes tienen un efecto contrario en la corriente inyectada al punto medio del DC-Link, como lo muestra la Tabla (3.2), de esta forma se puede regular su proporción sin alterar el control de la corriente. A diferencia de la estrategia #1 la distorsión armónica es menor y no se requiere elegir una constante γ en la función objetivo.

$$t_{2p} = t_2 \left(1 + \frac{f_b(V_{C1}, V_{D2})}{2} \right) \quad (3.21)$$

$$t_{2n} = t_2 \left(1 - \frac{f_b(V_{C1}, V_{D2})}{2} \right) \quad (3.22)$$

$$f_b(V_{C1}, V_{C2}) = \frac{V_{C1} - V_{C2}}{V_{C1} + V_{C2}} \in [-1, 1] \quad (3.23)$$

$$t_2 = t_{2p} + t_{2n} \quad (3.24)$$

En la figura (3.3) se aprecia el diagrama de control de la estrategia M^2PC #2. Los trazos verdes corresponden a señales de medición y en azul se muestran los vectores enviados al inversor NPC.

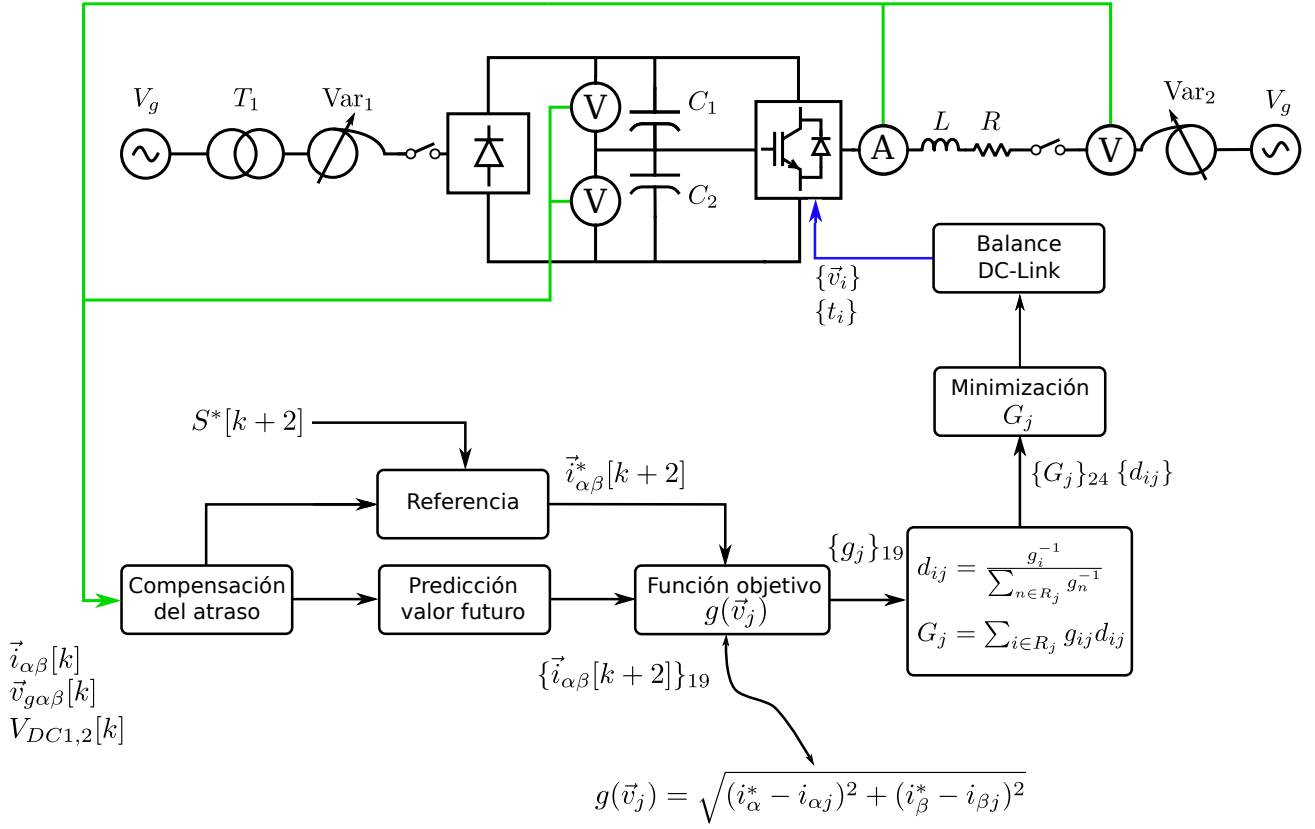


Figura 3.3: Diagrama de control de la estrategia M^2PC #2.

3.2. Ecuaciones del sistema

El inversor NPC en configuración front-end se describe mediante las siguientes ecuaciones diferenciales (3.25)-(3.26) con L la inductancia del filtro utilizado para conectar el inversor a la red, R la resistencia parásita presente en el sistema, $v_g(t)$ la tensión de la red y $v_c(t)$ la tensión sintetizada por el convertor. Para simplificar el número de cálculos realizados por el controlador predictivo y dado que el sistema no presenta corrientes de secuencia cero se optó por trabajar en coordenadas $\alpha\beta$

$$\vec{v}_{c\alpha\beta}(t) = L \frac{d\vec{i}_{\alpha\beta}(t)}{dt} + R\vec{i}_{\alpha\beta}(t) + \vec{v}_{g\alpha\beta}(t) \quad (3.25)$$

$$\frac{dV_{DC1}(t)}{dt} = \frac{i_{C1}(t)}{C_1} ; \quad \frac{dV_{DC2}(t)}{dt} = \frac{i_{C2}(t)}{C_2} \quad (3.26)$$

Las corrientes que circulan por los condensadores C_1 y C_2 dependen de la corriente inyectada a la red, el estado de los interruptores y la corriente entregada por el puente de diodos como se muestra en las ecuaciones (3.27)-(3.28) donde S_{1x} y S_{2x} , con $x \in \{a, b, c\}$, son funciones utilizadas para incluir el efecto de los estados de conmutación en la corriente que circula por cada condensador. Estas funciones se definen en las ecuaciones (3.29)-(3.30).

$$i_{C1}(t) = i_{DC}(t) - S_{1a}(t)i_a(t) - S_{1b}(t)i_b(t) - S_{1c}(t)i_c(t) \quad (3.27)$$

$$i_{C2}(t) = i_{DC}(t) + S_{2a}(t)i_a(t) + S_{2b}(t)i_b(t) + S_{2c}(t)i_c(t) \quad (3.28)$$

$$S_{1x} = \begin{cases} 1 & \text{si } S_x = P \\ 0 & \text{otro caso} \end{cases} \quad (3.29)$$

$$S_{2x} = \begin{cases} 1 & \text{si } S_x = N \\ 0 & \text{otro caso} \end{cases} \quad (3.30)$$

Para implementar el controlador predictivo es necesario discretizar el sistema como se aprecia en las ecuaciones (3.31)-(3.32).

$$i_\alpha[k+1] = A_1 i_\alpha[k] + A_2 (v_{c\alpha}[k] - v_{g\alpha}[k]) \quad (3.31)$$

$$i_\beta[k+1] = A_1 i_\beta[k] + A_2 (v_{c\beta}[k] - v_{g\beta}[k]) \quad (3.32)$$

Tal que:

$$A_1 = e^{-\frac{R}{L}T_s} \quad (3.33)$$

$$A_2 = \frac{1}{R} \left(1 - e^{-\frac{R}{L}T_s}\right) \quad (3.34)$$

3.3. Compensación del retardo

Al simular el controlador es posible medir las variables del sistema, procesar una rutina de cálculo y aplicar una acción de control en el mismo instante, sin embargo, al implementar el sistema de control en el arreglo experimental es necesario considerar el atraso introducido por el tiempo de procesamiento de la plataforma dS1103. Por lo tanto, las mediciones realizadas en el instante k se actualizan a $k+1$, luego utilizando el algoritmo de control predictivo se calcula el valor futuro de las variables en $k+2$ para todos los estados válidos del inversor como se muestra en la figura (3.4), en la estrategia #2 sólo se calcula el valor futuro de las corrientes $\vec{i}_{\alpha\beta}[k+2]$

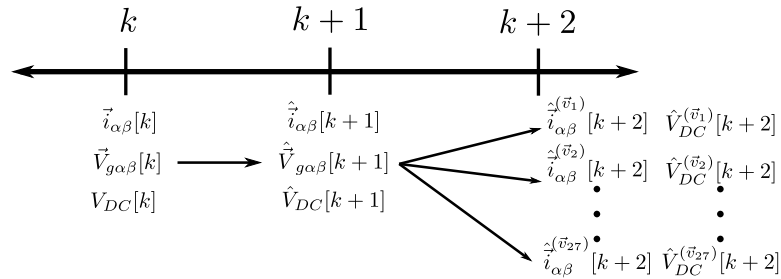


Figura 3.4: Compensación de las mediciones para contrarrestar el atraso introducido por el tiempo de procesamiento del sistema dS1103.

Para compensar la tensión de la red $\vec{v}_{g\alpha\beta}[k]$ se puede utilizar un polinomio que extrapole su valor, sin embargo al aplicar esta solución es necesario normalizar la tensión de la red si se quiere trabajar con distintas magnitudes, para evitar este problema se puede multiplicar por un vector unitario $e^{j\omega}$ como se aprecia en las ecuaciones (3.35)-(3.36).

$$v_{g\alpha}[k+1] = v_{g\alpha}[k]\cos(\omega T_s) - v_{g\beta}[k]\sin(\omega T_s) \quad (3.35)$$

$$v_{g\beta}[k+1] = v_{g\alpha}[k]\sin(\omega T_s) + v_{g\beta}[k]\cos(\omega T_s) \quad (3.36)$$

En [7] para actualizar la corriente se considera el valor promedio de la tensión sintetizada por el inversor en el instante k , sin embargo a diferencia del control FS-MPC en su versión modulada se envía más de un vector por período T_s , por tanto esta aproximación no es del todo correcta. Es posible actualizar la corriente del inversor utilizando el conjunto de vectores determinados en el período anterior y considerando que la derivada de la corriente, en el intervalo en que se aplica el vector $\vec{v}_c^{(m)}$, se puede expresar mediante las ecuaciones (3.37)-(3.38).

$$\frac{di_\alpha^{(m)}}{dt} = \frac{v_{c\alpha}^{(m)}[k] - v_{g\alpha}^{(m)}[k] - Ri_\alpha[k]}{L} \quad (3.37)$$

$$\frac{di_\beta^{(m)}}{dt} = \frac{v_{c\beta}^{(m)}[k] - v_{g\beta}^{(m)}[k] - Ri_\beta[k]}{L} \quad (3.38)$$

Además la derivada de la corriente en un intervalo (m) del instante k se puede aproximar por las ecuaciones (3.39)-(3.40) donde $i^{(m+1)}[k]$ e $i^{(m)}[k]$ corresponden a las corrientes al término y al inicio del intervalo (m) respectivamente, en que se aplica el vector $v_c^{(m)}[k]$. La duración de este intervalo viene dada por $t^{(m)}[k]$.

$$\frac{di_\alpha^{(m)}}{dt} = \frac{i_\alpha^{(m+1)} - i_\alpha^{(m)}}{t^{(m)}[k]} \quad (3.39)$$

$$\frac{di_\beta^{(m)}}{dt} = \frac{i_\beta^{(m+1)} - i_\beta^{(m)}}{t^{(m)}[k]} \quad (3.40)$$

Al igualar las expresiones para calcular la derivada de la corriente en cada intervalo, la corriente al final de este intervalo se puede calcular como se muestra en las ecuaciones (3.41)-(3.42). En la figura (3.5) se aprecia la compensación de la corriente $\vec{i}_{\alpha\beta}[k]$ vector por vector. El conjunto de vectores $\vec{v}_c^{(1)}[k], \vec{v}_c^{(2)}[k], \dots, \vec{v}_c^{(7)}[k]$ junto con sus respectivos tiempos se calcularon en el intervalo $k - 1$.

$$i_\alpha^{(m+1)}[k] = i_\alpha^{(m)}[k] + t^{(m)}[k] \left(\frac{v_{c\alpha}^{(m)}[k] - v_{g\alpha}^{(m)}[k] - Ri_\alpha^{(m)}[k]}{L} \right) \quad (3.41)$$

$$i_\beta^{(m+1)}[k] = i_\beta^{(m)}[k] + t^{(m)}[k] \left(\frac{v_{c\beta}^{(m)}[k] - v_{g\beta}^{(m)}[k] - Ri_\beta^{(m)}[k]}{L} \right) \quad (3.42)$$

Mediante las ecuaciones (3.41)-(3.42) se puede actualizar el valor de las corrientes de forma iterativa a medida que se aplican el conjunto de vectores seleccionados. Cabe recalcar que el número de vectores depende de la región seleccionada.

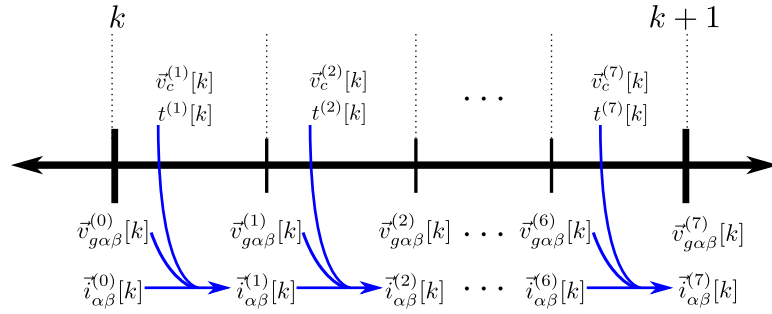


Figura 3.5: Compensación de las corrientes desde el instante k a $k + 1$.

3.4. Selección de las regiones del NPC

En la literatura se han propuesto diferentes regiones para clasificar a los vectores válidos del inversor NPC [24, 25, 26, 27]. La elección de estas regiones afecta a las pérdidas por conmutación, la distorsión armónica y la capacidad de controlar la corriente inyectada al punto medio del DC-Link. En la figura (3.6) se muestra el primer sector triangular de los estados válidos del NPC, cada uno de estos sectores está conformado por 4 regiones triangulares que se clasifican en tres grupos: R_1 que contiene dos vectores pequeños y uno de tipo nulo; R_2 contiene dos vectores pequeños y uno mediano; y por último R_3 y R_4 que poseen un vector pequeño, uno mediano y uno grande. Mientras mayor sea el número de vectores redundantes por región, mayor es la capacidad para balancear el DC-Link, la corriente inyectada al punto medio del DC-Link, en cada uno de estos grupos, está dada por las ecuaciones (3.43)-(3.45) donde d corresponde al ciclo de trabajo y m es una constante que indica la proporción del vector redundante positivo en su ciclo de trabajo [23]. En estas ecuaciones se calcula el valor promedio de la corriente i_n en un período T_s .

$$R_1 : \quad i_n = m_{S0}d_{S0}i_a + m_{S1}d_{S1}i_c \quad (3.43)$$

$$R_2 : \quad i_n = d_M i_b + (m_{S0}d_{S0}i_a + m_{S1}d_{S1}i_c) \quad (3.44)$$

$$R_3 \text{ y } R_4 : \quad i_n = d_M i_b + m_{S0}d_{S0}i_a \quad (3.45)$$

Las regiones interiores son las más fáciles de balancear ya que se dispone de más grados de libertad para controlar la corriente i_n mientras que las regiones exteriores de tipo 3 y 4 son las más difíciles debido a que los vectores medianos inyectan una corriente que depende del estado de operación del sistema y al no tener un vector redundante no se puede eliminar como en las regiones internas, la clasificación de las regiones para los otros sectores es análoga. En la tabla (3.2) se aprecian las corrientes inyectadas al punto medio del DC-Link, por los vectores pequeños y medianos.

La elección de los vectores se realiza considerando minimizar el número de conmutaciones entre vectores de una misma región, sólo se permiten cambios del tipo $P \leftrightarrow O$ y $N \leftrightarrow O$ los que involucran el encendido y apagado de un interruptor. Además se busca minimizar el número de conmutaciones entre distintas regiones. Y en cada región se considera el uso de todos los vectores redundantes ubicados en sus vértices. De esta forma las regiones de tipo R_1 y R_2 son capaces de inyectar una corriente i_n nula en cada período de muestro T_s de forma

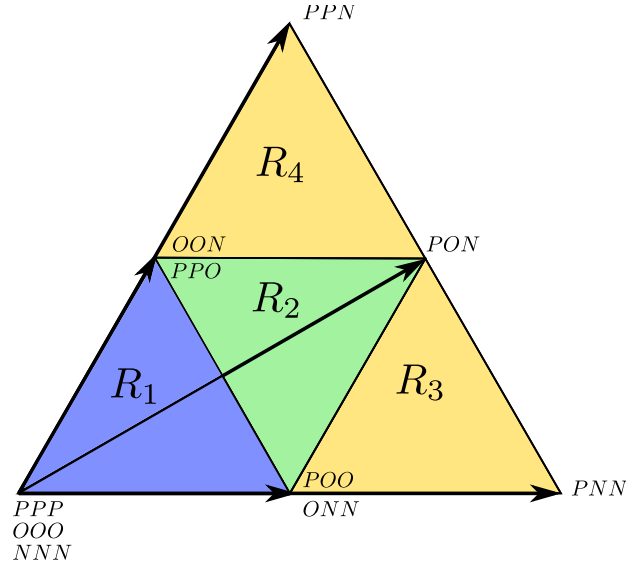


Figura 3.6: Primer sector de las regiones de modulación del inversor NPC.

Vector pequeño P	i_n	Vector pequeño N	i_n	Vector mediano	i_n
ONN	i_a	POO	$-i_a$	PON	i_b
PPO	i_c	OON	$-i_c$	OPN	i_a
NON	i_b	OPO	$-i_b$	NPO	i_c
OPP	i_a	NOO	$-i_a$	NOP	i_b
NNO	i_c	OOP	$-i_c$	ONP	i_a
POP	i_b	ONO	$-i_b$	PNO	i_c

Tabla 3.2: Efectos de los vectores pequeños y medianos en la corriente inyectada al neutro del DC-Link.

natural. Por su parte las regiones R_3 y R_4 se ven fuertemente influenciadas por la presencia de los vectores medianos.

3.5. Cálculo de la referencia

Para emular a la red eléctrica se utiliza un variac *Metrel* de $11,7[kVA]$. Este equipo introduce los armónicos 5° y 7° en la tensión de la red, lo que afecta el desempeño del controlador predictivo modulado. Para solucionar este inconveniente se proponen dos alternativas:

- Control de potencia mediante un filtro síncrono: La corriente $\vec{i}_{\alpha\beta}^*$ necesaria para inyectar la consigna de potencia $S^* = P^* + jQ^*$ en la red se puede calcular mediante las ecuaciones (3.46)-(3.47). Sin embargo la red eléctrica utilizada en el arreglo experimental presenta un contenido armónico tal que el control M^2PC no es capaz de seguir a la

referencia.

$$i_{\alpha}^* = \frac{P^* v_{g\alpha} + Q^* v_{g\beta}}{v_{\alpha}^2 + v_{\beta}^2} \quad (3.46)$$

$$i_{\beta}^* = \frac{Q^* v_{g\alpha} - P^* v_{g\beta}}{v_{\alpha}^2 + v_{\beta}^2} \quad (3.47)$$

Con el fin de evitar esta dificultad se utiliza un filtro síncrono para reducir la contaminación armónica de la tensión medida de la red. En la figura (3.7) se aprecia el esquema de funcionamiento de este filtro. Inicialmente el voltaje de la red medido se expresa en coordenadas dq mediante la transformada definida en *Anexos*. Por otro lado, una señal sinusoidal pura de frecuencia w_s en coordenadas naturales se representa por una señal constante en el plano dq que rota a w_s , si la señal original posee armónicos estos disminuyen un orden con respecto a su valor original, de esta forma si la tensión de la red posee los armónicos 5° y 7° , al transformar esta señal a coordenadas dq los armónicos resultantes son de 6° orden, nótese que la fundamental también se desplaza en frecuencia y queda con una frecuencia nula que es equivalente a una señal constante en el plano dq . Posteriormente la señal \vec{v}_{gdq} pasa por un filtro pasa-bajos con el fin de eliminar todos los armónicos presentes en ella excepto la fundamental, luego mediante las transformaciones inversas la señal filtrada se expresa en coordenadas $\alpha\beta$ y se utiliza para calcular la referencia de corriente $\vec{i}_{\alpha\beta}^*$. Las transformadas $(\alpha\beta) \leftrightarrow (dq)$ requieren el ángulo de la red, el ángulo $\theta_g = \int \omega(\tau) d\tau$ se obtiene mediante un algoritmo PLL (Phase Lock Loop). En *Anexos* se explica el principio de funcionamiento del PLL utilizado. Cabe recalcar que el control del PLL se diseña con un ancho de banda capaz de seguir a la fundamental de la tensión de la red y que rechaza sus componentes armónicos.

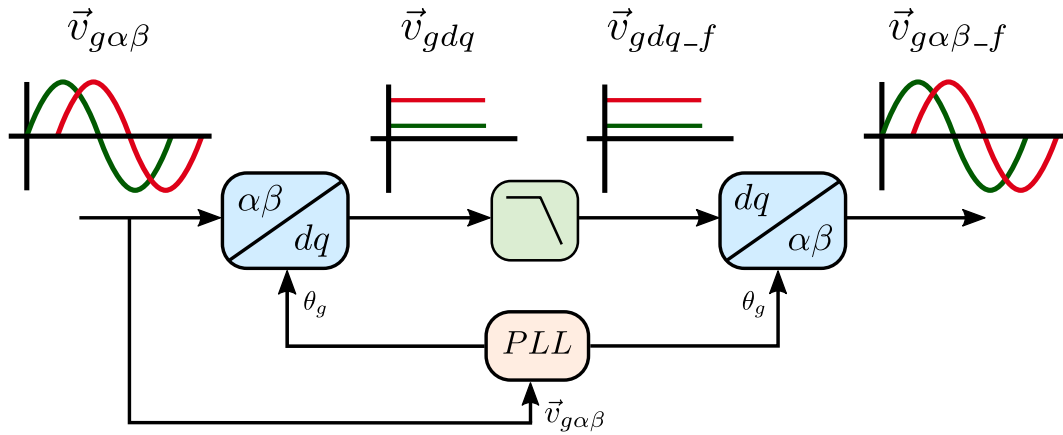


Figura 3.7: Esquema de control del filtro síncrono.

- Control de corriente mediante un PLL: En este caso se sintetiza directamente la corriente en coordenadas $\alpha\beta$ utilizando el ángulo de la tensión de la red determinado por el PLL. Cambiando el desfase de esta señal se obtiene la potencia activa y reactiva deseada. Cabe recalcar que el PLL encuentra el ángulo de la señal fundamental de la red eléctrica, sin considerar los armónicos.

Tanto en simulaciones como en el sistema experimental se utilizó el primer enfoque, en que se entrega una referencia de potencia activa y reactiva con las que se calcula la referencia de corriente $\vec{i}_{\alpha\beta}^*$.

3.6. Resumen

En este capítulo se presentan dos estrategias de tipo M^2PC para controlar un inversor NPC de 3 niveles. Estas estrategias se diferencian en como se balancea la tensión de los condensadores del DC-Link. En la primera la corriente inyectada a la red y el balance de la tensión de los condensadores del DC-link se controlan utilizando una función multi-objetivo, en este caso las regiones triangulares se definen mediante 4 o 5 vectores ya que es necesario considerar las versiones redundantes de los vectores pequeños y medianos. Mientras que en la segunda estrategia, el control predictivo modulado calcula el ciclo de trabajo de 3 vectores representantes de cada región triangular, ya que sólo regula el error de corriente y posteriormente se redistribuye el tiempo de los vectores que tengan estados redundantes con el objetivo de balancear el DC-Link. La estrategia #2 se propone con el fin de no tener que utilizar una función multi-objetivo en el control del inversor, ya que en este caso es necesario seleccionar una constante γ para escalar el error del desbalance del DC-Link.

La elección de las regiones de modulación es relevante para balancear la tensión de los condensadores del DC-Link. Por otro lado, los vectores dentro de una región se ordenan de tal forma de disminuir el número de conmutaciones. En ambas estrategias es necesario compensar las variables medidas en un período de muestreo ya que no se puede aplicar la acción de control en el mismo instante en que se determina el conjunto de vectores.

En el próximo capítulo se presenta la disposición general del sistema experimental.

Capítulo 4

Sistema experimental

En este capítulo se describe el sistema experimental utilizado para probar la rutina de control predictivo modulado y posteriormente se explica el funcionamiento de sus componentes principales. En la figura (4.1) se muestra un diagrama general del inversor NPC conectado a la red, mientras que en la figura (4.2) se aprecia la disposición real de los elementos.

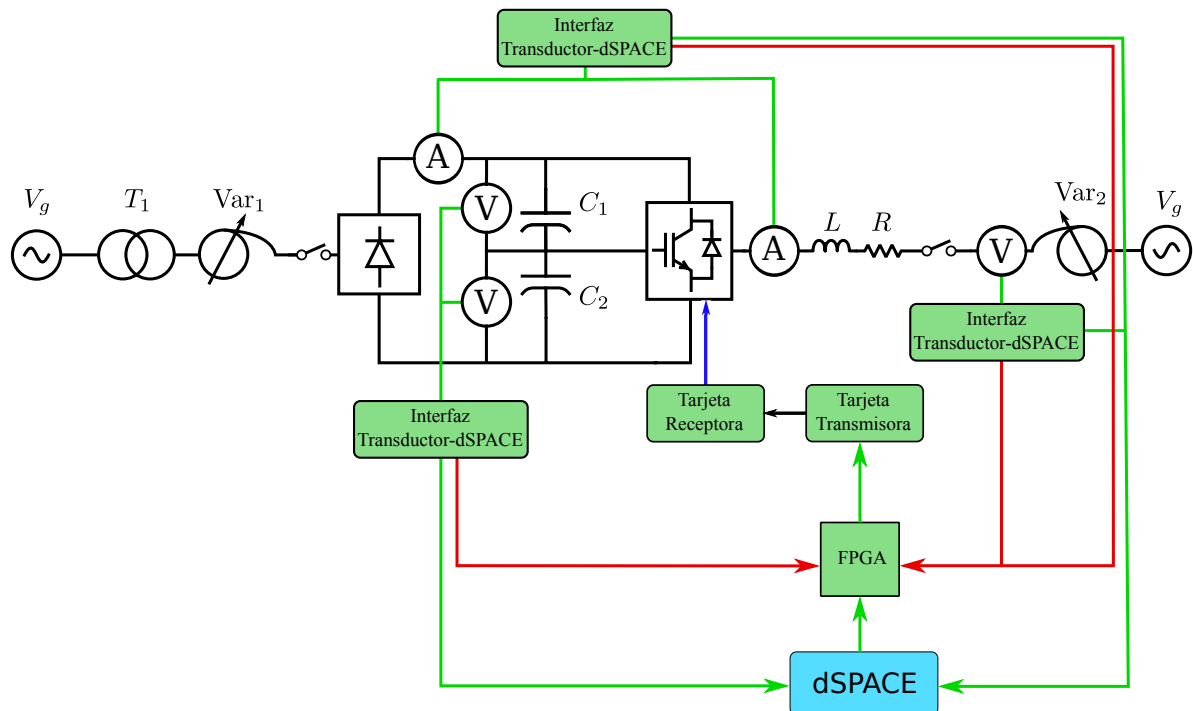


Figura 4.1: Diagrama de control del sistema experimental.

En la figura (4.2) se numeran los principales bloques funcionales, los que se describen a continuación:

1. Variac #1: Red eléctrica a la que el inversor NPC inyecta energía.
2. Variac #2: Alimentación del DC-Link.
3. Transformador de aislación.

4. Carga resistiva.
5. Filtro inductivo: Filtro de conexión a la red eléctrica para suavizar las corrientes inyectadas.
6. Puente de diodos, DC-Link, inversor NPC y tarjeta receptora de fibra óptica.
7. Tarjetas de medición junto con sus fuentes de alimentación.
8. Tarjetas de interfaz Transductor-dSPACE.
9. Plataforma dSPACE dS1103: En la imagen se aprecia la tarjeta de desarrollo de la FPGA Spartan 3 junto con la tarjeta transmisora de fibra óptica.

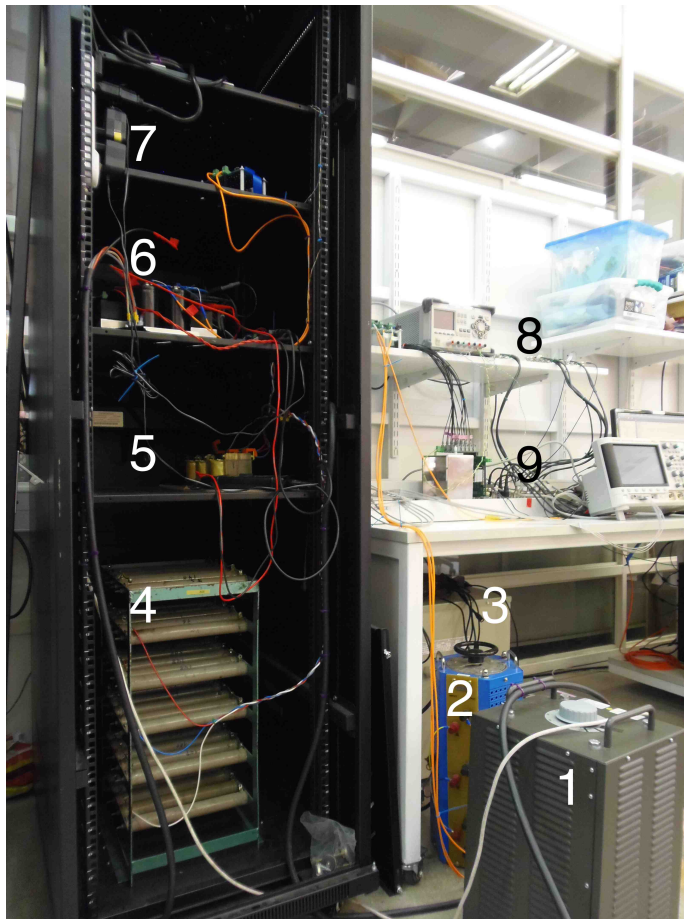


Figura 4.2: Sistema experimental utilizado para probar la estrategia de control M^2PC .

El sistema experimental se compone de los siguientes elementos funcionales:

1. Inversor NPC de 3 niveles y 4 fases.
2. Tarjeta de medición de corriente.
3. Tarjeta de medición de tensión.
4. Tarjeta de interfaz transductor-dSPACE.
5. Plataforma de procesamiento dSPACE dS1103.
6. Tarjeta de desarrollo FPGA Spartan 3.
7. Tarjeta transmisora de fibra óptica.
8. Tarjeta receptora de fibra óptica.

9. Variac.
10. Transformador de aislación.
11. Puente de diodos.

Al considerar el inversor en configuración front-end se deben medir las tensiones de los condensadores V_{DC1} y V_{DC2} , las tensiones de la red V_{gabc} , las corrientes del inversor I_{abc} y la corriente inyectada por el puente de diodos al DC-Link I_{DC} (sólo en la estrategia de control M^2PC #1). Además es necesario adaptar los niveles de tensión y corriente de las variables medidas al estándar utilizado por la plataforma dSPACE dS1103, de esta forma se protegen sus pines de sobre-tensiones y sobre-corrientes, para lograr lo anterior se utiliza una tarjeta de interfaz transductor-dSPACE. Junto con la función descrita, esta tarjeta cuenta con una señal de falla que se activa cuando las variables medidas sobrepasan un determinado umbral (protecciones de hardware). En la figura (4.1) los trazos rojos corresponden a las señales de falla de la tarjeta de interfaz, las que actúan como flancos de activación de las protecciones de hardware, por otro lado para mejorar su tiempo de respuesta estas señales se envían directamente a la FPGA.

En el sistema dSPACE se implementa la rutina de control que entrega un conjunto de vectores y sus respectivas duraciones al inversor en cada período de muestreo T_s . La aplicación de estos vectores se gestiona mediante la tarjeta de desarrollo de la FPGA Spartan 3. Por último, el envío de los vectores se realiza a través de fibra óptica mediante una tarjeta transmisora que recibe los pulsos de la FPGA y otra receptora que transforma los pulsos luminosos en una señal cuadrada de ciclo de trabajo variable con una amplitud de 5 [V].

El DC-Link se energiza con un puente de diodos, éste último se alimenta directamente desde la red. Por otro lado, el inversor front-end también se conecta a la red y para evitar posibles cortocircuitos se utiliza un transformador de aislación de razón unitaria, que provee aislación galvánica entre la alimentación del puente de diodos y el punto de conexión del inversor a la red. La conexión entre el inversor y la red se realiza mediante un filtro L . Para regular la tensión total del DC-Link se utiliza el variac Var_1 mientras que el variac Var_2 emula la red eléctrica a la que se conecta el inversor NPC.

A continuación se describe el funcionamiento de los bloques más importantes. El diseño de la tarjeta de desarrollo de la FPGA Spartan 3 se explica en los Anexos.

4.1. Inversor NPC

En la figura (4.3) se muestra el inversor NPC con el que se trabajó en el sistema experimental. Los interruptores utilizados son de tipo IGBT modelo APTGL60TL1203G, sus principales características son $V_{CES} = 1200$ [V] e $I_C = 6$ [A], cada uno de estos módulos contiene una fase del inversor NPC, es decir 4 interruptores y 2 diodos conectados al punto medio del DC-Link. Para polarizar los interruptores se utiliza una tensión de $V_{GE} = 15$ [V] la que es sintetizada por un circuito que transduce los pulsos de encendido y apagado provenientes de la tarjeta receptora. La tensión de alimentación de esta tarjeta es 5 [V].

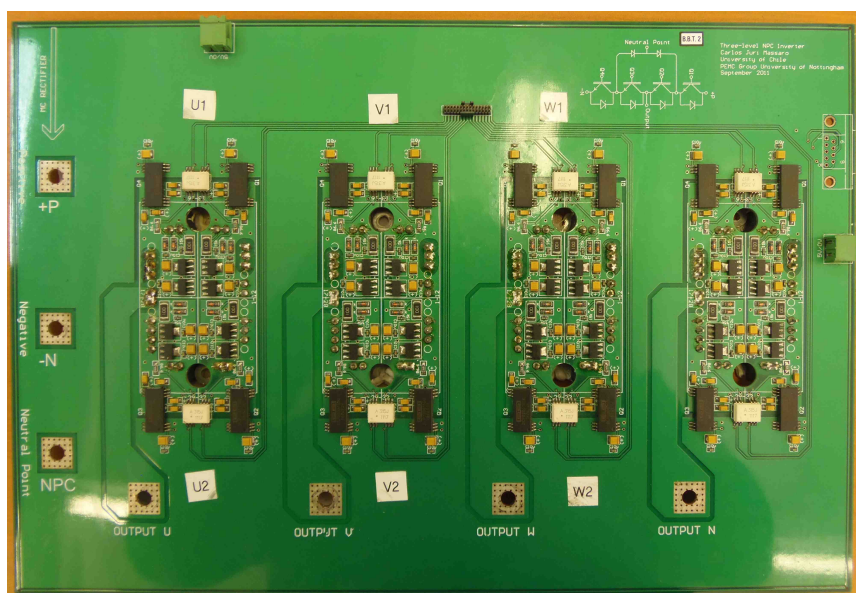


Figura 4.3: Inversor NPC de 3 niveles y 4 fases.

4.2. Tarjetas de medición

Al trabajar con el inversor en configuración front-end es necesario medir las tensiones: V_{gabc} , V_{DC1} y V_{DC2} , por tanto se requieren 2 tarjetas de medición, ya que cada una posee 4 canales. Esta tarjeta utiliza el transductor de tensión modelo LEM LV 25-P, el que tiene un rango de medición recomendado de 10 a 500 [V]. En la figura (4.4) se aprecia su esquemático, cabe recalcar que es necesario conectar una resistencia R_1 en serie con el primario del transductor, su objetivo es limitar la corriente de entrada, idealmente su valor se elige de tal forma que la corriente del primario sea 10 [mA] al medir la tensión nominal. En este caso se utilizó una resistencia $R_1 = 47 [k\Omega]$ de baja inductancia para no introducir un desfase significativo en las mediciones. Este transductor utiliza el efecto hall para operar y es necesario proveer una tensión de alimentación de $\pm 12 \dots 15$ [V]. En la figura (4.5) se muestra una tarjeta de medición de tensión utilizada en la implementación experimental.

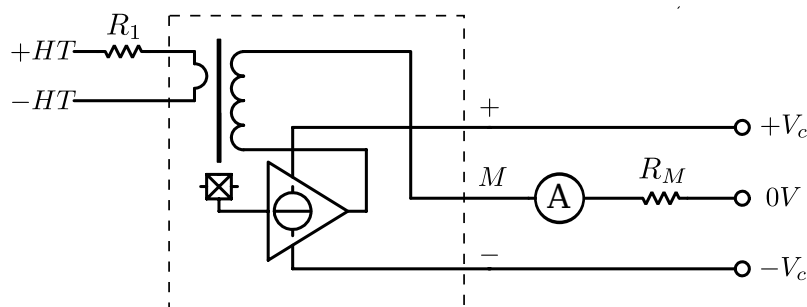


Figura 4.4: Esquemático del transductor de tensión modelo LV 25-P.

Se utiliza una tarjeta de medición de corriente para medir I_{abc} e I_{DC} . Esta tarjeta utiliza el transductor LEM LA 55-P, en este caso no es necesario incluir elementos para limitar la corriente. El rango de alimentación de este componente es $\pm 12 \dots 15$ [V], por otro lado el



Figura 4.5: Tarjeta de medición de tensiones de 4 canales.

rango de medición de corrientes es $\pm 70 [A_p]$, en la figura (4.6) se aprecia el diagrama de este elemento, mientras que en (4.7) se muestra la tarjeta utilizada en este arreglo.

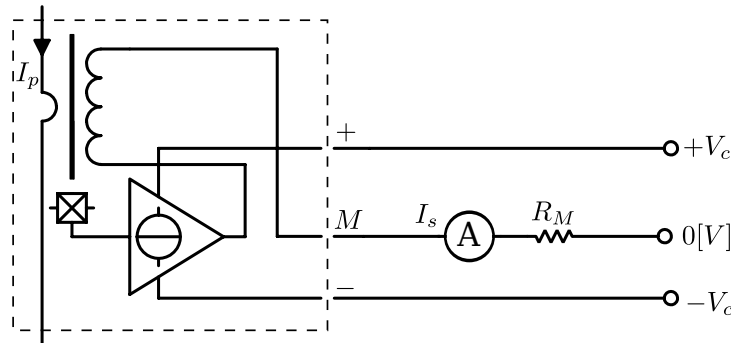


Figura 4.6: Esquemático del transductor de corriente modelo LA 55-P.

4.3. Tarjeta de interfaz transductor-dSPACE

La función de la tarjeta de interfaz es adecuar los niveles de tensión y corriente provenientes de las tarjetas de medición al estándar utilizado por la plataforma dSPACE, con el fin de proteger sus entradas. Las señales de medición llegan a un puerto D-Sub 9, con el que se pueden enviar hasta 4 señales, en este caso las tarjetas de medición envían la información modulando la amplitud de la corriente. En la tarjeta de interfaz para escalar las señales se utiliza una resistencia R_m y posteriormente un OPAMP en configuración seguidor de tensión como lo muestra la figura (4.8), finalmente las señales ya acotadas se envían al sistema dSPACE mediante conectores BNC. El valor de R_m depende de la corriente máxima y mínima de las señales entregadas por las tarjetas de medición y de la máxima tensión permitida por el sistema dSPACE. En este caso, la tarjeta de medición de corriente entrega

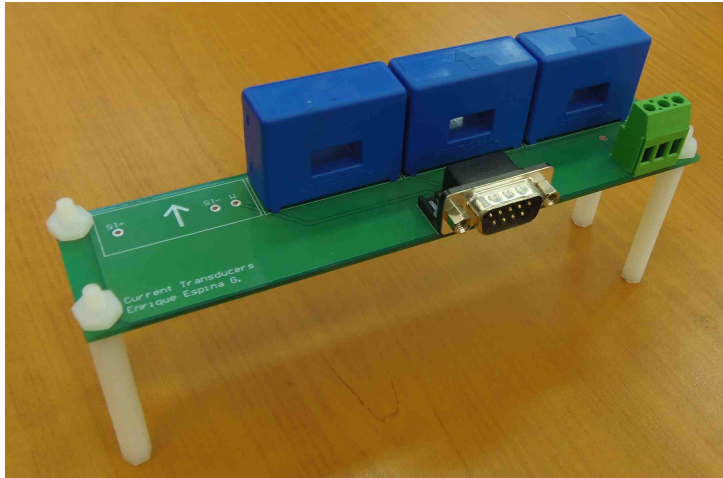


Figura 4.7: Tarjeta de medición de corrientes de 4 canales.

una corriente máxima igual a $I = 50[mA]$, mientras que la tarjeta de medición de tensión entrega una corriente máxima de $I = 25[mA]$, considerando lo anterior para la medición de corriente se utiliza una resistencia $R_m = 200[\Omega]$, mientras que para las tensiones se emplea una resistencia $R_m = 430[\Omega]$.

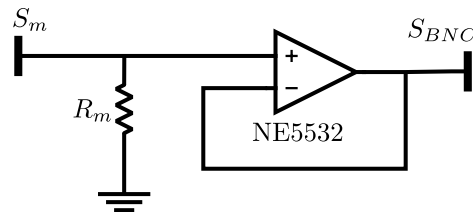


Figura 4.8: Esquemático del circuito utilizado por la tarjeta de interfaz para adecuar la tensión y corriente de las señales medidas al protocolo utilizado por la plataforma dSPACE.

Además de la función de escalamiento, en esta tarjeta se implementan las protecciones de hardware que activan una señal de falla en el caso que la señal medida traspase los umbrales V_{falla+} o V_{falla-} , ambas señales tienen la misma magnitud y es igual a V_{falla} , esta tensión se genera mediante un divisor y un seguidor de tensión, posteriormente con un OPAMP en configuración inversor se obtiene V_{falla-} como se muestra en la figura (4.9). Si la señal medida es mayor que V_{falla+} o menor que V_{falla-} se produce un flanco de bajada que invierte el estado de las salidas Q y \bar{Q} de un flip-flop JK con respecto a su valor inicial (cuando se resetea el sistema). La salida Q se utiliza como señal de falla y se dirige directamente a la FPGA, en la figura (4.10) se aprecia el circuito de disparo de las protecciones de hardware.

Por último en la figura (4.11) se aprecia una de las tarjetas de interfaz transductor-dSPACE utilizadas en el montaje experimental.

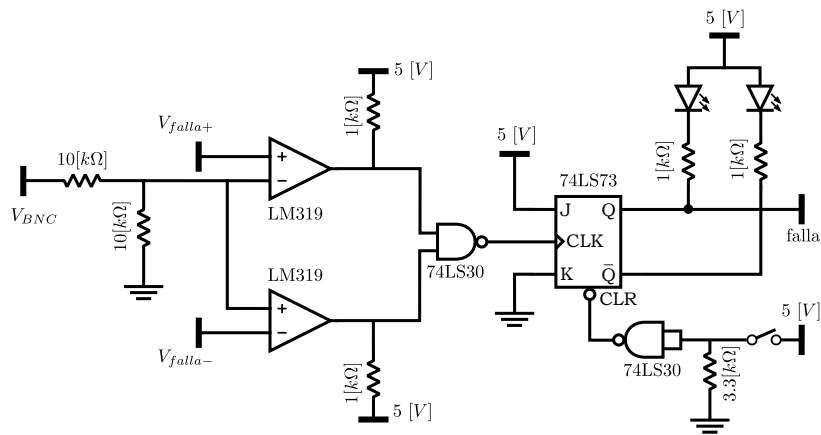


Figura 4.9: Circuito para sintetizar los umbrales de falla V_{falla+} y V_{falla-} .

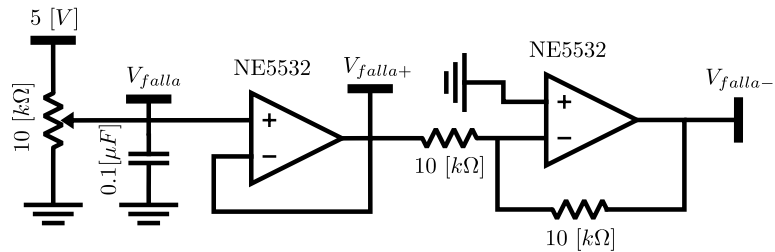


Figura 4.10: Circuito de disparo de la señal de falla.

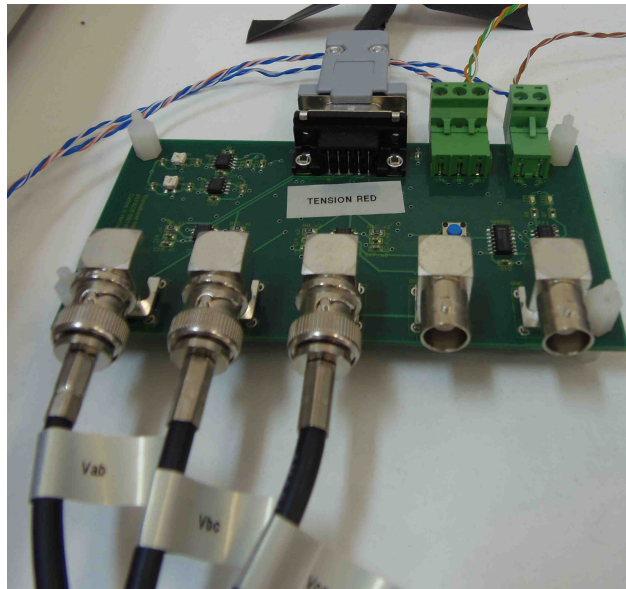


Figura 4.11: Tarjeta transductora utilizada para medir las tensiones de la red.

4.4. Sistema dSPACE

El sistema dSPACE es una plataforma utilizada para el desarrollo de prototipos en el ámbito automotriz y en el control automático. En esta aplicación se trabaja con el modelo dS1103 que posee un procesador PowerPC PPC 750GX, además entre sus principales caracte-

terísticas se destacan: Canal de 32 bits I/O, 20 canales ADC, 8 canales DAC; DSP Texas instrument TM320F240 y comunicación CAN y serial. Con el fin de acelerar el proceso de producción el sistema dS1103 se puede programar mediante bloques en Simulink especialmente dedicados, los que posteriormente son traducidos por el compilador Microtec C, sin embargo los bloques provistos para trabajar en Simulink no son muy flexibles para realizar operaciones con los puertos digitales, en estos casos la rutina de control se puede programar directamente en C.

En la figura (4.12) se muestra un esquemático de los principales elementos de la plataforma dS1103, mayores detalles técnicos se pueden encontrar en [54, 55, 56].

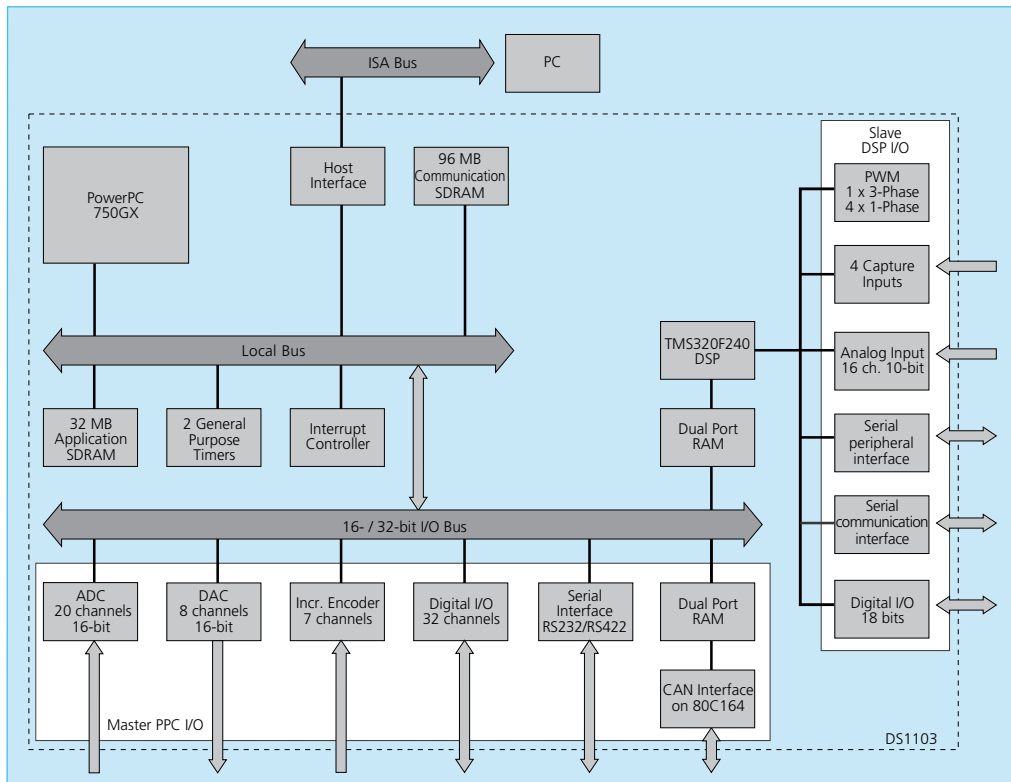


Figura 4.12: Diagrama de bloques de la plataforma dS1103.

4.5. Tarjeta receptora de fibra óptica

La tarjeta receptora de fibra óptica se acopla al inversor NPC y se encarga de transducir los pulsos luminosos enviados por la tarjeta transmisora a una señal cuadrada acotada entre $5 - 0$ [V], posteriormente estos pulsos se utilizan para encender y apagar los IGBTs del inversor NPC. En la figura (4.13) se muestra la tarjeta receptora utilizada, el componente encargado de realizar la transducción es el receptor HFBR-2521Z, luego mediante un buffer inversor se envía la señal de control a cada IGBT.

En este capítulo se muestra la disposición física de los principales elementos que conforman el sistema experimental. En el próximo capítulo se explica la programación de la tarjeta de

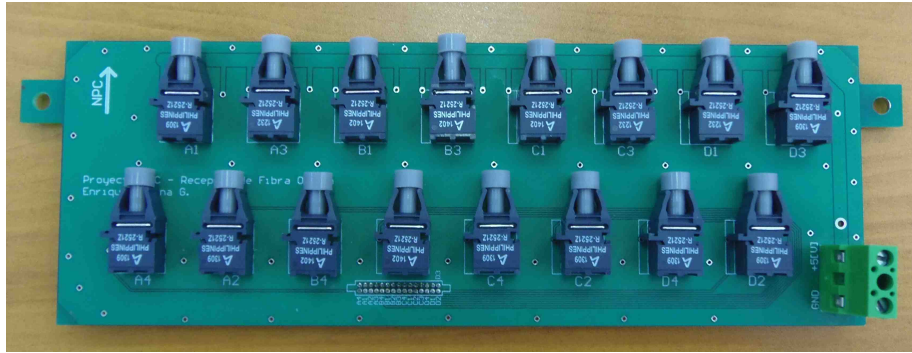


Figura 4.13: Tarjeta receptora de fibra óptica de 16 canales.

desarrollo y de la plataforma dSPACE.

Capítulo 5

Programación del hardware

5.1. Introducción

En este capítulo se describe la programación en VHDL de la tarjeta de desarrollo de la FPGA Spartan 3 y la programación en C de la rutina de control del sistema dSPACE.

La estrategia utilizada para regular el inversor es control predictivo modulado el que a diferencia del control FS-MPC es capaz de determinar un conjunto de vectores para cada período de muestreo T_s en forma similar a lo realizado por un algoritmo SVM convencional [13], gracias a esto su distorsión armónica es menor que la del FS-MPC.

El control M^2PC se implementa en una plataforma *dSPACE* la que al finalizar cada iteración de control encuentra un conjunto de vectores y sus respectivas duraciones para aplicar al inversor NPC. El firmware de la tarjeta de desarrollo se encarga de gestionar el envío de estos vectores mediante listas de tipo FIFO (First In First Out), además de lo anterior el firmware tiene las siguientes funciones:

- Habilitación de los diferentes niveles de protección para proteger la integridad del sistema experimental. Lo anterior involucra a las protecciones de hardware y de software. En caso de producirse una falla es necesario apagar el sistema.
- Implementación de los tiempos muertos.
- Inicio de la rutina de cálculo.
- Sincronización de la tarjeta de desarrollo con la plataforma dSPACE.
- Gestión de la comunicación entre el sistema dSPACE y la tarjeta de desarrollo.
- Síntesis de la señal de trigger para capturar información mediante el osciloscopio.

Con el fin de depurar el funcionamiento del programa en VHDL, se utiliza el osciloscopio *Keysight MSO X 3024T* para estudiar todas las señales digitales de interés que sincronizan el funcionamiento de la máquina de estados.

5.2. Programación de la tarjeta de desarrollo de la FPGA Spartan 3

Inicialmente se exponen los requerimientos del sistema completo (FPGA-dSPACE), a continuación se presenta el sistema propuesto y por último se detalla el funcionamiento de los bloques principales.

5.2.1. Requerimientos del sistema

Existen diversas maneras de implementar el sistema de gestión del inversor NPC, estas dependen de la plataforma en la que se programará la rutina de control y de como se realiza la adquisición de datos, en particular en el desarrollo de esta tesis se trabaja con el sistema *dSPACE dS1103*. Esta plataforma soporta programación en código C y también posee un compilador que permite transferir sistemas de control implementados en Simulink, además cuenta con 20 canales ADC y 7 señales de lectura de encoders. Lo anterior implica que no será necesario agregar integrados para la lectura de variables físicas a la tarjeta de desarrollo y en consecuencia no se deberá programar estas rutinas en VHDL. De esta forma los requerimientos básicos del firmware de la tarjeta de desarrollo son:

- Gestionar un **esquema de modulación vectorial** capaz de recibir la numeración de los vectores que se deban aplicar al inversor junto con sus respectivas duraciones.
- Se deberá implementar un **bloque de comunicación** para transferir el conjunto de vectores y tiempos desde el sistema *dSPACE* a la FPGA. Posteriormente otro bloque decodificará cada vector en un patrón de conmutación que se enviará a la tarjeta transmisora de fibra óptica.
- Es necesario contar con un **sistema de protecciones** en caso de falla, dicho esquema se puede clasificar en protección de software y hardware. Las protecciones de software se implementan en el entorno de la rutina de control, es decir en el sistema *dSPACE*, mientras que las protecciones de hardware se programan directamente en la FPGA, estas últimas tienen tiempos de acción menores que las de software, el firmware debe ser capaz de apagar el inversor al activarse alguna de estas protecciones. Además se debe considerar la implementación de tiempos muertos para evitar cortocircuitos debido a la operación de más de 2 interruptores por fase a la vez.
- El funcionamiento de la tarjeta de desarrollo debe sincronizarse con la rutina de control del sistema *dSPACE*. Mediante señales de interrupción periódicas es posible sincronizar la operación de ambos sistemas, esto se puede lograr de 2 maneras:
 - Sincronización *dSPACE*: En este esquema la plataforma *dSPACE* realiza la sincronización utilizando un Timer interno para ejecutar la rutina de control cada período de muestreo. En algún momento del algoritmo, posterior a la determinación de los vectores y sus tiempos, estos se envían a la tarjeta de desarrollo.
 - Sincronización *FPGA*: En este caso, la señal de coordinación es sintetizada por la FPGA. La sincronización con el sistema *dSPACE* se realiza utilizando una señal de interrupción externa, de esta forma la FPGA produce un pulso de bajada cada

período de muestreo T_s que inicia la rutina de lectura de canales y control en la plataforma dSPACE. Finalmente se optó por el segundo enfoque debido a la precisión temporal de la FPGA. El sistema *dSPACE* presenta atrasos variables que depende de la rutina de control.

- Por último la tarjeta de desarrollo se opera a través de una botonera externa mediante los interruptores de encendido y reset. Además para facilitar la operación del sistema se utilizan LEDs que indican su estado.

5.2.2. Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3

En la figura (5.1) se muestra la disposición general de los diferentes elementos que conforman el sistema de control propuesto. Los bloques verdes corresponden a las entidades programadas en VHDL mientras que en azul se representa al sistema dSPACE. Los bloques funcionales del firmware son:

- Relej.
- Fifo_tiempo.
- Fifo_vector.
- Temporizador.
- Protecciones.
- Retentor.
- Gestion.

Con el fin de obtener un código legible y extensible en el futuro, se ha optado por un enfoque modular y genérico. Cada uno de los bloques recién nombrados se programa como una entidad separada e independiente, las que posteriormente se agrupan y dan origen al sistema completo.

La operación del sistema esta regulada por la señal de interrupción INT_TS, esta señal es sintetizada por el bloque *Relej* y su objetivo es dar inicio a cada iteración del sistema:

- *dSPACE*: En términos generales el sistema dS1103 se encarga de:
 1. Lectura de Canales ADC: En esta etapa se miden las variables de interés del sistema bajo estudio. En el caso del convertor front-end se debe medir la corriente inyectada a la red I_{abc} , la tensión de los condensadores V_{DC1} y V_{DC2} , la tensión de la red eléctrica V_g y la corriente a la salida del puente de diodos I_{DC} .
 2. Control Predictivo (M^2PC): En este punto se predicen las variables de control del sistema, luego se procede a calcular la función de costos de cada vector g_i y posteriormente la de las regiones definidas G_r . Por último se selecciona el conjunto de vectores, junto con sus respectivas duraciones, que minimizan la función de costo G_r .
 3. Transmisión de Vectores: Una vez que se ha determinado cuales son los vectores, y sus duraciones respectivas, estos se envían a la tarjeta de desarrollo.

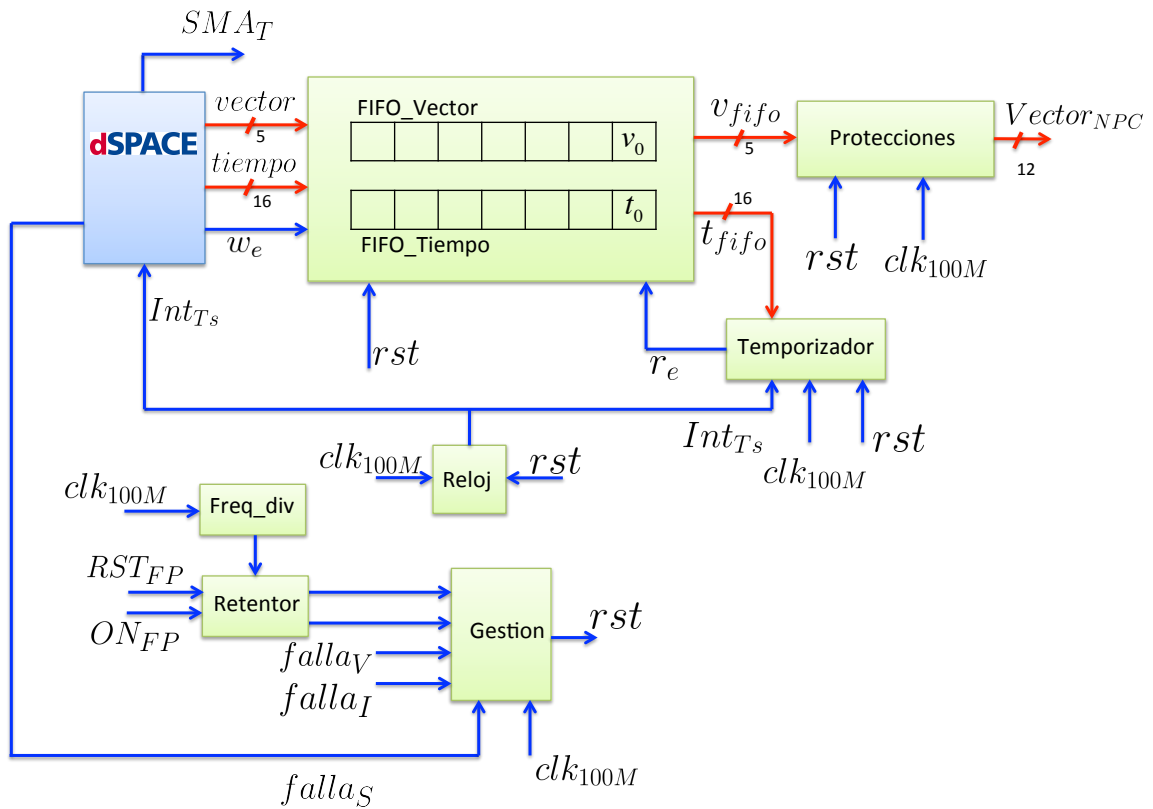


Figura 5.1: Firmware propuesto para la tarjeta de desarrollo de la FPGA Spartan 3.

- Tarjeta de desarrollo *Spartan 3*

- Lectura del puerto D Sub 50: Mediante la señal w_e (write enable) se habilita la escritura de datos desde la plataforma *dSPACE* hacia la FPGA. Por el momento sólo se considera un flujo unidireccional de la información, sin embargo la tarjeta tiene la posibilidad de cambiar el sentido del buffer que controla los bits *IO24* a *IO31* y así contar con un puerto de 8 bits para transmitir información desde la FPGA al sistema *dSPACE*.
- Gestión de Tiempos: Mediante el bloque *Temporizador* implementado en VHDL, se controla la duración de cada vector de tal manera que cuando se alcanza su tiempo total se envía una señal a las listas FIFOs para cargar el próximo vector junto con su respectiva duración. La resolución de este bloque es de $0,01 [\mu s]$.
- Tiempos Muertos: Una de las funciones del bloque *Protecciones* es agregar un tiempo muerto de $2 [\mu s]$ a las señales de compuerta que cambian su valor lógico de falso a verdadero, de esta forma se evita los cortocircuitos debido a la conducción de más de 2 interruptores por fase.
- Protecciones: Las tarjetas de interfaz, utilizadas para adecuar los niveles de corriente y tensión de las mediciones a valores permitidos por la plataforma *dSPACE*, poseen una señal de trigger que se activa en caso de superar un determinado umbral, estas señales de falla se transmiten a la FPGA y en la eventualidad que alguna de ellas tenga un valor lógico verdadero el sistema apaga el inversor y detiene la rutina de control de *dSPACE*. Junto con lo anterior se implementa otro nivel de protección en caso que la rutina de control entregue vectores erróneos,

esta consiste en un decodificador que asocia un patrón de 12 bits a cada vector dependiendo de su numeración, en caso de que el algoritmo de control entregue un vector no válido la FPGA apagará todos los interruptores.

5.2.3. Bloques operativos

En este apartado se describen los bloques implementados en VHDL. A continuación se listan todas las señales utilizadas en el control de la tarjeta, estas se pueden dividir en entradas o salidas externas y señales internas.

Señales de entrada:

- `clk_100M`: Señal del oscilador de $100[MHz]$. Esta señal se conecta al pin 184 que corresponde al `GCLK7`.
- `we_DS`: Señal de habilitación de escritura para transferir el conjunto de vectores, junto con sus respectivos tiempos, desde el sistema *dSPACE* a la FPGA.
- `SMA_T`: Señal de trigger para capturar información del osciloscopio en instantes determinados mediante la función de trigger externo.
- `ON_FPGA`: Señal de encendido controlada desde la botonera
- `RST_FPGA`: Señal de reset controlada desde la botonera.
- `FLAG_V`: Señal de sobre-tensión de la tarjeta de interfaz.
- `FLAG_I`: Señal de sobre-corriente de la tarjeta de interfaz.
- `FLAG_S`: Señal de falla de software.
- `vector_DS`: Señal vectorial de 5 bits que contiene la numeración del vector que se aplicará en el inversor NPC. Se pueden describir hasta 32 vectores pero el conversor NPC sólo requiere de 27, se define un vector número 28 en que todos los interruptores del NPC están apagados.
- `tiempo_DS`: Señal vectorial de 16 bits que indica el tiempo de duración de cada vector. Dado que el oscilador es de $100[MHz]$, la cuenta máxima que se puede alcanzar es de $655,36 [\mu s]$, dicho período es equivalente a una frecuencia mínima de muestreo de $1,5[kHz]$ aproximadamente, por otro lado, para obtener un funcionamiento adecuado las simulaciones realizadas del *M²PC* operan con una frecuencia de muestreo de $f_s = 10[kHz]$.

Señales de salida:

- `led_1`: Indicador LED que muestra si la tarjeta de desarrollo se encuentra energizada.
- `led_2`: Indicador LED para la señal de encendido de la botonera.
- `led_3`: Indicador LED para la señal de reset de la botonera.
- `led_4`: Indicador LED para el estado de falla del sistema.
- `led_5`: Señal LED disponible.
- `Inte_FPGA`: Señal de interrupción externa para sincronizar el funcionamiento de la FPGA y dar inicio a la rutina de control del sistema *dSPACE*.

- **PWM_OUT**: Señal vectorial de 12 bits que controla los interruptores de cada fase del inversor NPC. Cada patrón de conmutación representa a un vector válido.

Señales internas:

- **re_tempo**: Señal de habilitación de lectura generada por el bloque *Temporizador*, los flancos de subida de esta señal producen la lectura de la última casilla de las listas FIFO de vectores y tiempos. Esta señal se genera cuando se alcanza la duración del vector actual.
- **Ts_int**: Señal de interrupción generada por la FPGA y que es utilizada por el bloque temporizador para sincronizar la duración del último vector de cada período, de esta forma en cada ciclo se anula el posible desfase acumulado por los tiempos de cada vector.
- **ON_STB**: Corresponde a la señal de **ON_FPGA** después de aplicarle un flip-flop D con una señal de reloj de $1[kHZ]$. De esta forma se eliminan las oscilaciones producidas al cerrar el contacto mecánico de la botonera.
- **RST_STB**: De forma análoga a la señal **ON_STB**, la señal de reset de la botonera también pasa por un flip-flop D para evitar oscilaciones que perjudican al sistema completo.
- **RST_SYS**: Esta señal controla el estado de todo el sistema y corresponde a la salida del bloque *Gestion*. El sistema de control sólo se enciende cuando la señal de ON de la botonera esta activa y las señales de falla y reset se encuentran apagadas.
- **vec_out**: Señal vectorial de 5 bits cuya función es transferir el último vector de **FIFO_VECTOR** al bloque de protecciones.
- **tim_out**: Señal vectorial de 16 bits para transferir el último tiempo de **FIFO_TIEMPO** al bloque *Temporizador*.

A continuación se explica el funcionamiento de las entidades programadas en VHDL.

Reloj

La tabla (5.1) muestra los puertos de entrada y salida del bloque *Reloj*, su función es generar la señal de interrupción **INT_TS** que tiene un flanco de bajada cada $100[\mu s]$. Esta señal se envía al sistema *dSPACE* y tiene por objetivo iniciar cada iteración de la rutina de control, es decir cada $T_s = 100[\mu s]$ se leen los canales ADC, se predice el comportamiento futuro del sistema y posteriormente se elige un conjunto de vectores que minimizan una determinada función objetivo. Además esta señal sirve para sincronizar la duración final del último vector de cada período, esto es necesario debido a que los tiempos de los vectores son expresados como múltiplos del período del oscilador, es decir de $0,01[\mu s]$, por lo tanto si no existiera algún mecanismo para anular este error, luego de algunos minutos de operación el desfase acumulado sería considerable.

Señal	Tipo
clk_in	IN STD_LOGIC
clk_rst	IN STD_LOGIC
clk_out	OUT STD_LOGIC

Tabla 5.1: Señales de entrada y salida del bloque *Reloj*.

Listas FIFO

La gestión de los vectores y sus respectivos tiempos se realiza mediante una estructura de datos tipo FIFO (First In First Out). Para esto se implementó un código genérico con el fin de poder cambiar fácilmente los parámetros de la lista, por defecto el largo de cada celda es de 16 bits para el bloque `FIFO_tiempo` y 5 para `FIFO_vector`, en ambos casos las listas tienen 64 celdas. Los puertos de entrada y salida del bloque `Fifo_tiempo` se muestran en la tabla (5.2) y para `Fifo_vector` estos puertos son análogos, la única diferencia es el largo de palabra que cada uno utiliza. El puerto `we_Ft` se utiliza para transmitir la señal de escritura desde el sistema *dSPACE* hacia la FPGA, de forma tal que la lista guarda el arreglo binario que se encuentra en el puerto `tiempo_IN_Ft` (o `vector_IN_Fv` para el caso de la lista `Fifo` de vectores) cuando se detecta un flanco ascendente en `we_Ft`. De forma análoga, para la lectura de datos se utiliza la señal `re_Ft`, cada vez que esta señal presenta un flanco de subida la información de la celda `Fifo_t(ind_r)`, con `ind_r` igual al índice actual de lectura, es transferida al puerto `tiempo_OUT_Ft`.

Señal	Tipo
<code>we_Ft</code>	IN STD_LOGIC
<code>re_Ft</code>	IN STD_LOGIC
<code>rst_Ft</code>	IN STD_LOGIC
<code>tiempo_IN_Ft</code>	IN STD_LOGIC_VECTOR 16 bits
<code>tiempo_OUT_Ft</code>	OUT STD_LOGIC_VECTOR 16 bits

Tabla 5.2: Señales de entrada y salida del bloque *Fifo Tiempo*.

Las operaciones de escritura y lectura se implementan mediante 2 procesos independientes. Inicialmente, en el proceso de escritura se procede a guardar el arreglo nulo "00000" en las 64 celdas de la lista, excepto por la primera en la que se escribe el vector *V19* que es equivalente a apagar todos los interruptores del inversor. De forma paralela en la lista que gestiona los tiempos se guarda el vector "0000000000000000" en cada celda, excepto por la primera en la que se guarda el vector "1100001101010000" que es equivalente a un tiempo de 100 $[\mu s]$. Nótese que en el primer período de operación el sistema de control no dispone de medidas de tensión y corriente para realizar el control *M²PC*, es por ello que se optó por aplicar un vector nulo por toda su duración. Ya en el próximo tiempo de muestreo se tendrá un conjunto de vectores y tiempos disponibles para realizar los cálculos necesarios.

A medida que se escriben los vectores y tiempos el índice `int_w` aumenta, lo mismo ocurre con el índice `int_r` a medida que se leen datos. Una vez que estos índices alcanzan su máximo 111111, su valor se reinicializa. De esta forma, al utilizar un arreglo FIFO circular

no es necesario considerar un flag de error en caso de que la lista esté completa, lo anterior sólo es válido debido a que en promedio, en un período T_s la cantidad de elementos que se escriben y leen en la lista es la misma. Si se escribieran más elementos de los que se leen, se perdería información, mientras que si se leyera más información que la que se escribe, los vectores y tiempos se repetirían.

La figura (5.2) muestra las señales de interés en la operación de la lista FIFO. La señal INT_{TS} da inicio a la rutina de control en el sistema dSPACE. En algún momento del período de muestreo, posterior a los cálculos realizados por el control M^2PC , se envían los vectores y sus duraciones a la FPGA (señal dat_{dS}) mediante el flanco de subida de la señal w_e (write enable). Una vez que se alcanza la duración total del vector actual se genera un flanco de subida en la señal r_e y en consecuencia se actualiza el índice de lectura de las dos listas FIFO para cargar el siguiente vector.

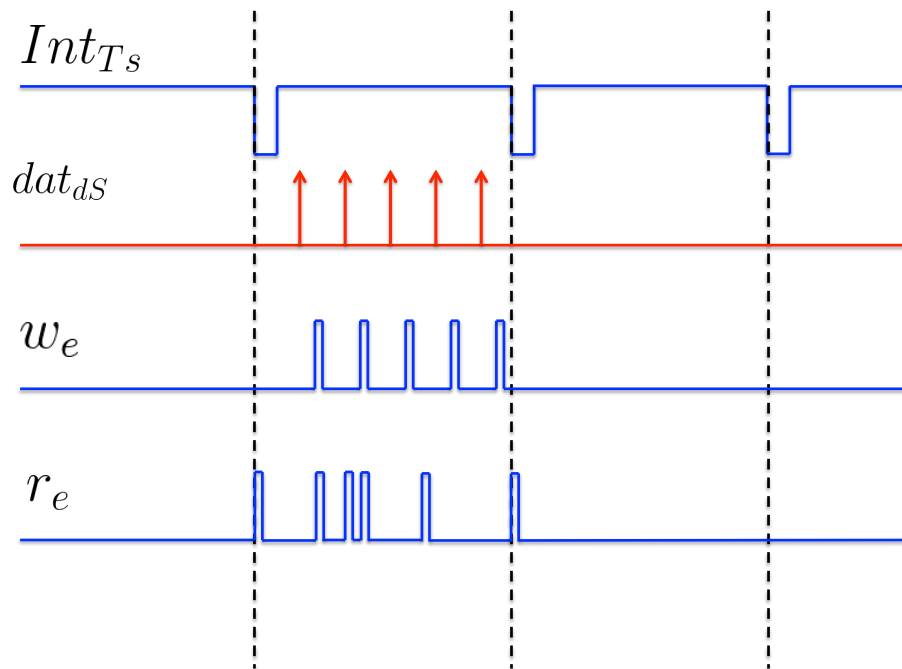


Figura 5.2: Operación de las señales de interés del bloque FIFO vector y tiempo.

Temporizador

El objetivo de este bloque es generar un flanco ascendente una vez que la duración del tiempo actual alcanza su límite, de esta forma el índice de lectura de ambas listas FIFO se incrementa en una unidad. Las señales de entrada y salida de este bloque se muestran en la tabla (5.3). Para definir el paso temporal se utiliza el puerto clk_{tp} que esta conectado a la señal del oscilador externo de $100 [MHz]$.

Inicialmente la lista FIFO de tiempos contiene el valor $t_0 = 100 [\mu s]$, luego con el próximo flanco ascendente de la señal r_{ena} , el índice de lectura de ambas listas se incrementa en uno y por consiguiente la salida de ambas listas se actualiza.

Señal	Tipo
clk_tp	IN STD_LOGIC
rst_tp	IN STD_LOGIC
int_tp	IN STD_LOGIC
Cuenta_tp	IN STD_LOGIC_VECTOR 16 bits
r_ena	OUT STD_LOGIC

Tabla 5.3: Señales de entrada y salida del bloque *Temporizador*.

Por otro lado, la señal de lectura también se genera cuando se produce un flanco de bajada de la señal INT_TS, de esta forma se elimina el error acumulado en la duración de los vectores. Esta señal de interrupción determina la duración del vector final en cada período de muestreo T_s .

Protecciones

Este bloque se encarga de decodificar cada vector dependiendo de su numeración, la tabla (5.4) muestra el patrón de salida para cada vector de entrada. En caso de que la lista FIFO entregue un número fuera del conjunto de vectores válidos, el bloque de protecciones apaga todos los interruptores, de esta forma se evita un eventual cortocircuito debido a un problema de programación en la rutina de control. Además de la función recién descrita, este bloque se encarga de agregar un tiempo muerto de 2 $[\mu s]$ a cada salida que pasa desde el estado apagado a encendido.

Las señales de entrada y salida se muestran en la tabla (5.5).

Retentor

El objetivo de este bloque es eliminar las oscilaciones en las señales de la botonera producidas por el cierre de los interruptores. Para evitar este problema las señales provenientes de la botonera ingresan a un flip-flop tipo D con una frecuencia de 1 $[kHz]$. Al no considerar este bloque la señal ON_FPGA presenta un comportamiento errático durante 600 $[\mu s]$ aproximadamente, lo que producía que el sistema se apague. Los puertos de entrada y salida se muestran en la tabla (5.6).

Gestión

La función de este bloque es gestionar el funcionamiento del sistema implementado en la FPGA. Sus señales de entrada y salida se indican en la tabla (5.7). La señal de salida ON_OUT habilita el funcionamiento de la FPGA en caso que la señal ON_FP tenga un valor lógico alto y el valor de las señales RST_FP, FALLA_S, FALLA_V y FALLA_I sea falso, en este caso el sistema puede operar con normalidad. En cualquier otro caso todos los interruptores se apagan y el

Numeración del vector	Entrada	Salida	Tipo de Vector
0	00000	001100110011	Nulo N
1	00001	011001100110	Nulo O
2	00010	110011001100	Nulo P
3	00011	011000110011	V1N
4	00100	110001100110	V1P
5	00101	011001100011	V2N
6	00110	110011000110	V2P
7	00111	001101100011	V3N
8	01000	011011000110	V3P
9	01001	001101100110	V4N
10	01010	011011001100	V4P
11	01011	001100110110	V5N
12	01100	011001101100	V5P
13	01101	011000110110	V6N
14	01110	110001101100	V6P
15	01111	110001100011	V7
16	10000	011011000011	V8
17	10001	001111000110	V9
18	10010	001101101100	V10
19	10011	011000111100	V11
20	10100	110000110110	V12
21	10101	110000110011	V13
22	10110	110011000011	V14
23	10111	001111000011	V15
24	11000	001111001100	V16
25	11001	001100111100	V17
26	11010	110000111100	V18
Otro caso	— — —	000000000000	V19

Tabla 5.4: Decodificador del bloque Protecciones, cada vector tiene asociado un patrón de salida de 12 bits.

Señal	Tipo
Patron_IN	IN STD_LOGIC_VECTOR 5 bits
Patron_OUT	OUT STD_LOGIC_VECTOR 12 bits
clk	IN STD_LOGIC
reset	IN STD_LOGIC

Tabla 5.5: Puertos de entrada y salida del bloque *Protecciones*.

bloque reloj se desactiva con lo que el resto de los bloques implementados en VHDL junto con la rutina de control en dSPACE no se ejecutan.

Además este bloque controla las señales LED de ON, RST y FALLA.

Señal	Tipo
clk_ret	IN STD_LOGIC
IN_1	IN STD_LOGIC
IN_2	IN STD_LOGIC
OUT_1	OUT STD_LOGIC
OUT_2	OUT STD_LOGIC

Tabla 5.6: Puertos de entrada y salida del bloque *Retentor*.

Señal	Tipo
ON_FP	IN STD_LOGIC
RESET_FP	IN STD_LOGIC
FALLA_V	IN STD_LOGIC
FALLA_I	IN STD_LOGIC
ON_OUT	OUT STD_LOGIC
LED_ON	OUT STD_LOGIC
LED_V	OUT STD_LOGIC
LED_I	OUT STD_LOGIC

Tabla 5.7: Puertos de entrada y salida del bloque *Gestion*.

5.2.4. Pruebas experimentales del firmware en lazo abierto

A continuación se prueba el funcionamiento del sistema propuesto en lazo abierto, para ello se programó una rutina de control que envía en cada período de muestreo el mismo conjunto de vectores (patrón doble simétrico). Los vectores utilizados fueron \vec{V}_7 , \vec{V}_5 , \vec{V}_2 , \vec{V}_6 , \vec{V}_4 , \vec{V}_6 , \vec{V}_2 , \vec{V}_5 y \vec{V}_7 , cada uno por una duración de 11, 11 $[\mu s]$, excepto por el último vector que se aplica hasta que se alcanza un período completo de $T_s = 100 [\mu s]$.

La figura (5.3) muestra el funcionamiento del sistema implementado en VHDL. Las señales D_0 a D_{11} corresponden a los pulsos de disparo enviados a los IGBTs del inversor; D_{12} corresponde a la señal interna `r_e` (read enable) utilizada para leer la última celda de la lista FIFO de vectores y tiempos; D_{13} corresponde a la señal `w_e` (write enable) utilizada para escribir los vectores y tiempos en la FPGA; D_{14} es la señal `INT_TS` de interrupción que se envía al sistema *dSPACE* de manera periódica cada $T_s = 100 [\mu s]$ y por último D_{15} es la señal de `RST_SYS` que activa el sistema cuando tiene un valor lógico falso.

En la figura (5.4) se aprecia el primer ciclo de funcionamiento del sistema, en este caso se envía un vector nulo tipo O, el atraso que existe entre esta señal y `RST_SYS` se debe a la implementación de los tiempos muertos. En la figura (5.4) el primer período efectivamente tiene una duración de 100 $[\mu s]$.

Por último en la figura (5.5) se muestra el segundo período de funcionamiento del sistema, en este caso se observan los vectores enviados al convertidor con un patrón doble simétrico.

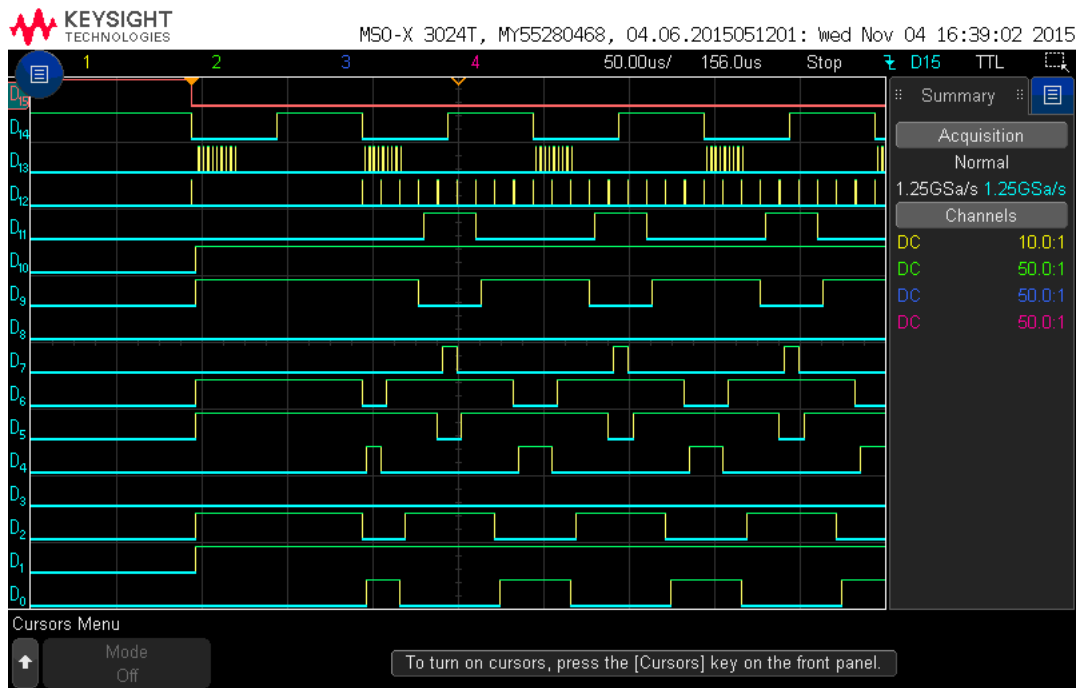


Figura 5.3: Principales señales del sistema implementado en VHDL.

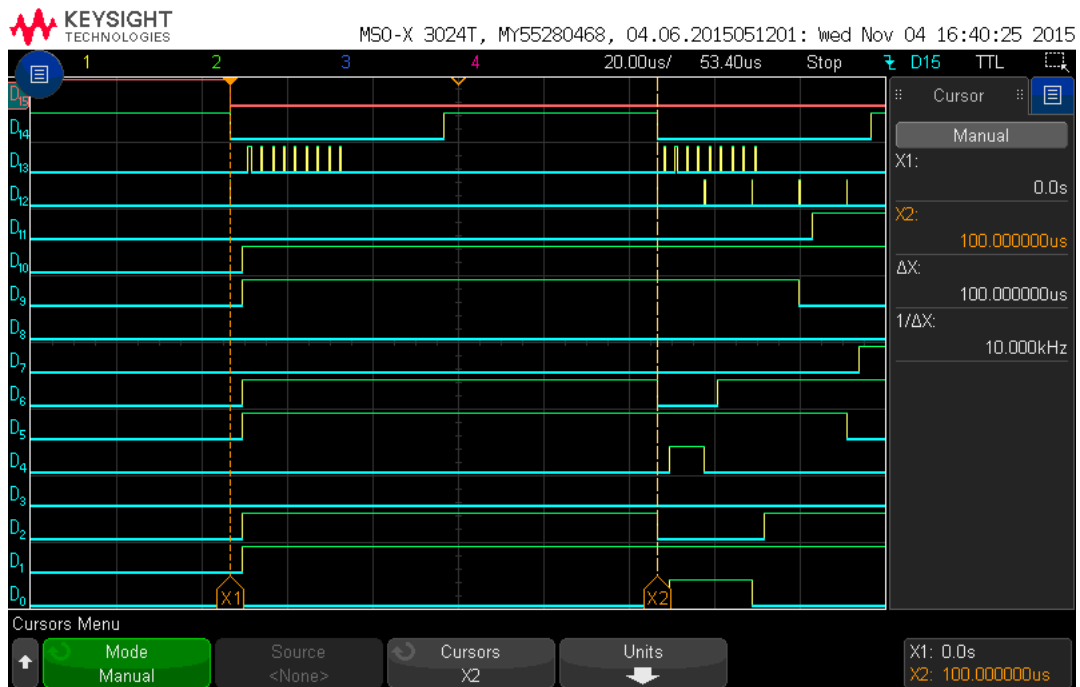


Figura 5.4: Primer período de funcionamiento del sistema, inicialmente se envía un vector nulo tipo 0 con un tiempo de $t = 100 [\mu s]$.

5.3. Programación del sistema dSPACE

Independiente de la topología del sistema considerado, inversor en configuración front-end o alimentando una carga RL, y de la estrategia de control M^2PC utilizada, en todos los casos

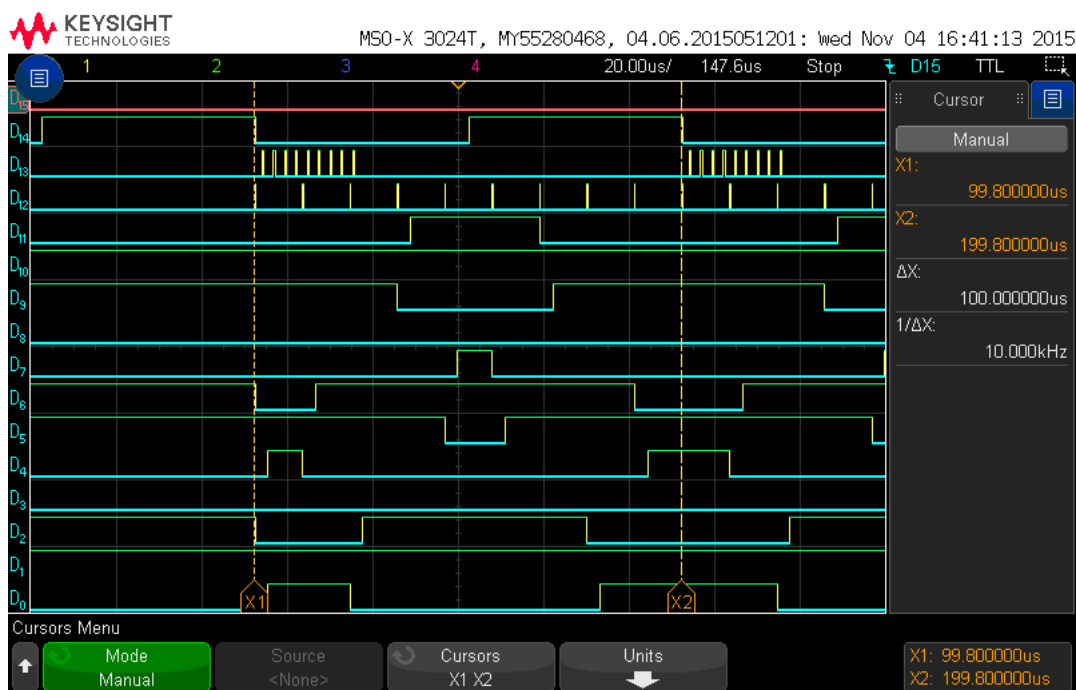


Figura 5.5: Primer período del sistema en que se envían vectores con un patrón doble simétrico.

el código C programado en la plataforma *dSPACE* tiene una serie de elementos en común. Este código se compone de 2 funciones principales: `void main(void)` y `void f_timer(void)`, la función `main()` se ejecuta una sola vez al inicio del programa, mientras que la función `f_timer()` se ejecuta cada vez que el sistema recibe una interrupción externa, como ya se discutió anteriormente la FPGA es la encargada de producir cada $T_s = 100 [\mu s]$ esta señal de interrupción.

La función `main()` ejecuta los siguientes pasos:

1. Inicialización de la tarjeta *dS1103*: Mediante la función `init()` se inicializan todos los módulos de hardware y software necesarios para operar el sistema, el algoritmo inicializa estos elementos en el siguiente orden:
 - (a) Inicialización de las variables globales para realizar mediciones de tiempo.
 - (b) Inicialización de las funciones para el manejo de memoria.
 - (c) Se registra el sistema *RTLlib1103* en el módulo VCM (Version and configuration management).
 - (d) Módulo de comunicación para enviar los mensajes de error, advertencias e informaciones.
 - (e) Módulo de sub-interrupciones para trabajar con interrupciones entre el PowerPC y la DSP Slave.
 - (f) Servicio de comunicación para la transferencia de datos hacia el PC.
2. Inicialización de los convertores DAC: Los convertores A/D pueden operar en modo transparent o latched, en el primero cuando un valor se escribe en el convertor este se envía al puerto de salida inmediatamente mientras que en el segundo el valor escrito se

envía sólo cuando se ejecuta el comando `ds1103_dac_strobe()`. En este caso se utiliza el modo latched (`ds1103_dac_init(DS1103_DACMODE_LATCHED)`).

3. Configuración e inicialización del puerto CP30: Los 4 grupos de bits se configuran en modo salida mediante la función `ds1103_bit_io_config`.
4. Configuración de la interrupción externa: La plataforma *dSPACE* permite trabajar con interrupciones internas (Timer A, Timer B y Timer decremental) y externas. En este caso se trabaja con el puerto CP30, que es capaz de recibir hasta 4 interrupciones externas. Para asegurar que la interrupción sea reconocida debe tener un valor lógico falso por al menos 100 [ns] y posteriormente la señal debe mantener el valor lógico verdadero por una duración mínima de 1 [μs]. El servicio de interrupciones se configura mediante la función `ds1103_set_interrupt_vector()`, en este caso se utiliza la interrupción INT0 que tiene asignado el pin 46 del conector CP30.
5. Cálculo del offset de los puertos ADC: Las mediciones de corriente y tensión tienen un offset debido al instrumento de medición. Para estimar el offset de cada canal se mide su valor 50000 veces cada 10 [μs] una vez al inicio del programa y luego se calcula su promedio, este valor de offset se resta de la medición final. Es de suma importancia que el sistema en este punto del algoritmo no se encuentre energizado, ya que se quiere eliminar el offset de los medidores cuando las tensiones y corrientes son nulas.
6. Configuración de la comunicación con ControlDesk: Mediante el comando `RTLIB_BACKGROUND_SERVICE()` se establece la comunicación entre la plataforma *dSPACE* y el computador.

El algoritmo de la función `f_timer()` depende del sistema y estrategia de control considerado, sin embargo en todos los casos se realizan los siguientes pasos:

1. Medición del instante inicial del tiempo.
2. Lectura de los canales ADC.
3. Protecciones de Software: En caso de que alguna de las variables internas o medidas tenga un valor fuera de su rango permitido se activan las protecciones de Software. Se utiliza el bit I/O 22 del puerto CP30 para transferir este flag hacia la FPGA, la que se encargará de apagar el sistema en caso de falla. Se monitorean 3 conjuntos de variables:
 - Tiempo de ejecución: Se verifica que el tiempo de ejecución no sea mayor al 90 % del período de muestreo T_s .
 - Tiempos de vectores: Se comprueba que los tiempos calculados mediante el control M^2PC sean positivos.
 - Medición de variables eléctricas: Se corrobora que las corrientes del inversor, la corriente inyectada por el puente de diodos y la tensión de los condensadores estén dentro de sus rangos permitidos, se imponen las siguientes restricciones:

$$|I_{abc}| < 16[A] \quad I_{DC} < 13[A] \quad V_{DC\{1,2\}} < 350[V] \quad |V_{DC1} - V_{DC2}| < 50[V] \quad (5.1)$$

Si alguna de las condiciones recién mencionadas no se cumple se envía un mensaje a la consola del software ControlDesk, para indicar el tipo de falla que se produce y el valor de las magnitudes de interés.

4. Trigger Externo: Esta señal se envía al osciloscopio para capturar las formas de onda al producirse un cambio en las referencias. Se utiliza el bit I/O 23 del puerto CP30.

5. Control predictivo modulado: Se implementa una de las 2 estrategias propuestas.
6. Escritura de datos: Una vez que se determina el conjunto de vectores y tiempos que se deben aplicar durante el próximo T_s estos valores se envían de forma paralela a la FPGA mediante los bits I/O 0 a 20. Con cada flanco ascendente de la señal w_e se envía un vector junto con su tiempo. Para cada vector se utilizan los bits I/O 0 a 4 mientras que para su respectiva duración se usan los bits I/O 5 a 20. Cabe recalcar que los tiempos se deben escribir como un número entero entre 0 y 10000, ya que la resolución temporal es de $0,01 [\mu s]$ y el período de muestreo es $T_s = 100 [\mu s]$.
7. Actualización de los conversores D/A.
8. Medición del tiempo final: De esta forma se puede calcular el tiempo de ejecución para cada período de muestreo.

En este capítulo se detalla la programación de la tarjeta de desarrollo y de la plataforma dSPACE. En el próximo capítulo se estudia el comportamiento del sistema mediante simulaciones.

Capítulo 6

Simulaciones

Antes de probar la rutina de control en el sistema experimental es necesario simular su funcionamiento para depurar posibles errores y evitar situaciones de riesgo una vez que se implemente. Se estudian las 2 estrategias M^2PC propuestas en un inversor NPC en configuración front-end, en particular se realizan pruebas en régimen permanente para corroborar el correcto balance de la tensión de los condensadores y también se aplican cambios tipo escalón en las referencias P^* y Q^* . Las simulaciones se realizan utilizando el software *Plecs* versión 3.5.2. El controlador se programó en un bloque C-Script debido a que el objetivo final es implementar el controlador en la plataforma dSPACE, por tanto, de esta forma el traspaso del código al sistema experimental es más simple y directo. En el capítulo de Anexos se explica la estructura general del código C utilizado en Plecs.

6.1. Inversor front-end

A continuación se estudia al inversor NPC en configuración front-end, el que se muestra en la figura (6.1). Luego se muestran algunas de las simulaciones realizadas, en la tabla (6.1) se indican los parámetros utilizados.

Parámetro	Valor
T_s	100[μs]
R	1[Ω]
L	5[mH]
V_{DCi}	150[V]
V_g	100[V _p]
C_i	3300[μF]

Tabla 6.1: Parámetros del sistema front-end utilizados en la simulación.

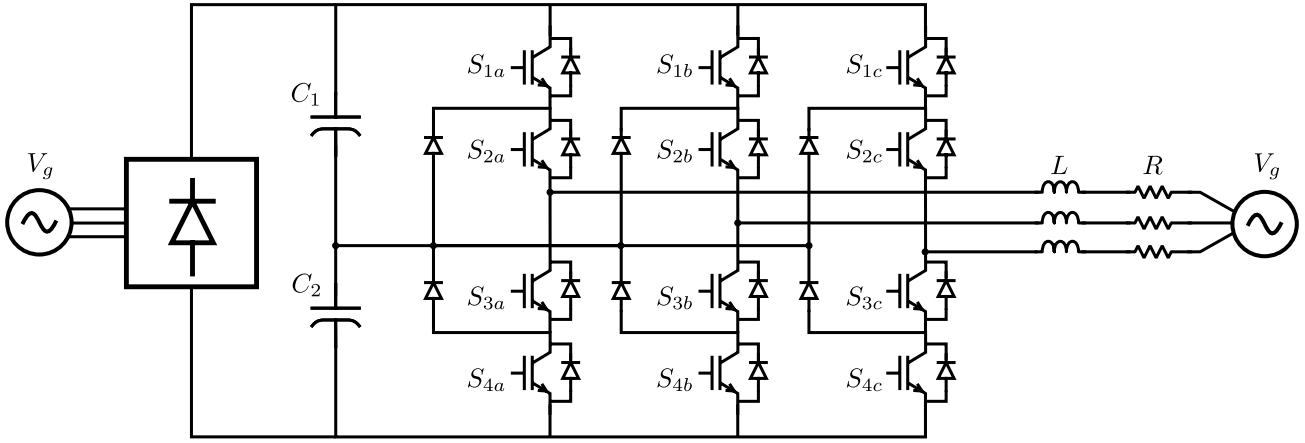


Figura 6.1: NPC en configuración front-end simulado en *Plecs*.

6.2. Estrategia de control M^2PC #1 (función multiobjetivo)

En esta estrategia se utiliza una función multiobjetivo para controlar la potencia inyectada a la red y balancear los condensadores del DC-Link. En la ecuación (6.1) se muestra la función objetivo utilizada, donde $\gamma = 0,1$. El valor de γ se seleccionó mediante simulaciones tomando en cuenta el desempeño del error de corriente y el balance de los condensadores.

$$g(\vec{v}_j) = \sqrt{(i_\alpha^* - i_\alpha(\vec{v}_j))^2 + (i_\beta^* - i_\beta(\vec{v}_j))^2} + \gamma |V_{DC1}(\vec{v}_j) - V_{DC2}(\vec{v}_j)| \quad (6.1)$$

6.2.1. Prueba en régimen permanente

En esta prueba se estudia el comportamiento del sistema en régimen permanente cuando las consignas son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$. Inicialmente la tensión de los condensadores del DC-Link es $V_{DC1}(t_0) = V_{DC2}(t_0) = 150[V]$.

La corriente inyectada a la red junto con su espectro de frecuencia se muestran en las figuras (6.2a) y (6.2b) respectivamente. El controlador funciona de manera adecuada siguiendo a I_g^* y el error de corriente es acotado tal que $|I_g - I_g^*| < 1[A]$, además este error tiene una media en torno a cero. En la figura (6.2b) se grafica el espectro de frecuencia de la corriente inyectada a la red hasta la frecuencia $1000[Hz]$, se aprecia que la distorsión armónica es baja. Los armónicos más elevados en la corriente son el 5° y 7° con magnitudes de $I_{250Hz} = 0,131[A]$ e $I_{350Hz} = 0,144[A]$. Por otro lado, entorno a la frecuencia $f = 10[kHz]$ aparecen bandas laterales, de forma análoga al caso en que se utiliza un modulador SVM para sintetizar los pulsos de disparo.

La tensión del DC-Link junto con la corriente inyectada a su punto medio se muestran en las figuras (6.3a) y (6.3b) respectivamente. La variación de las tensiones V_{DC1} y V_{DC2} es despreciable y están en anti-fase, su diferencia está acotada en $|V_{DC1} - V_{DC2}| < 1[V]$ y además el 3° armónico de esta diferencia tiene una magnitud de $0,98[V]$ correspondiente al mayor

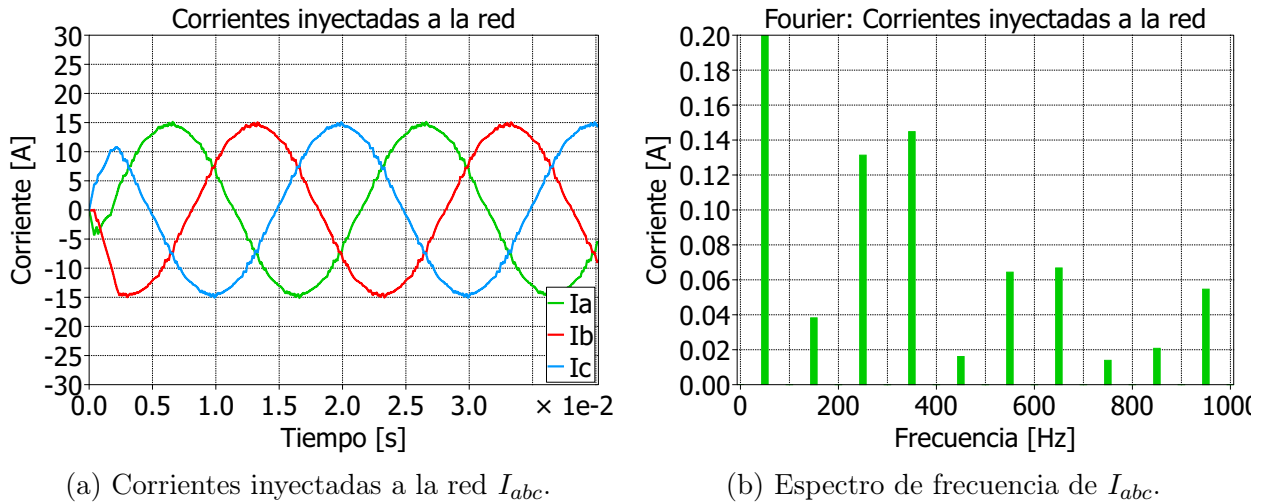


Figura 6.2: Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

armónico presente en esta señal. Por su parte la corriente que se inyecta al punto medio del DC-Link tiene una forma escalonada debido a la aplicación del conjunto de vectores en cada período de muestreo T_s . La integral de i_n es una señal oscilatoria de amplitud máxima de $3,5[mA]$ con una media nula aproximadamente. Idealmente la integral de i_n en cada período de muestreo debe tener media nula para que la tensión del punto medio del DC-Link no se desvíe de su valor original.

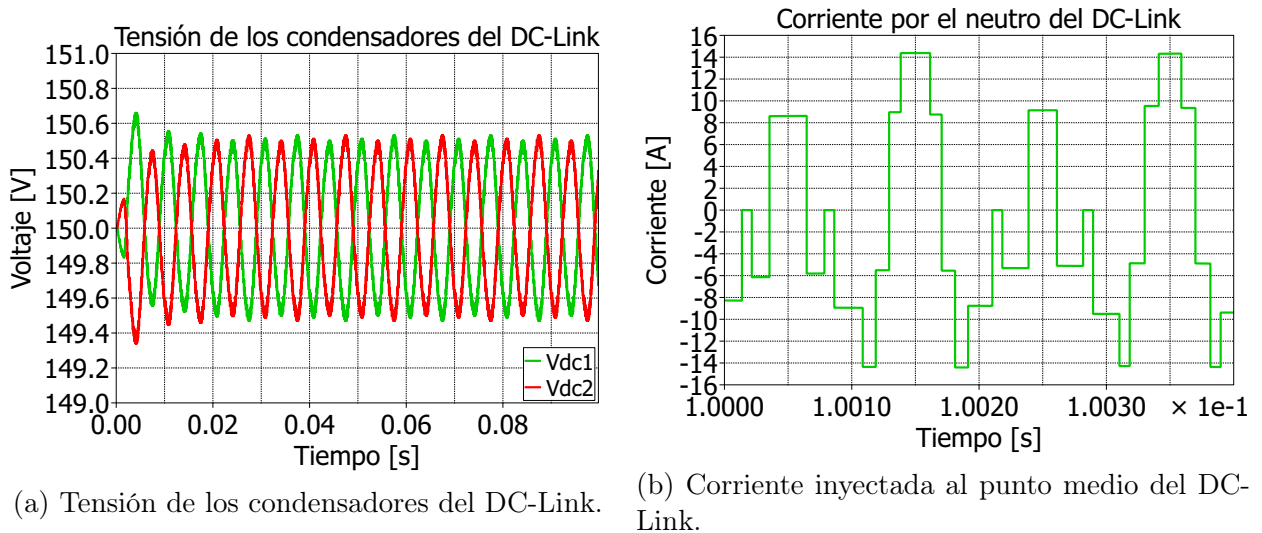
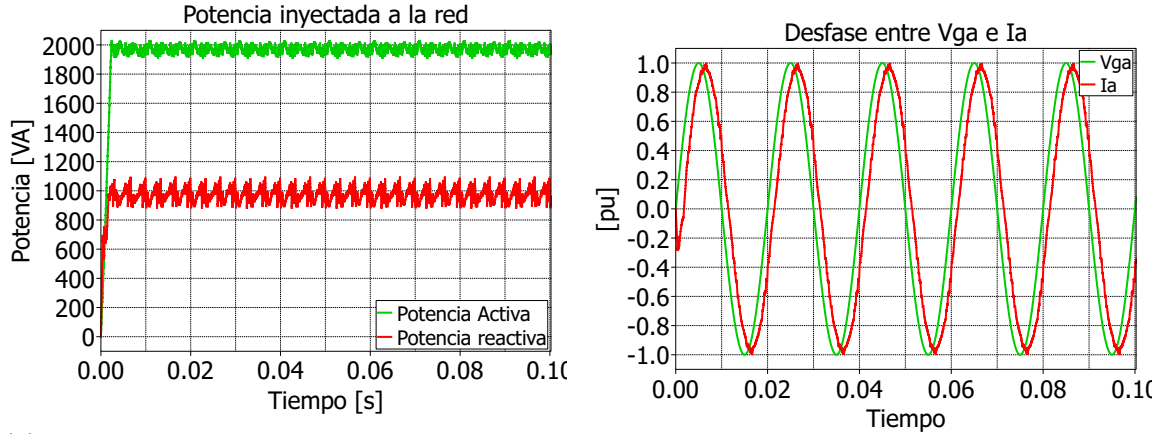


Figura 6.3: Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

La potencia inyectada a la red junto con el desfase de su tensión y corriente se muestran en las figuras (6.4a) y (6.4b). El valor promedio de la potencia activa es $\bar{P} = 1973[W]$ y el de la reactiva es $\bar{Q} = 972[VAR]$. El error de potencia activa está acotado a $|P^* - P| < 100[W]$ y el de potencia reactiva a $|Q^* - Q| < 120[VAR]$. Nótese que la corriente inyectada está en atraso con respecto a V_g



(a) Potencia activa y reactiva inyectada a la red.

(b) Desfase entre V_{ga} e I_a en por unidad.

Figura 6.4: Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

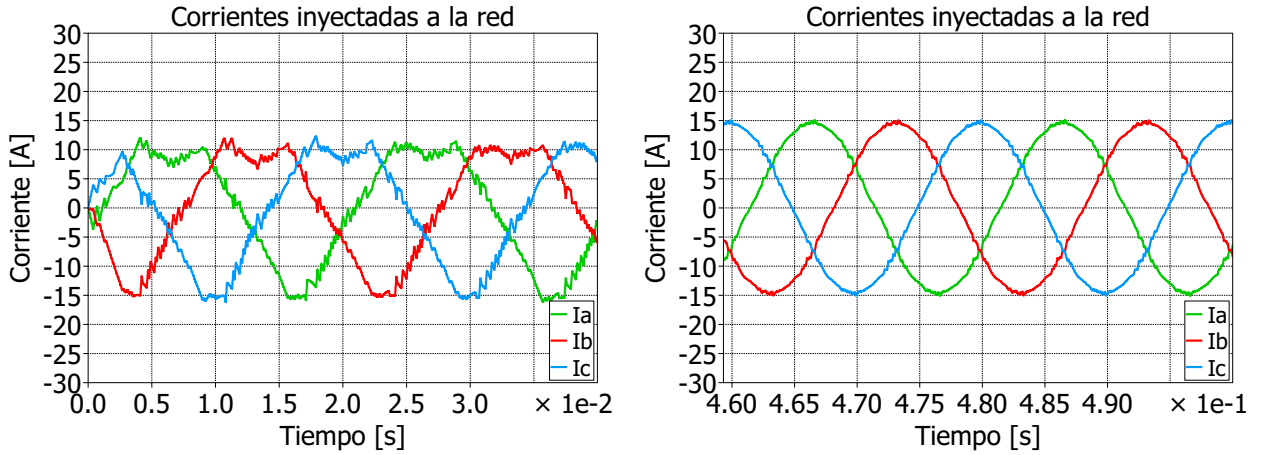
Tanto en las formas de onda de la corriente, como de la potencia, el error no converge a cero en el régimen permanente a diferencia de un controlador PI, debido a que el M^2PC no incluye una acción integral. Sin embargo ambos errores son acotados lo que permite una operación adecuada. Se concluye que la estrategia #1 presenta un buen desempeño en régimen permanente cuando el DC-Link inicialmente se encuentra balanceado.

6.2.2. Balance de los condensadores

Esta prueba es análoga a la anterior con la diferencia que los condensadores tienen una tensión inicial diferente $V_{DC1}(t_0) = 100[V]$ y $V_{DC2}(t_0) = 200[V]$ y las consignas de potencia son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

En la figura (6.5a) se muestra la corriente inyectada a la red mientras la tensión de los condensadores aún no se balancea y en (6.5b) se aprecia la misma corriente pero una vez que su diferencia es despreciable (menor a $1[V]$). Cuando el DC-Link está desbalanceado la corriente inyectada a la red presenta una distorsión armónica mayor en comparación al caso en que los condensadores tienen una tensión similar. Este comportamiento se debe a que la función objetivo que se minimiza en la estrategia M^2PC #1 incluye el error de corriente I_g y el error del desbalance del DC-Link, por lo tanto cuando el desbalance de los condensadores es muy elevado se ve afectada la elección de los vectores seleccionados para cada período de muestreo, ya que el error asociado al DC-Link adquiere mayor importancia que el control de las corrientes. Para evitar este problema se puede escalar la ganancia γ en función de la diferencia entre V_{DC1} y V_{DC2} , al realizar esto la corriente I_g presenta una distorsión armónica menor, sin embargo el desempeño del control de las tensiones empeora, ya que aumenta el tiempo que se requiere para que la diferencia entre V_{DC1} y V_{DC2} sea despreciable.

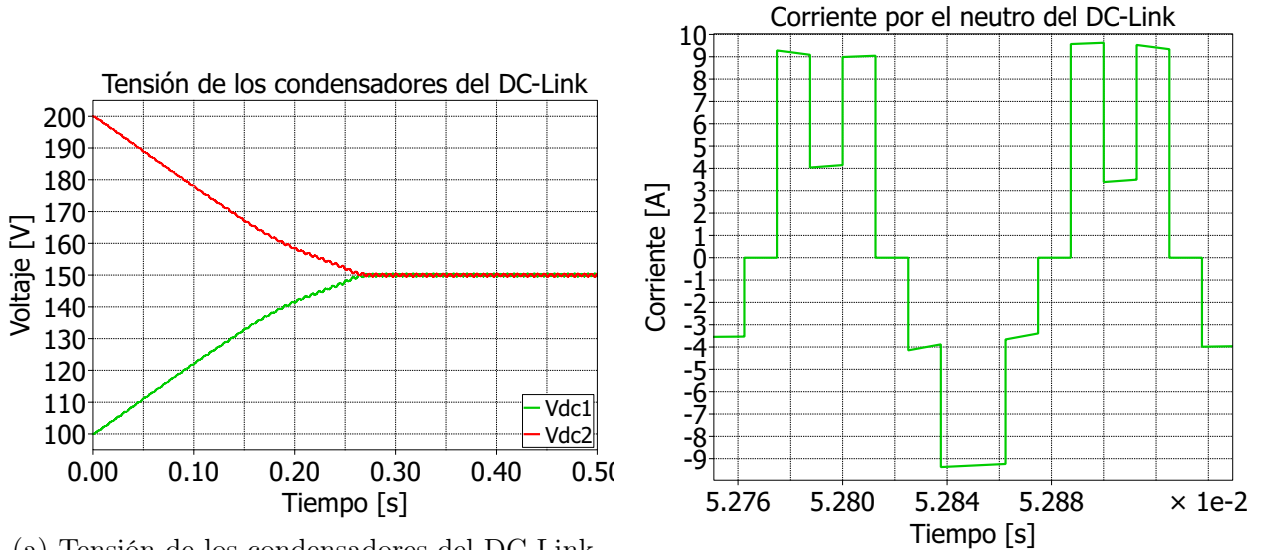
En las figuras (6.6a) y (6.6b) se aprecia la evolución de la tensión del DC-Link y la corriente inyectada a su punto medio mientras los condensadores no están balanceados respectivamente.



(a) Corrientes inyectadas a la red I_{abc} en $t < 0,04[s]$ cuando el DC-Link está desbalanceado. (b) Corrientes inyectadas a la red I_{abc} en $t > 0,046[s]$ cuando el DC-Link está balanceado.

Figura 6.5: Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

La estrategia seleccionada es capaz de balancear la tensión del DC-Link, al respecto en $t = 0,28[s]$ se cumple que $|V_{DC1} - V_{DC2}| < 1[V]$. Inicialmente la corriente i_n tiene una integral no nula cada período de muestreo T_s , de esta forma es posible cambiar la tensión del punto medio del DC-Link, luego su magnitud decrece hasta que en $t = 0,28[s]$ se vuelve despreciable. A medida que la diferencia de tensión entre los condensadores disminuye la integral de i_n también lo hace. Esto se debe a que se necesita inyectar una corriente menor para balancear la tensión de los condensadores C_1 y C_2 a medida que sus tensiones se igualan.



(a) Tensión de los condensadores del DC-Link.

(b) Corriente inyectada al punto medio del DC-Link.

Figura 6.6: Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

La potencia inyectada a la red se muestra en (6.7). Se observa que mientras las tensiones

de C_1 y C_2 estén desbalanceadas, tanto P como Q presentan oscilaciones de amplitudes $1[kW]$ y $1[kVAR]$ respectivamente. Cuando el desbalance del DC-Link es despreciable, las oscilaciones de potencia activa y reactiva disminuyen considerablemente. Lo anterior es consecuencia de la elevada distorsión armónica presente en la corriente inyectada a la red mientras el DC-Link esta desbalanceado.

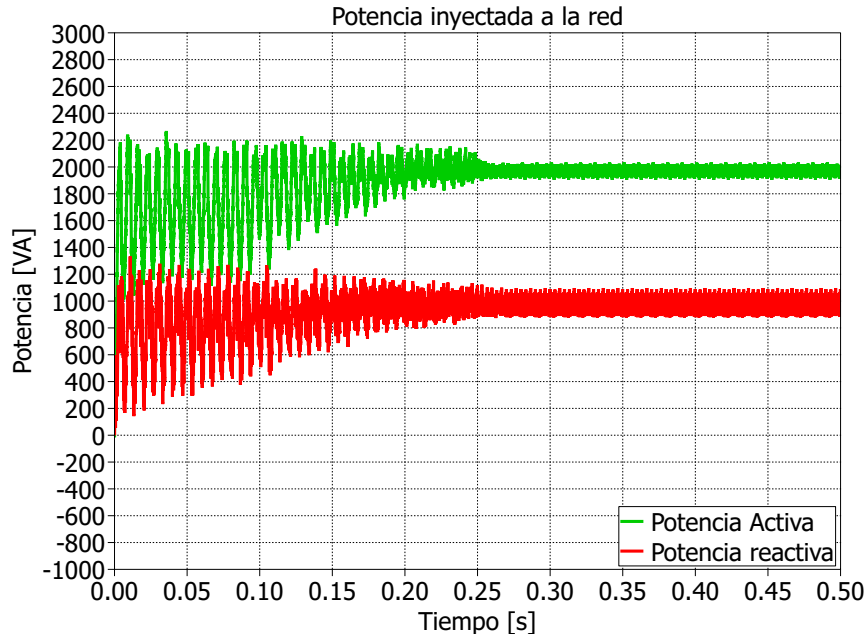


Figura 6.7: Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

6.2.3. Escalón de la consigna P^*

Inicialmente la consigna de potencia activa es $P^* = 2[kW]$, en $t = 0,1[s]$ esta referencia aumenta en $1[kW]$ durante $40[ms]$ y luego vuelve a su valor original $P^* = 2[kW]$ en $t = 0,14[s]$. Mientras que la consigna de potencia reactiva se mantiene constante y tiene un valor de $Q^* = 1[kVAR]$.

La corriente inyectada a la red se muestra en (6.8), al producirse el escalón de subida de P^* en $t = 0,1[s]$ el control es capaz de seguir a la referencia en un tiempo pequeño, en $t = 0,10146[s]$ el error de corriente se encuentra acotado en $|I_g - I_g^*| < 1[A]$. El controlador tiene una actuación más rápida cuando la consigna de P^* disminuye, en este caso el error de corriente está acotado en $|I_g - I_g^*| < 1[A]$ en el instante $t = 0,1402[s]$.

La tensión de los condensadores corresponde a la figura (6.9). Durante el escalón de P^* la amplitud de las oscilaciones de V_{DC1} y V_{DC2} aumentan levemente, sin embargo en todo momento sus valores están acotados por $149,1 < V_{DCi} < 151,1[V]$. El 3º armónico de la diferencia de estas tensiones tiene un valor de $1,54[V]$ durante el escalón de P^* .

En la figura (6.10) se muestra la potencia activa y reactiva. El error de potencia activa esta acotado a $|P - P^*| < 100[W]$ en $t = 0,1016[s]$, por su parte la potencia reactiva entregada a

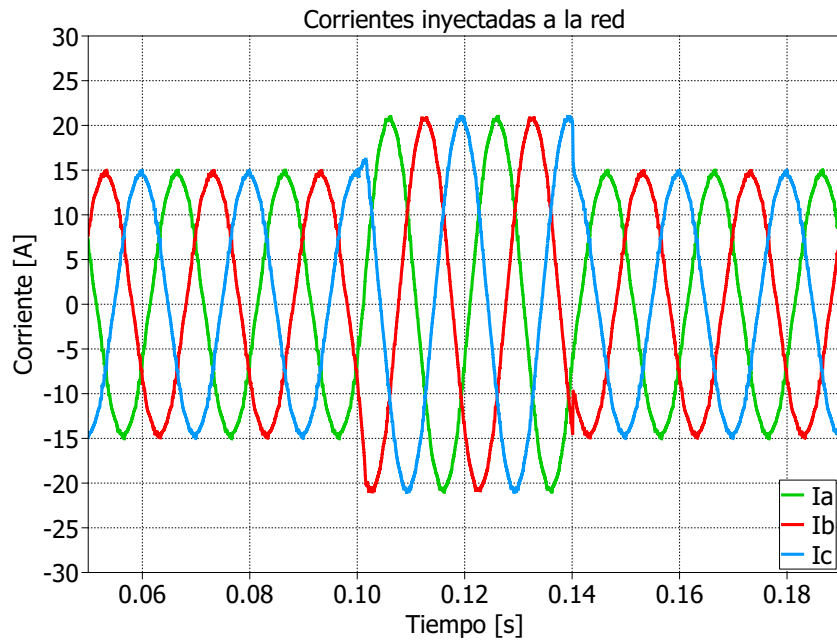


Figura 6.8: Corriente inyectada a la red al realizar un cambio escalón en P^* .

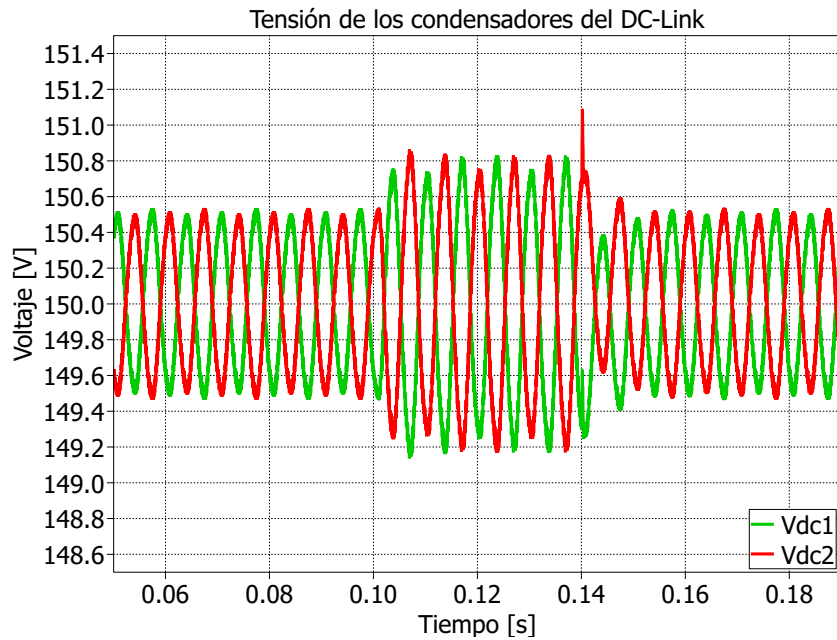


Figura 6.9: Tensión de los condensadores C_1 y C_2 al realizar un cambio escalón en P^* .

la red prácticamente no varía y además el error de potencia reactiva es $|Q - Q^*| < 120[VAR]$. Mientras $P^* = 3000[W]$ el valor medio de la potencia activa es $P = 2963[W]$ y la reactiva es $Q = 970[VAR]$. El peak que se produce en la potencia reactiva al cambiar la consigna de P^* es análogo a lo que ocurre en un sistema de control que trabaja en coordenadas dq y se desorienta brevemente por algún cambio en la consigna, cabe recalcar que el control implementado en las simulaciones no requiere un PLL para actualizar o predecir el valor de las variables del sistema.

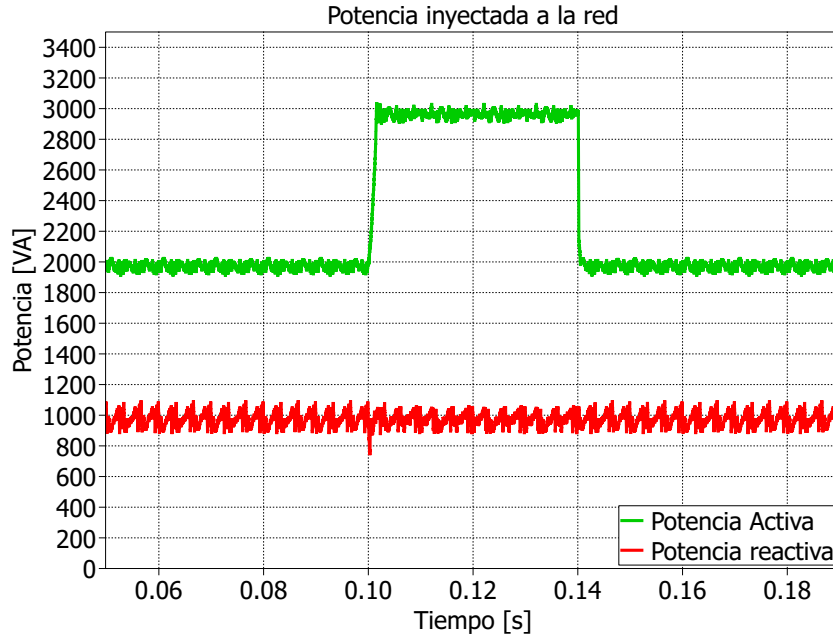


Figura 6.10: Potencia activa y reactiva inyectadas a la red al realizar un cambio escalón en P^* .

6.2.4. Escalón de la consigna Q^*

En este caso la consigna de potencia activa se mantiene constante y es igual a $P^* = 2[kW]$ mientras que la potencia reactiva cambia de acuerdo a (6.2).

$$Q^*(t) = \begin{cases} 0 & \text{si } 0,1 < t < 0,1004 \\ 1,5[kW] & \text{Otro caso} \end{cases} \quad (6.2)$$

La corriente a la salida del convertor se muestra en (6.11). El escalón de bajada de Q^* se produce en el instante $t = 0,1[s]$ y en consecuencia la magnitud de la corriente entregada a la red disminuye. A continuación en $t = 0,100835[s]$ el error de corriente vuelve a estar acotado en $|I_g - I_g^*| < 1[A]$. Por último, en $t = 0,14[s]$ se produce el escalón de subida en Q^* y en $t = 0,1408[s]$ las corrientes vuelven a estar acotadas en $|I_g - I_g^*| < 1[A]$. A diferencia del caso anterior no se producen sobrepasos en la corriente al momento de producirse los escalones de Q^* .

La tensión del DC-Link se muestra en la figura (6.12). Entre los instantes $t = 0,1[s]$ y $t = 0,14[s]$, en que la referencia de potencia reactiva es cero, la amplitud de las oscilaciones de las tensiones de C_1 y C_2 disminuyen a $0,2[V]$. Esto se debe a que al inyectar una mayor proporción de reactivos se pierde controlabilidad sobre la corriente que se inyecta en el punto medio del DC-Link como se indica en [23], sin embargo en ambos casos la tensión de cada condensador está en un rango adecuado. Cuando $Q^* = 1,5[KVAR]$ la diferencia de estas tensiones está acotada a $|V_{DC1} - V_{DC2}| < 1,6[V]$ mientras que cuando $Q^* = 0$ se cumple que $|V_{DC1} - V_{DC2}| < 0,4[V]$.

La potencia inyectada a la red se muestra en la figura (6.13). Una vez que el sistema alcanza el régimen permanente el error de la potencia reactiva tienen una amplitud máxima

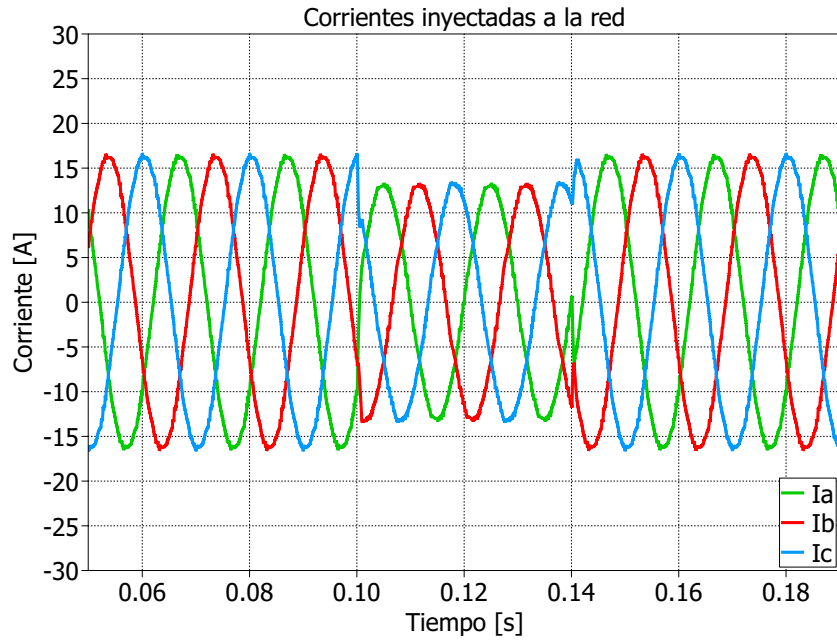


Figura 6.11: Corriente inyectada a la red al realizar un cambio escalón en Q^* .

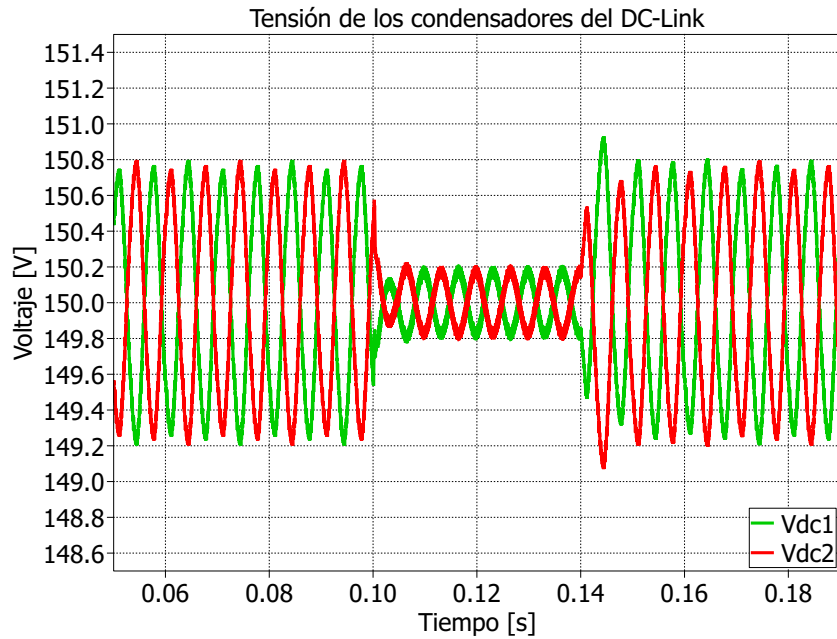


Figura 6.12: Tensión de C_1 y C_2 al realizar un cambio escalón en Q^* .

de $|Q - Q^*| < 130[\text{VAR}]$, mientras que para la potencia activa es $|P - P^*| < 100[\text{W}]$, se concluye que el seguimiento de las referencias de potencia es adecuado. Tanto en el escalón de bajada como de subida de Q^* la potencia activa se ve afectada, en ambos casos se produce un peak negativo.

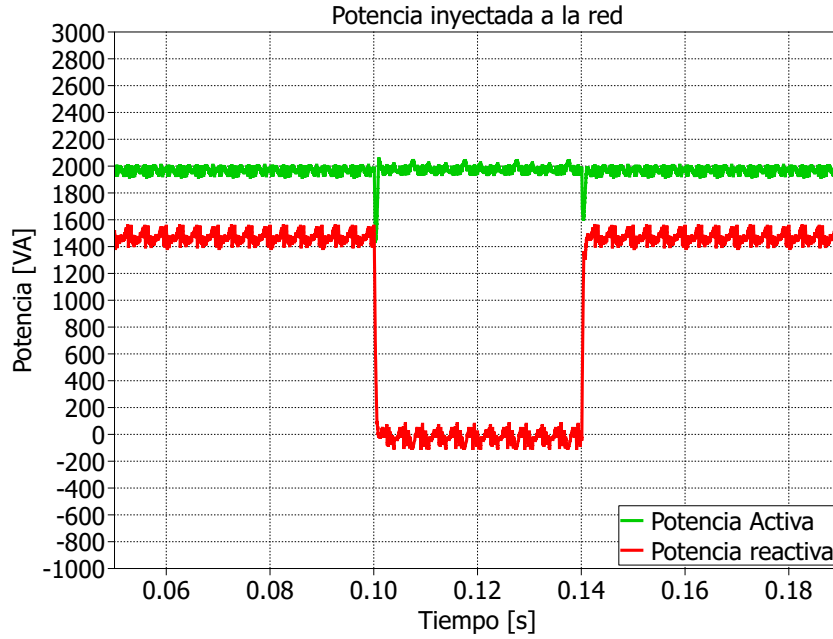


Figura 6.13: Potencia inyectada a la red al realizar un cambio escalón en Q^* .

6.3. Estrategia de control M^2PC #2 (función de costo sólo de I_{abc})

En esta sección se considera la estrategia M^2PC #2 en la que el controlador sólo se encarga de regular la corriente del inversor según las consignas de potencia y en una etapa posterior la tensión de los condensadores del DC-Link se balancea utilizando los vectores redundantes. Las pruebas realizadas son las mismas que para la estrategia #1.

6.3.1. Prueba en régimen permanente

En esta prueba las referencias del controlador son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$. La corriente inyectada a la red junto con su espectro de frecuencias se muestran en las figuras (6.14a) y (6.14b). El error de corriente de esta estrategia es menor en comparación a la estrategia #1, en este caso el error está acotado a $|I_g - I_g^*| < 0,8[A]$. Además la distorsión armónica es menor ($I_{250Hz} = 0,0423[A]$ e $I_{350Hz} = 0,133[A]$) en comparación con la estrategia #1.

La tensión del DC-Link se muestra en (6.15a) mientras que (6.15b) corresponde a la corriente que circula por el punto medio del DC-Link. La diferencia de tensiones entre C_1 y C_2 es ligeramente mayor al de la estrategia #1, en este caso $|V_{DC1} - V_{DC2}| < 1,2[V]$. La corriente que circula por el punto medio del DC-Link tiene una integral despreciable cada T_s como en el caso anterior.

La potencia inyectada se muestra en la figura (6.16a) y en (6.16b) se aprecia el desfase entre la tensión V_{ga} y la corriente i_a . Al utilizar la estrategia #2 el error de las potencia P y Q

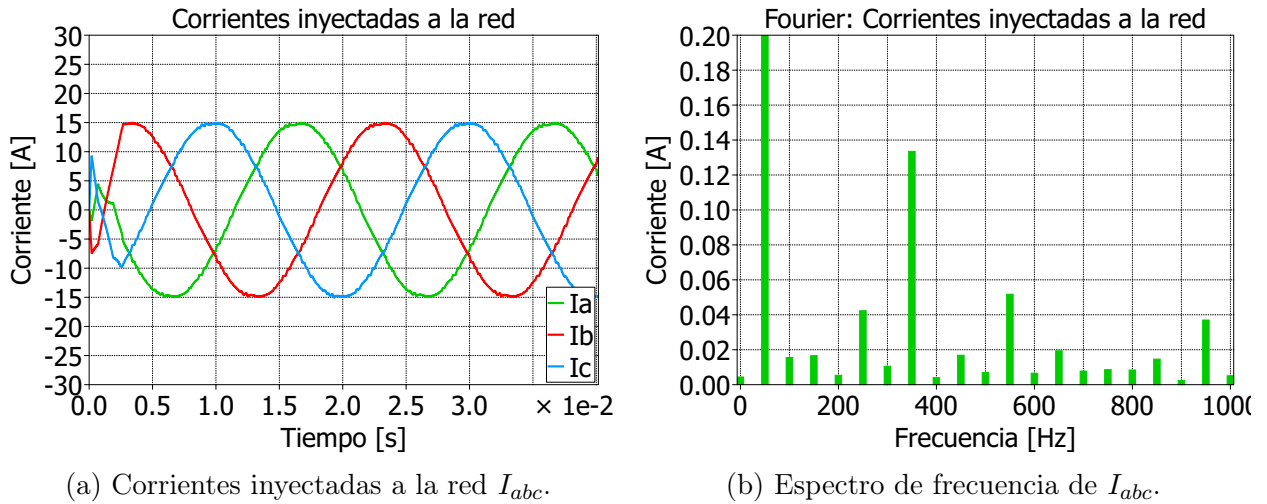


Figura 6.14: Corriente inyectada a la red junto con su espectro de frecuencia para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

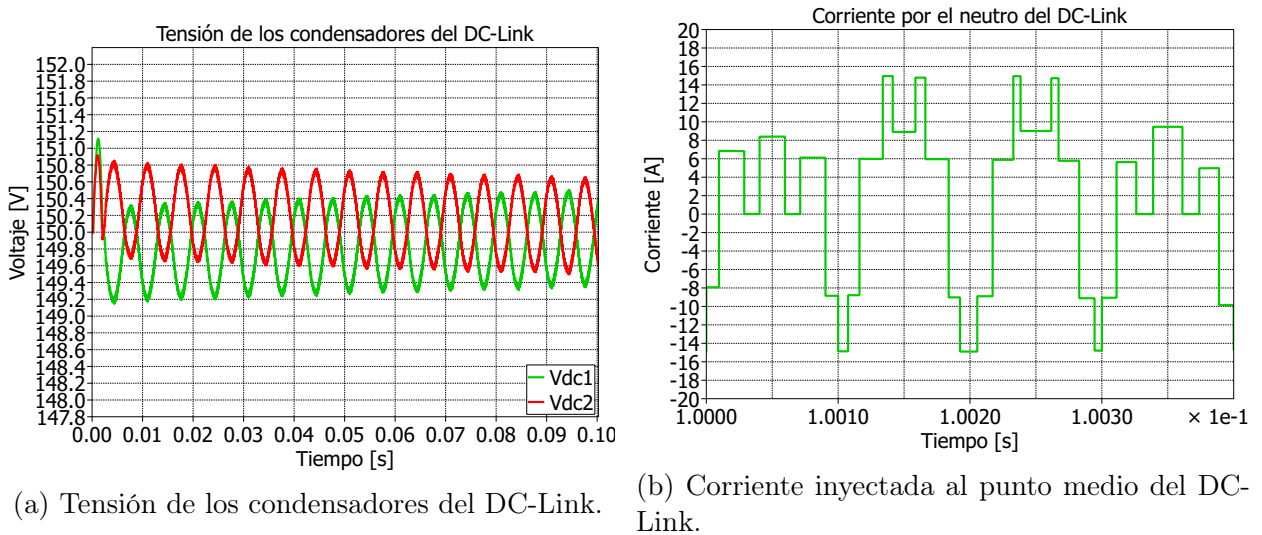
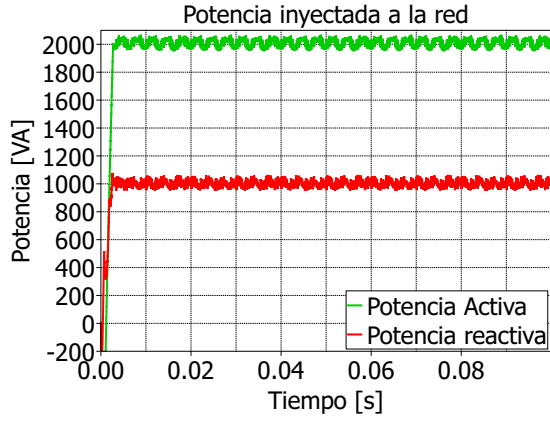


Figura 6.15: Tensión y corriente inyectada al punto medio del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

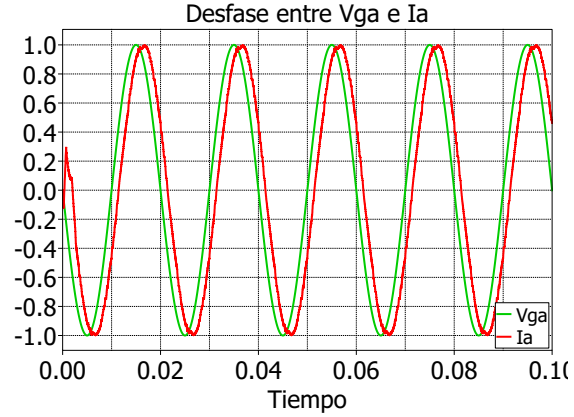
es menor en comparación con la primera, en este caso los errores de potencia están acotados en $|P - P^*| < 70[W]$ y $|Q - Q^*| < 70[W]$, además sus valores medios son $\bar{P} = 2011,41[W]$ y $\bar{Q} = 1002,4[VAR]$. Al comparar los espectros de frecuencia de las potencias en ambas estrategias se observa que la estrategia #2 produce potencias con menor contenido armónico.

6.3.2. Balance de los condensadores

En esta prueba las consignas de potencias son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ y las tensiones iniciales de los condensadores son $V_{DC1}(t_0) = 100[V]$ y $V_{DC2}(t_0) = 200[V]$.



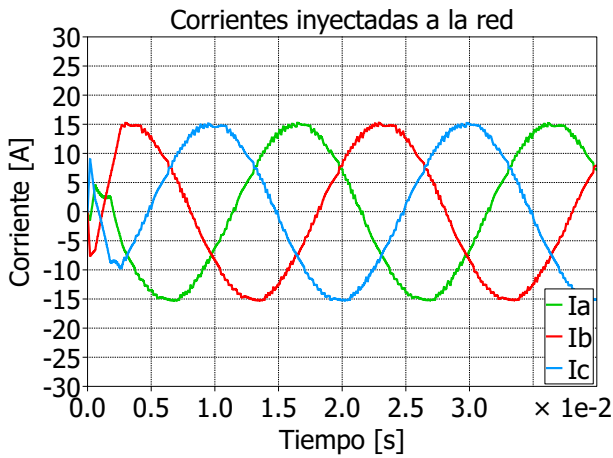
(a) Potencia activa y reactiva inyectada a la red.



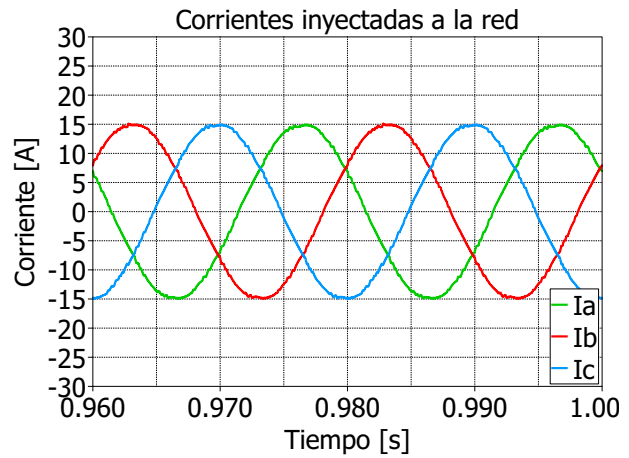
(b) Desfase entre V_{ga} e I_a en por unidad.

Figura 6.16: Potencia inyectada a la red y desfase de la corriente con respecto a la tensión de la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

La corriente inyectada a la red cuando el DC-Link está desbalanceado se muestra en (6.17a) mientras que (6.17b) corresponde al caso en que el desbalance es despreciable. A diferencia de la estrategia #1 en este caso la corriente sintetizada por el convertidor tiene una baja distorsión armónica independiente del balance de la tensión de los condensadores. Lo anterior es consecuencia de que en este caso el control predictivo trabaja solamente con el error de la corriente y en una etapa posterior se cambia la proporción de los vectores redundantes para balancear las tensiones del DC-Link. Es decir el error de tensión $|V_{DC1} - V_{DC2}|$ no afecta el error asociado a cada estado del inversor y en consecuencia el conjunto de vectores que se seleccionan sólo toman en cuenta el error de corriente.



(a) Corrientes inyectadas a la red I_{abc} .



(b) Corrientes inyectadas a la red I_{abc} .

Figura 6.17: Corriente inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

La tensión de los condensadores del DC-Link se muestra en (6.18). En este caso el algoritmo demora más tiempo en controlar el desbalance de C_1 y C_2 . En $t = 0,8044[s]$ la diferencia de tensión está acotada a $|V_{DC1} - V_{DC2}| < 2[V]$. El controlador requiere más tiempo para

balancear las tensiones del DC-Link porque el conjunto de vectores seleccionados no es necesariamente el que minimiza la desviación de la tensión del punto medio del DC-Link. En esta estrategia la duración de los vectores se elige considerando solamente el error de corriente, por lo que cuando se distribuye el tiempo de los vectores redundantes puede que se tenga un margen de variación menor con respecto a la estrategia #1.

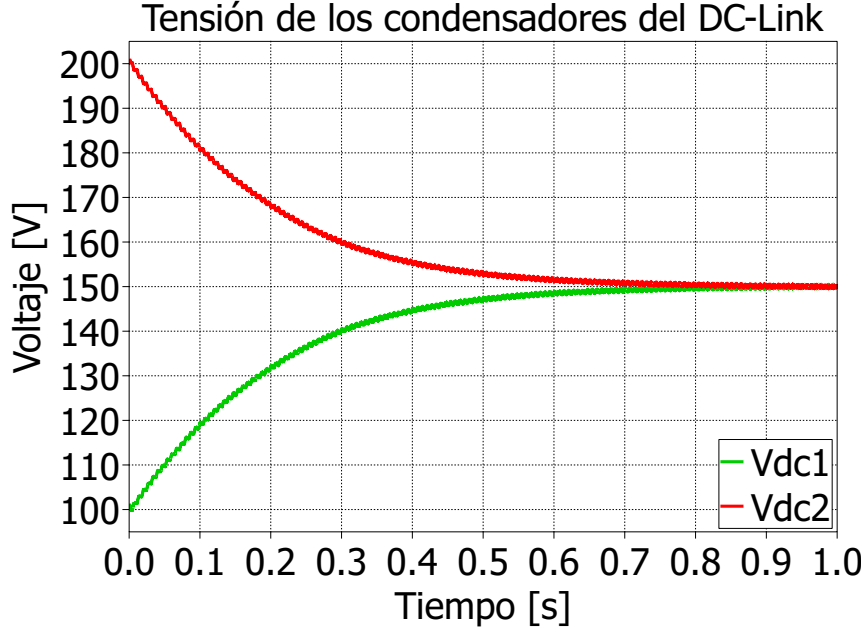


Figura 6.18: Tensión del DC-Link para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

La potencia inyectada a la red se muestra en (6.19). A diferencia del caso anterior la potencia entregada a la red no se ve afectada por la desviación de la tensión del neutro del DC-Link, el promedio de la potencia es $\bar{P} = 2011,63[W]$ y $\bar{Q} = 1001,98[VAR]$.

6.3.3. Escalón de la consigna P^*

Inicialmente la consigna de potencia activa es $P^* = 2[kW]$, luego en $t = 0,1[s]$ se aplica un escalón de $1[kW]$ en su valor durante $40[ms]$, y en $t = 0,14[s]$ la referencia de potencia activa vuelve a su valor original $P^* = 2[kW]$, mientras que la consigna de potencia reactiva se mantiene constante y tiene un valor de $Q^* = 1[kVAR]$.

La corriente inyectada a la red se muestra en (6.20). Al producirse el primer escalón de subida de P^* el error máximo de corriente es $e_{imax} = 6,1[A]$, en $t = 0,1010[s]$ el error de corriente esta nuevamente acotado a $|I_g - I_g^*| < 0,8[A]$. Para el segundo escalón en $t = 0,1402[s]$ la corriente está acotada en $|I_g - I_g^*| < 0,8[A]$. El error de corriente al utilizar la estrategia 2 se minimiza más rápido que con la estrategia #1.

La figura (6.21) corresponde a la tensión del DC-Link. Con esta estrategia la tensión de los condensadores presentan una variación mayor en comparación con la estrategia #1, ya que en este caso la magnitud de la diferencia es $2,3[V]$. Además en este caso el controlador

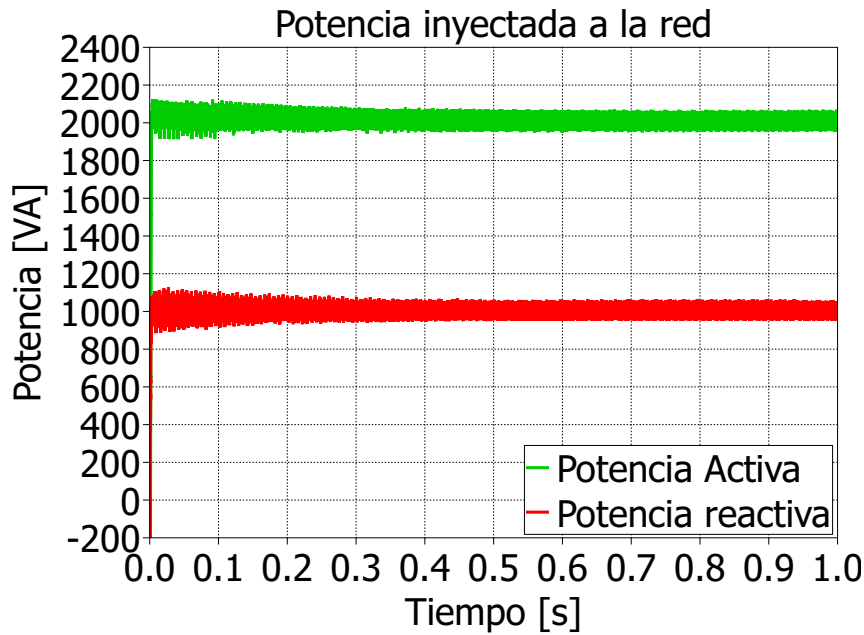


Figura 6.19: Potencia activa y reactiva inyectada a la red para $P^* = 2[kW]$ y $Q^* = 1[kVAR]$ cuando $V_{D1}(t_0) = 100[V]$ y $V_{D2}(t_0) = 200[V]$.

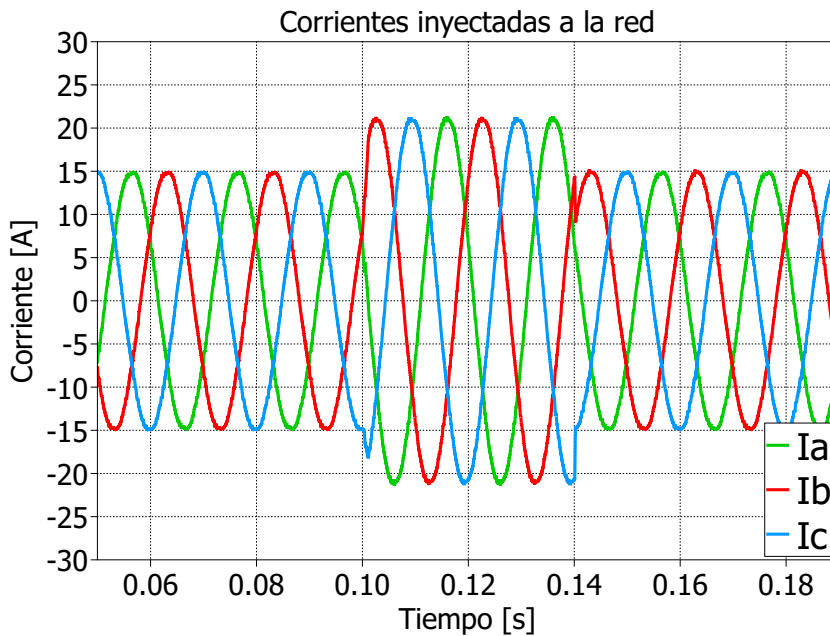


Figura 6.20: Corriente inyectada a la red al realizar un cambio escalón en P^* .

demora más en balancear el DC-Link, sin embargo en ambos casos las tensiones V_{DC1} y V_{DC2} están en rangos aceptables.

La potencia inyectada a la red se muestra en la figura (6.22). Los errores máximos de potencia activa, cuando se produce el escalón de subida y bajada de P^* , son similares en ambas estrategias. La potencia reactiva sólo se ve afectada en el escalón de subida de P^* mientras que en el de bajada no cambia su valor.

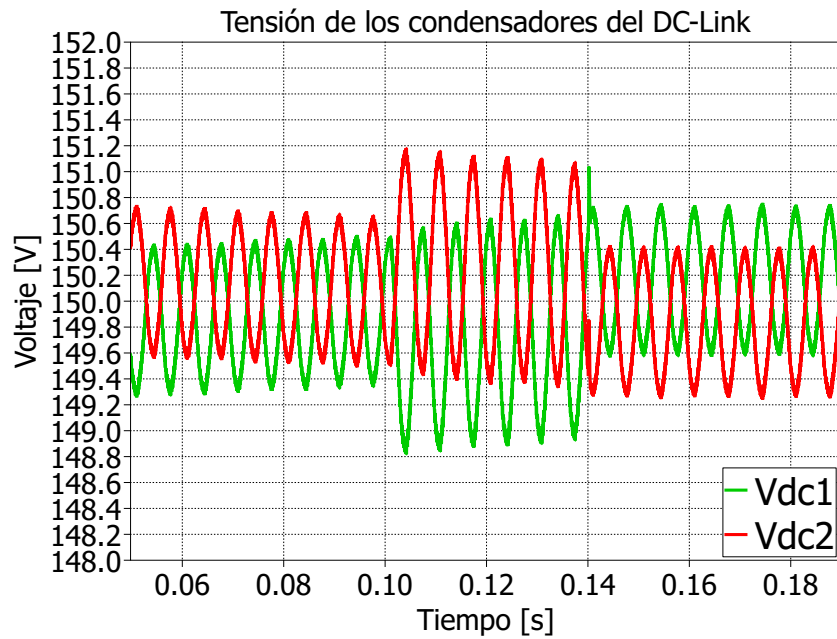


Figura 6.21: Tensión de los condensadores del DC-Link al realizar un cambio escalón en P^* .

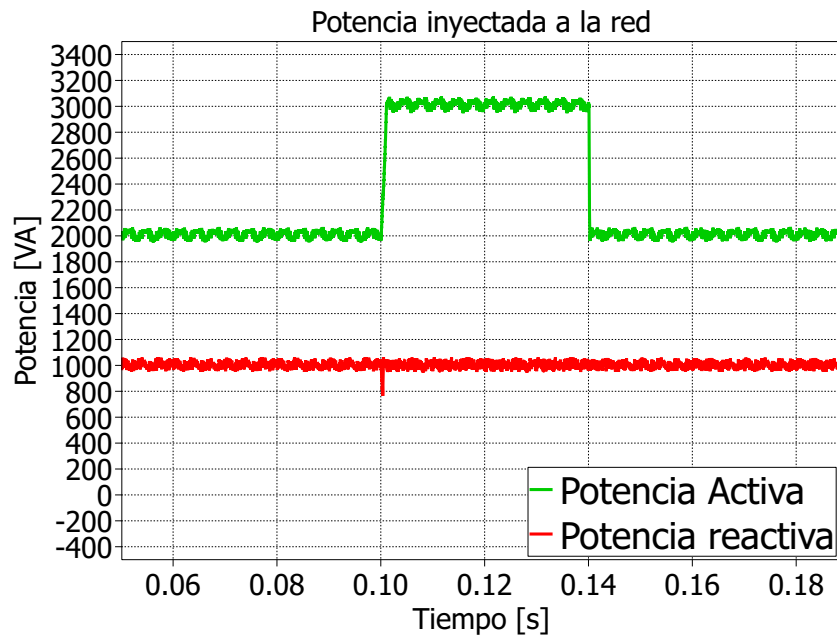


Figura 6.22: Potencia activa y reactiva inyectada a la red al realizar un cambio escalón en P^* .

6.3.4. Escalón de la consigna Q^*

En este caso la consigna de potencia activa se mantiene constante y es igual a $P^* = 2[kW]$ mientras que la potencia reactiva cambia de acuerdo a (6.3).

$$Q^*(t) = \begin{cases} 0 & \text{si } 0,1 < t < 0,1004 \\ 1,5[kVAR] & \text{Otro caso} \end{cases} \quad (6.3)$$

La corriente inyectada a la red se muestra en (6.23). Una vez que ocurre el primer escalón el error de corriente queda acotado a $|I_g - I_g^*| < 0,8[A]$ en $t = 0,1006[s]$. Para el segundo escalón las corrientes quedan acotadas en la misma región en $t = 0,1405[s]$, el seguimiento de corrientes es adecuado.

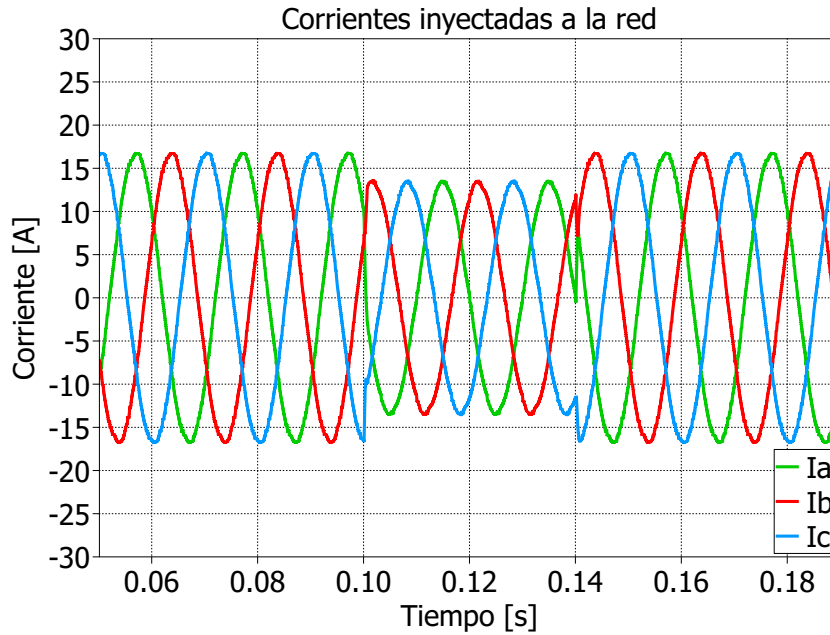


Figura 6.23: Corriente inyectada a la red al realizar un cambio escalón en Q^* .

La tensión de los condensadores del DC-Link se muestra en la figura (6.24). El comportamiento de las tensiones del DC-Link es similar a la estrategia #1, durante el escalón de Q^* la amplitud de la diferencia de V_{DC1} y V_{DC2} es menor con respecto a los intervalos en que $Q^* = 1,5[KVAR]$.

La figura (6.25) corresponde a la potencia inyectada a la red. Al producirse un cambio en Q^* , la potencia activa presenta un peak negativo con ambas estrategias. Sin embargo, al utilizar la estrategia #2 estos peaks son menores, en este caso las caídas de P son aproximadamente $100[W]$ menores que al utilizar la estrategia #1.

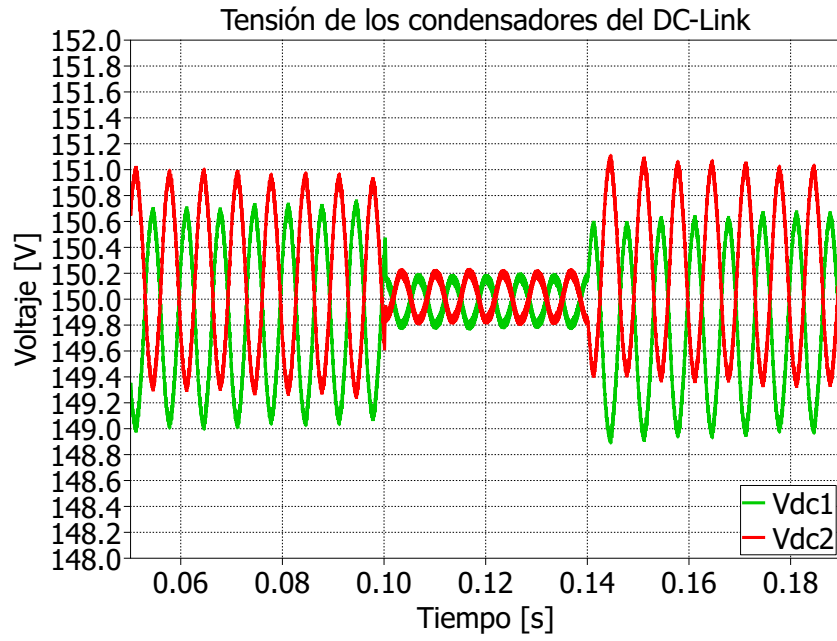


Figura 6.24: Tensión de los condensadores del DC-Link al realizar un cambio escalón en Q^* .

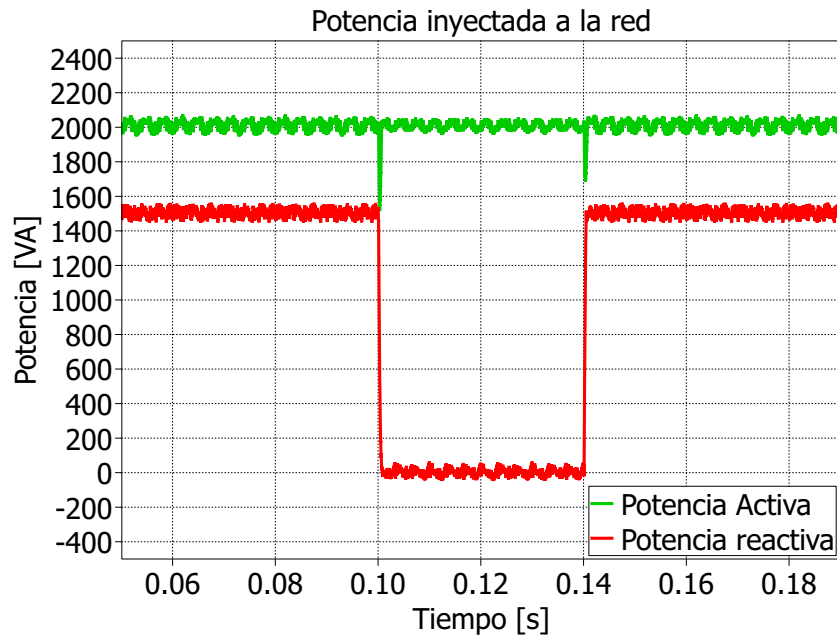


Figura 6.25: Potencia inyectada a la red al realizar un cambio escalón en Q^* .

6.4. Discusión

En este capítulo se han simulado las dos estrategias propuestas de tipo M^2PC para controlar un inversor NPC en configuración front-end. Ambas estrategias presentan un desempeño adecuado en régimen permanente cuando la tensión inicial de los condensadores del DC-Link es la misma. Sin embargo, si la diferencia entre estas tensiones es considerable, como en las pruebas realizadas en las secciones anteriores en que $V_{DC1}(t_0) = 100[V]$ y $V_{DC2} = 200[V]$, la

estrategia #2 tiene una mejor respuesta que la estrategia #1. Lo anterior se debe a que en la primera estrategia se utiliza una función multiobjetivo para controlar el error de corriente y el desbalance del DC-Link, por tanto cuando el error de tensión es mayor, su peso relativo con respecto al error de corriente aumenta y en consecuencia la corriente presenta una gran distorsión armónica. Para solucionar este problema se puede utilizar una ganancia γ proporcional a $|V_{DC1} - V_{DC2}|$ para escalar el error asociado al desbalance del DC-Link. Al hacer esto la distorsión armónica de la corriente es menor, sin embargo el controlador demora más en balancear las tensiones de los condensadores C_1 y C_2 .

La estrategia M^2PC #2 no presenta este problema cuando las tensiones del DC-Link se encuentran desbalanceadas, ya que la elección de la región de modulación se hace sólo en función del error de corriente. Y en una etapa posterior se redistribuye el tiempo asociado a cada vector redundante. Al trabajar con la estrategia #1 las potencias activa y reactiva presentan oscilaciones importantes mientras el DC-Link se encuentra desbalanceado.

En ambas estrategias, la respuesta transitoria tiene un tiempo de operación rápido en comparación a un controlador lineal. Al aplicar escalones de potencia activa y reactiva, las dos estrategias M^2PC presentan un comportamiento adecuado. Los controladores demoran tiempos del orden de algunos $[ms]$ para que el error de corriente se encuentre acotado en la misma región que cuando el sistema se encuentra en régimen permanente. Por otro lado, la respuesta del sistema es más rápida al aplicar un escalón de bajada en comparación a aplicar uno de subida.

El sobrepaso que se produce en la tensión de los condensadores del DC-Link es despreciable siendo del orden de $1[V]$. Al producirse el escalón en la referencia de la potencia activa se observa que la potencia reactiva no presenta mayores cambios. Sin embargo, al aplicar un escalón en la potencia reactiva se produce un peak negativo en la potencia activa entregada a la red. Este fenómeno tiene una duración despreciable de $0,9[ms]$.

En el siguiente capítulo se muestran los resultados experimentales al controlar el inversor NPC con las dos estrategias M^2PC .

Capítulo 7

Resultados experimentales

En este capítulo se presentan los resultados experimentales al controlar el inversor NPC en configuración front-end con las dos estrategias M^2PC propuestas, se han seleccionado las pruebas más representativas.

Para obtener las referencias de algunas señales se utilizaron los canales DAC de la plataforma dS1103, en este caso la función utilizada es `ds1103_dac_write(i, X_ref)`, la que escribe la variable `X_ref` en el canal `i`-ésimo. La magnitud de esta variable debe estar en el rango $X_{ref} \in \{-1, 1\}$, además la razón entre la tensión de salida del puerto DAC y la variable interna es 10. Por otro lado se utilizó el equipo Hioki-3196 para medir los armónicos presentes en la corriente inyectada a la red.

En la tabla (7.1) se muestran los parámetros del sistema.

Parámetro	Valor
T_s	100[μs]
R	1[Ω]
L	5[mH]
C_i	3300[μF]

Tabla 7.1: Parámetros del sistema en configuración front-end.

7.1. Resultados experimentales para el control M^2PC estrategia #1

En este apartado se muestran los resultados experimentales al trabajar con la estrategia M^2PC #1, en la que se utiliza una función de costos multiobjetivo que considera el error de corriente y el desbalance de los condensadores como se muestra en (7.1) donde $\gamma = 0,1$.

$$g(\vec{v}_j) = \sqrt{(i_\alpha^* - i_\alpha(\vec{v}_j))^2 + (i_\beta^* - i_\beta(\vec{v}_j))^2} + \gamma |V_{DC1}(\vec{v}_j) - V_{DC2}(\vec{v}_j)| \quad (7.1)$$

7.1.1. Prueba en régimen permanente

En esta prueba se estudia el comportamiento del sistema en régimen permanente cuando las consignas de potencia son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$. Antes de activar el control predictivo la tensión de línea de la red es $V_g = 149,28[V_{rms}]$ y la del DC-Link es $V_{DC} = 339,81[V]$, una vez que el control entra en operación la tensión del DC-Link baja a $V_{DC} = 307,8[V]$.

La corriente inyectada a la red se muestra en la figura (7.1), el canal 1 (amarillo) corresponde a i_a , el canal 2 (verde) a i_b y el canal 3 (azul) a i_c , se utilizan los mismos canales para graficar las corrientes en este capítulo. En (7.2) se aprecia su espectro de frecuencias. La forma de onda presenta una baja distorsión armónica, en este caso el THD de la corriente es $THD_i = 1,95\%$ y los armónicos más elevados son el 5º y 7º con valores de $I_{250Hz} = 0,1[A]$ e $I_{350Hz} = 0,05[A]$ respectivamente. El error con la referencia esta limitado a $|I_g - I_g^*| < 1,2[A]$ y su valor promedio es $\bar{e}_i = -0,105[A]$. La estrategia de control es capaz de seguir a la referencia impuesta por la consigna de potencia. Por otro lado, las bandas laterales a la frecuencia de conmutación aparecen en torno a los $10[kHz]$, de forma análoga a cuando se utiliza un modulador SVM.

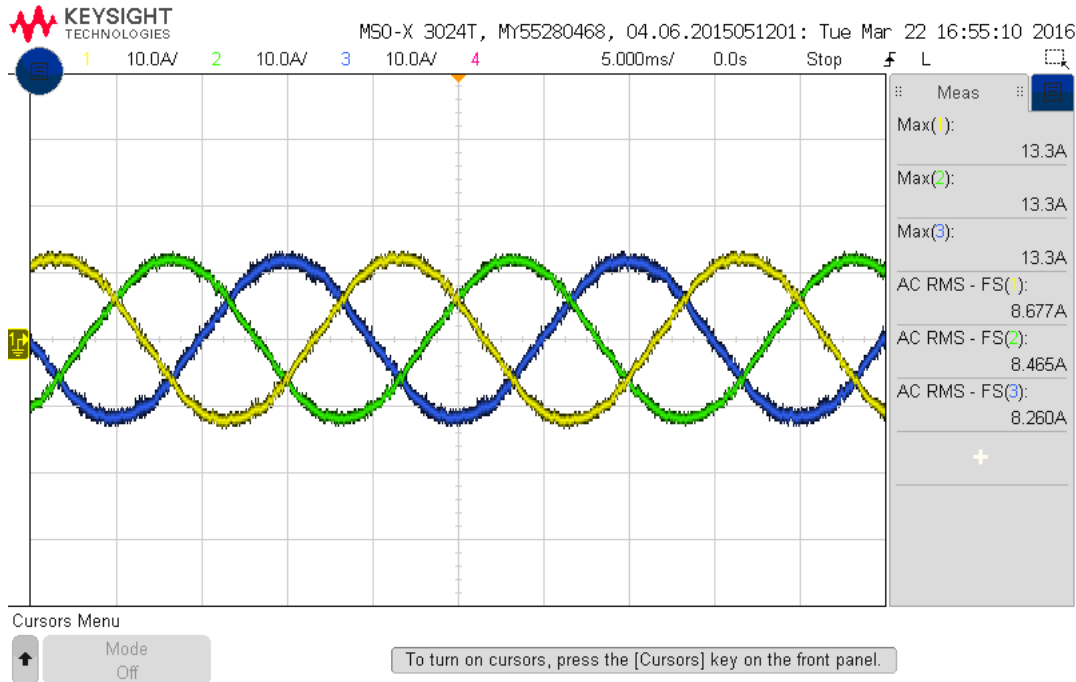


Figura 7.1: Corrientes inyectadas a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

La tensión de los condensadores del DC-Link se muestra en la figura (7.3) el canal 1 (amarillo) corresponde a V_{DC1} y el canal 2 (verde) a V_{DC2} , se utilizan estos canales para todas las mediciones del DC-Link. Se observa que el DC-Link se encuentra balanceado, el rango de variación de estas señales es $155,11[V] < V_{DC1} < 159,76[V]$ y $158,26 < V_{DC2} < 161,98[V]$. Por otro parte, la diferencia entre estas 2 magnitudes está acotada en $|V_{DC1} - V_{DC2}| < 5,42[V]$. La tensión de ambos condensadores se encuentra en rangos aceptables.

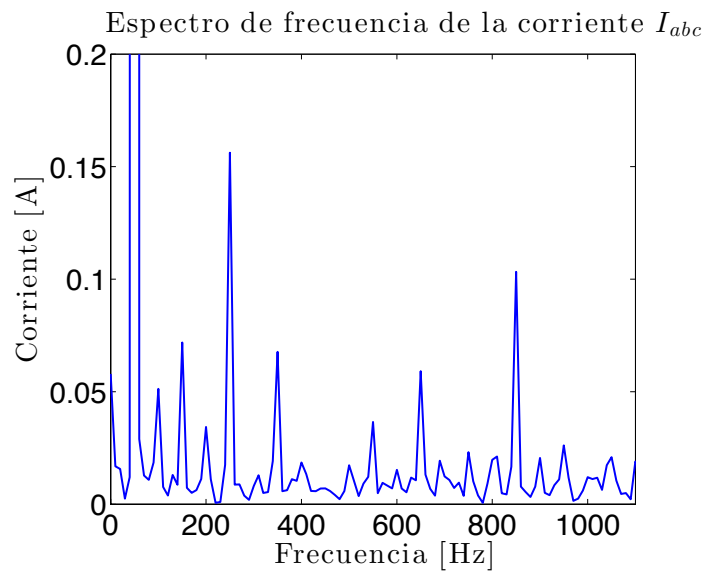


Figura 7.2: Espectro de frecuencias de I_{abc} cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

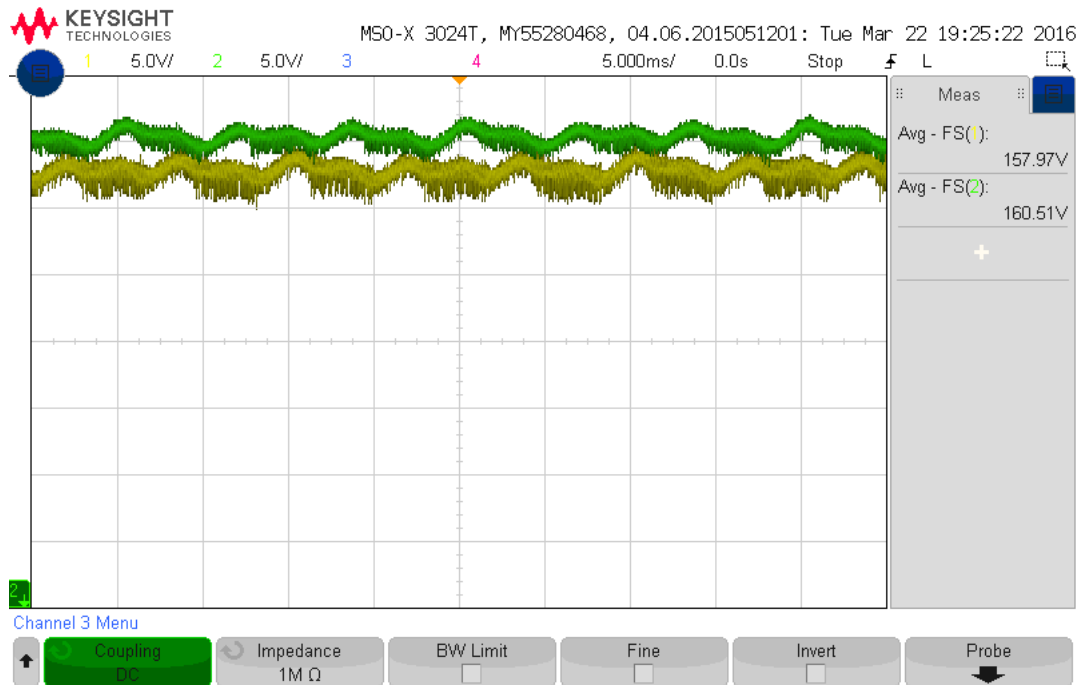


Figura 7.3: Tensión de los condensadores del DC-Link (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

La potencia inyectada a la red se muestra en (7.4). Las referencias de potencia activa y reactiva corresponden al canal 1 (amarillo) y 3 (azul) respectivamente, mientras que la potencia activa y reactiva real inyectadas a la red corresponden al canal 2 (verde) y 4 (violeta) respectivamente, se utilizan los mismos canales para graficar las potencias P^* , P , Q^* y Q en todas las pruebas experimentales. La potencia activa promedio es $\bar{P} = 1985,9[W]$ y su valor está acotado en $1844,2[W] < P < 2145,7[W]$, mientras que el valor promedio de la potencia reactiva es $\bar{Q} = 978,0[VAR]$ y su rango de variación es $778,8[VAR] < Q < 1201,0[VAR]$. Tanto la potencia activa como la reactiva inyectada a la red presentan armónicos, en el caso

de P los armónicos más elevados son $P_{300Hz} = 10,74[W]$, $P_{600Hz} = 10,87[W]$ y $P_{900Hz} = 15,48[W]$, mientras que para Q son $Q_{300Hz} = 30,81[VAR]$ y $Q_{900Hz} = 19,64[VAR]$. Los armónicos presentes en la potencia son bajos con respecto a la componente DC inyectada a la red y su aparición se debe a que tanto la tensión de la red como la corriente inyectada por el inversor presentan armónicos.

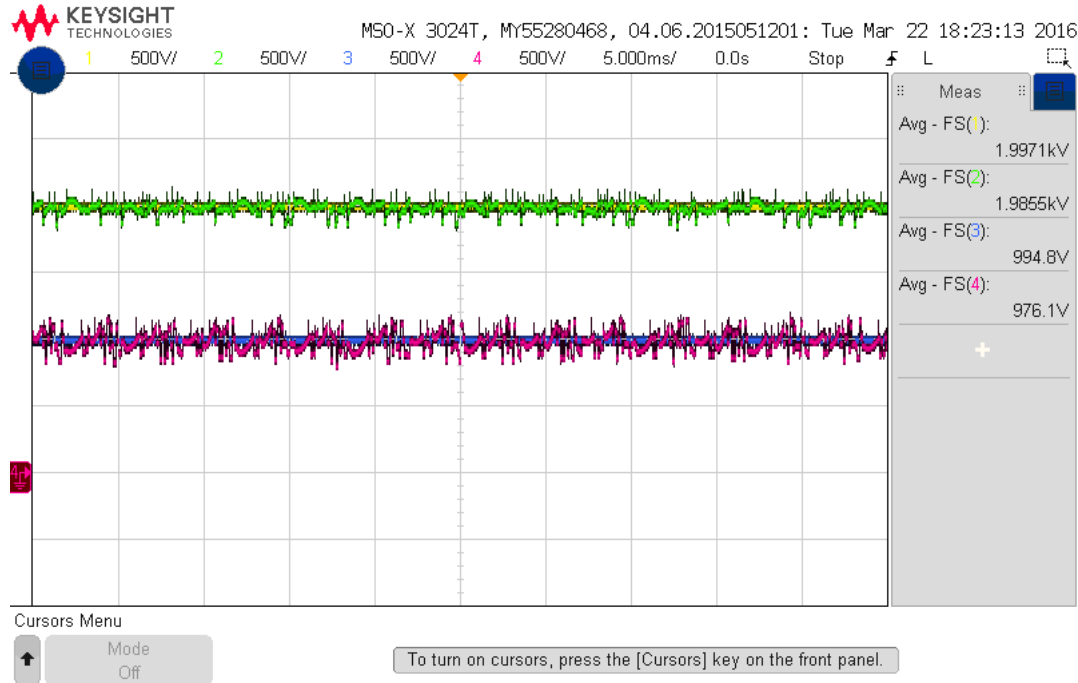


Figura 7.4: Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

Por otro lado, la corriente i_n que circula por el punto medio del DC-Link se muestra en la figura (7.5). La forma de onda de esta señal se debe a que se utilizó un patrón doble simétrico al enviar los vectores al inversor. En régimen permanente, y una vez que la diferencia de tensión entre los condensadores C_1 y C_2 es despreciable, el valor promedio de i_n en simulaciones es nulo. En este caso, su valor promedio es $0,23[A]$.

7.1.2. Escalón de potencia activa

Inicialmente las referencias de potencia son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$, luego la consigna de P aumenta en $1[kW]$ durante 2 ciclos, es decir $40[ms]$ y finalmente la consigna de potencia activa vuelve a $P^* = 2[kW]$, por su parte la referencia de potencia reactiva permanece constante. Antes de activar el control predictivo la tensión de línea de la red es $V_g = 170,21[V_{rms}]$ y la del DC-Link es $V_{DC} = 371,52[V]$, una vez que el controlador entre en operación la tensión del DC-Link disminuye a $V_{DC} = 342,24[V]$.

La corriente inyectada a la red se muestra en la figura (7.6). La corriente sigue rápidamente tanto el escalón de subida de P^* como al de bajada, la distorsión armónica en todo momento es baja. En $2,5[ms]$ posterior al escalón de subida, la corriente ya se encuentra acotada en

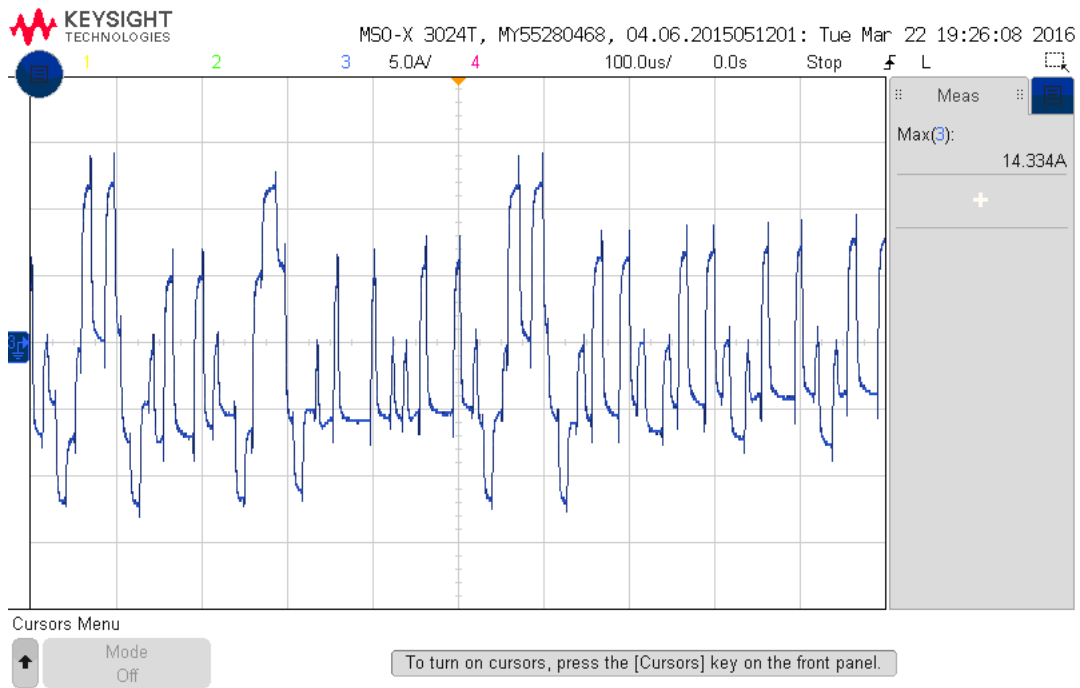


Figura 7.5: Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

$|I_g - I_g^*| < 1,2[A]$, una vez que se aplica el segundo escalón el sistema demora $0,34[ms]$ para estar acotada en la misma región que el caso anterior. Al igual que en las simulaciones el control predictivo actúa más rápido ante un escalón de bajada en la potencia activa.

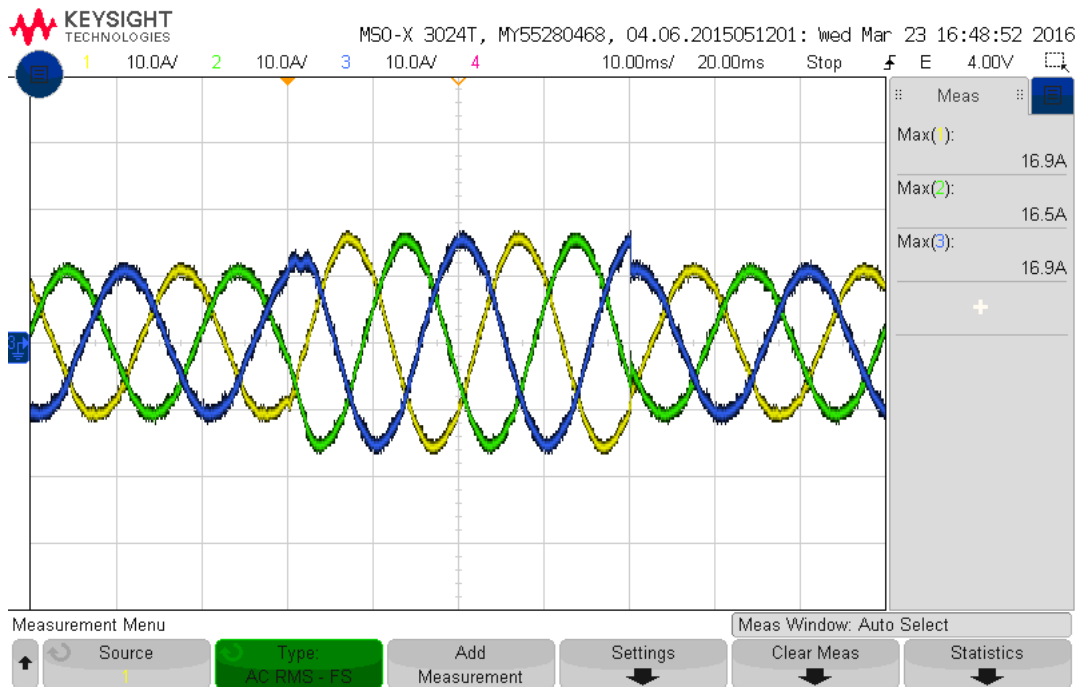


Figura 7.6: Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.

En la figura (7.7) se aprecia la tensión de los condensadores del DC-Link. Durante los 2 ciclos en que $P^* = 3[kW]$ la tensión del DC-Link baja levemente, esto se debe a que el control sólo se encarga de balancear las tensiones V_{DC1} y V_{DC2} , sin embargo no controla la magnitud de V_{DC} por tanto ante un aumento en la potencia activa su tensión se ve afectada, aunque su influencia es bastante baja; en este intervalo los límites de las tensiones del DC-Link son $163,6[V] < V_{DC1} < 166,6[V]$ y $166,3[V] < V_{DC2} < 169,2[V]$, en todo momento la tensión de los condensadores se encuentran en un rango permitido.

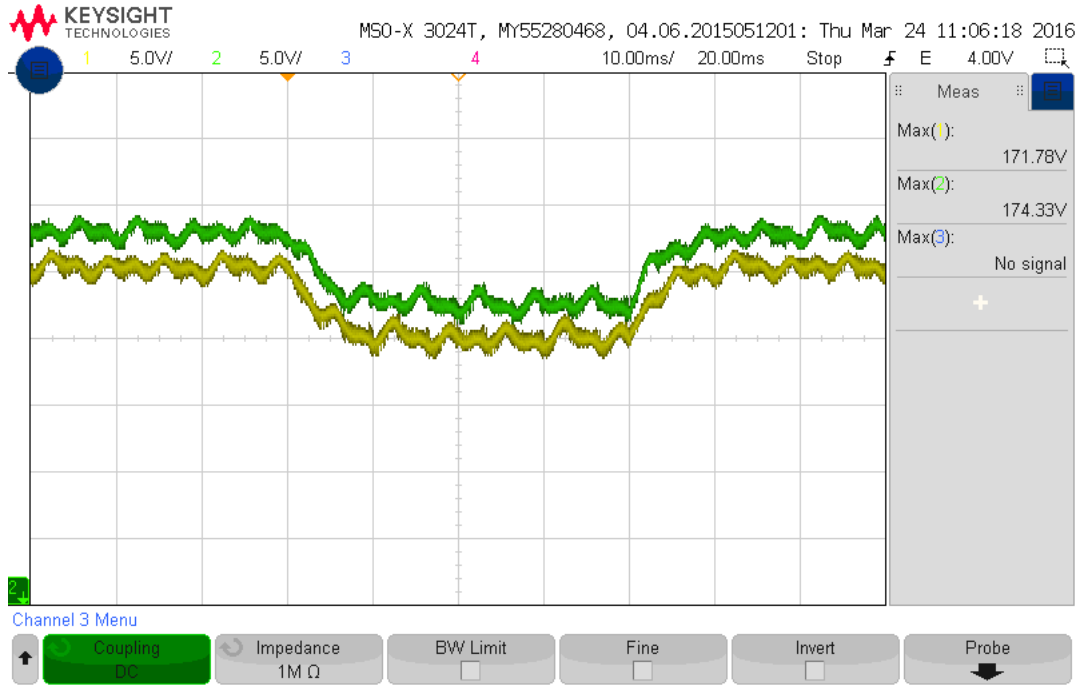


Figura 7.7: Tensión de C_1 y C_2 (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P .

La potencia activa inyectada a la red junto con su referencias se muestran en la figura (7.8). Al igual que con la corriente el sistema es capaz de seguir rápidamente el cambio en la referencia de potencia activa, una vez que se aplica el primer escalón de subida el sistema demora $1,65[ms]$ en llegar al régimen permanente, mientras que demora $0,56[ms]$ para el segundo escalón de bajada. Además durante los 2 ciclos en que $P^* = 3[kW]$ sus límites son $2867,3[W] < P < 3127,5[W]$ y su promedio es $\bar{P} = 2978,9[W]$. Por su parte la potencia reactiva no se ve afectada, su valor promedio es $\bar{Q} = 977,8[VAR]$ y sus límites son $856,5[VAR] < Q < 1198,4[VAR]$.

7.1.3. Escalón de potencia reactiva

En esta prueba la consigna inicial de potencia es $P^* = 2[kW]$ y $Q^* = 1,5[kVAR]$, al producirse el escalón, la consigna cambia a $P^* = 2[kW]$ y $Q^* = 0[kVAR]$, y luego de 2 ciclos de funcionamiento las consignas vuelven a sus valores originales. Antes de activar el control, la tensión de la red es $V_g = 150,5[V_{rms}]$ y la del DC-Link es $V_{DC} = 333,7[V]$, y una vez que el sistema de control se activa la tensión del DC-Link disminuye a $V_{DC} = 299,36[V]$.

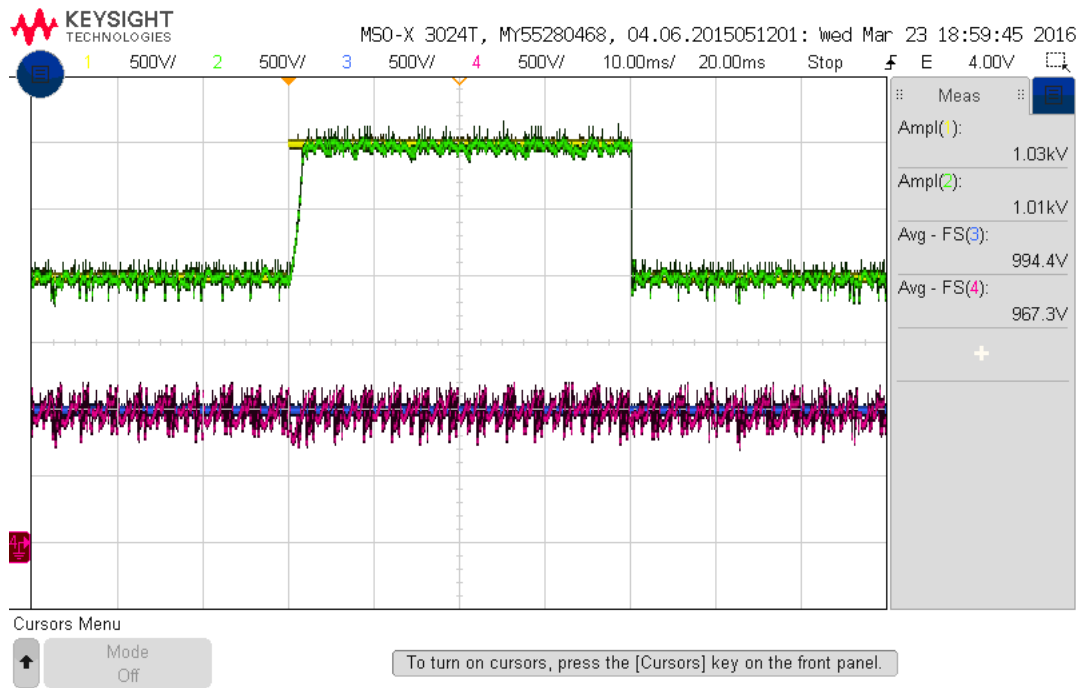


Figura 7.8: Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P .

La corriente inyectada a la red se muestra en la figura (7.9). Una vez que se aplica el primer escalón de bajada, el control demora $1,3[ms]$ para que el error de corriente este acotado en $|I_g - I_g^*| < 1,2[A]$. Para el segundo escalón de subida en $t = 1,7[ms]$ la corriente esta acotada en la misma región.

La figura (7.10) corresponde a la tensión del DC-Link. A diferencia de la prueba en que se aplica un escalón de potencia activa, en este caso durante el escalón de la potencia reactiva la amplitud de las oscilaciones del DC-link disminuyen. En todo momento la tensión de los condensadores se encuentran en un rango adecuado $147,5[V] < V_{DC1} < 151,4[V]$ y $150,4[V] < V_{DC2} < 154,1[V]$.

La potencia inyectada a la red se muestra en la figura (7.11). A diferencia del caso anterior, la potencia activa si se ve afectada por el cambio en la referencia de Q^* . Al producirse el primer escalón, la potencia activa cae a $P_{min1} = 1402,5[W]$ y en el segundo a $P_{min2} = 1523,4[W]$, sin embargo el control es capaz de restablecer su valor rápidamente, en $t_1 = 1,3[ms]$ y $t_2 = 0,86[ms]$ el error de P esta acotado a $|P - P^*| < 100[W]$. La potencia reactiva no presenta mayores perturbaciones y sigue a su referencia.

7.2. Resultados experimentales para el control M^2PC estrategia #2

A continuación se muestran los resultados experimentales al utilizar la estrategia de control #2 en la que el M^2PC sólo se encarga de regular la corriente entregada por el inversor y en

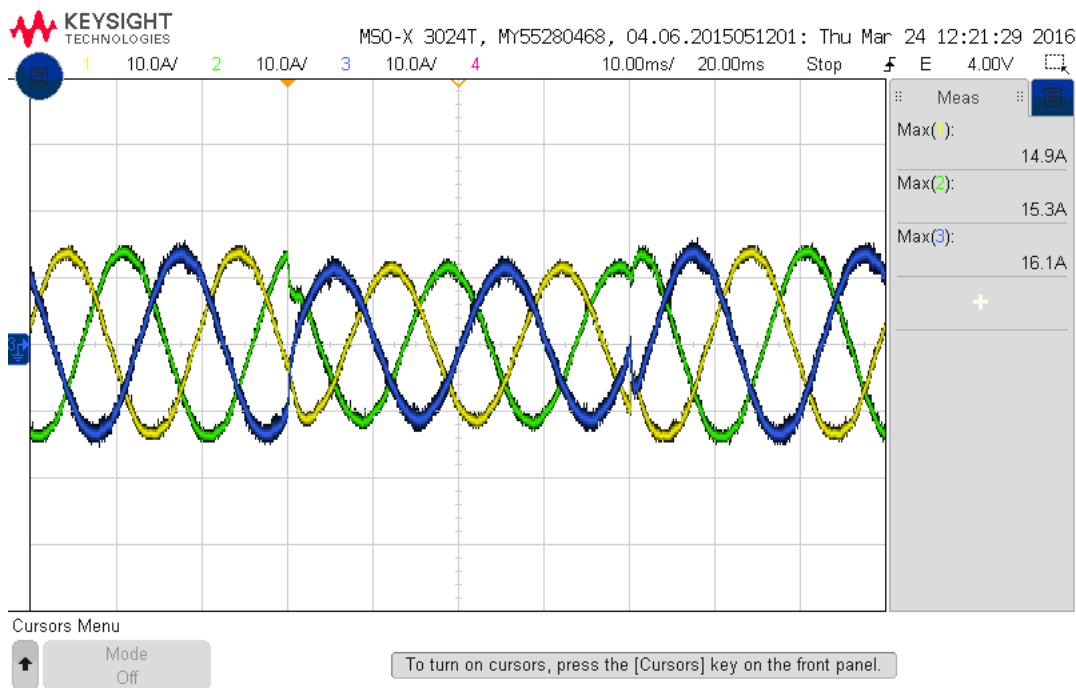


Figura 7.9: Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.

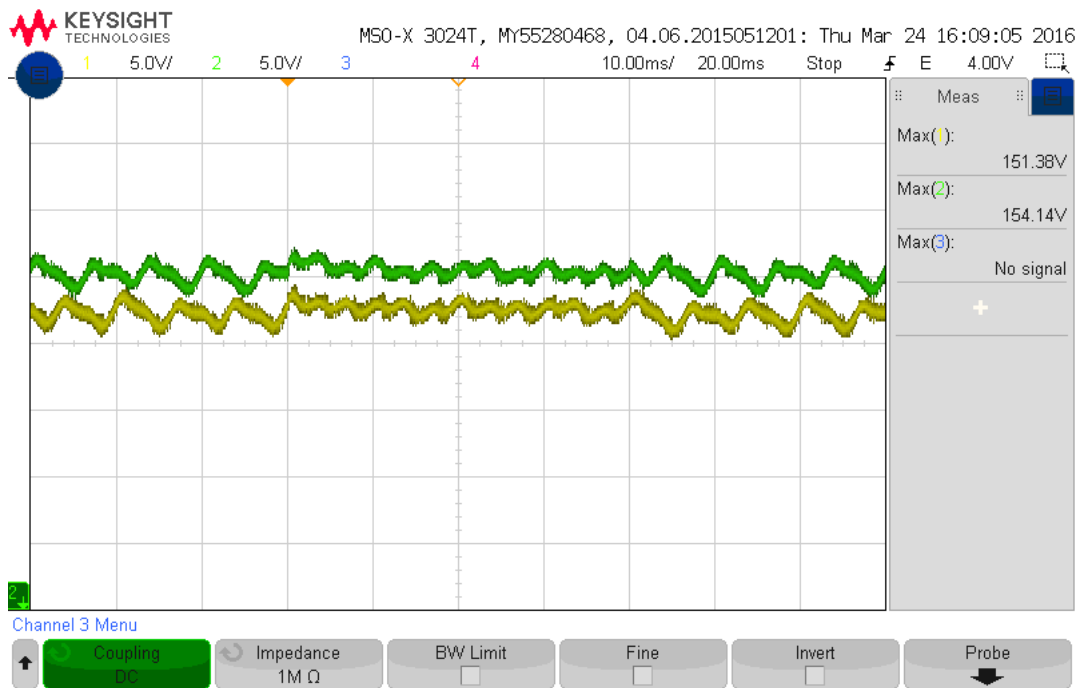


Figura 7.10: Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.

una etapa posterior se regula el ciclo de trabajo de los vectores pequeños para controlar las tensiones V_{DC1} y V_{DC2} .

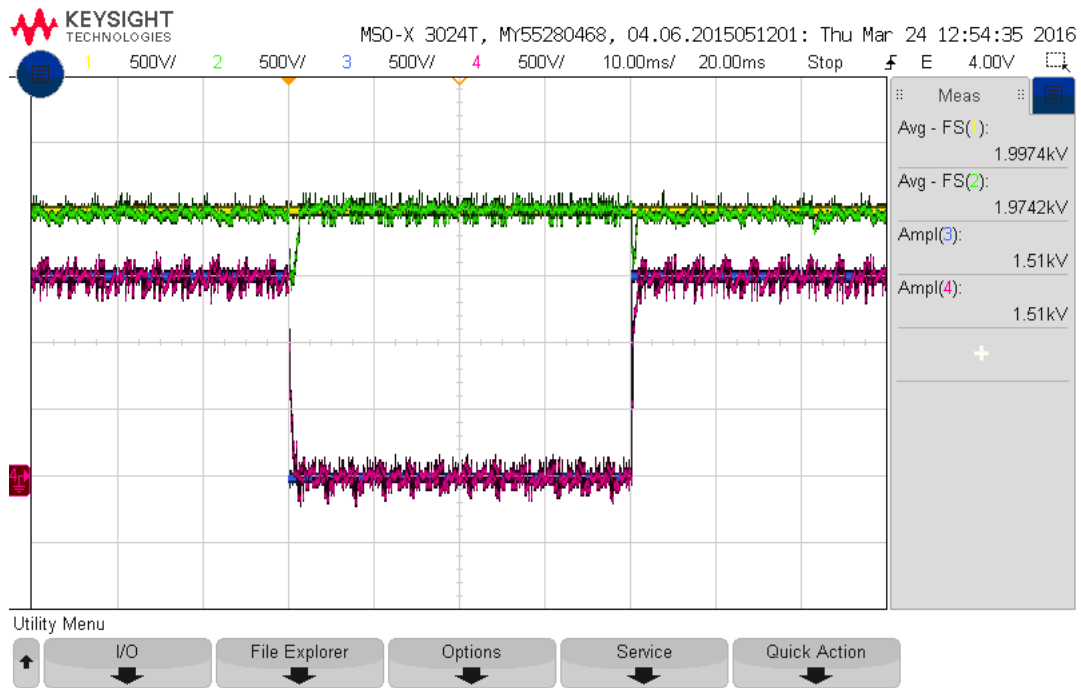


Figura 7.11: Potencia activa y reactiva inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q .

7.2.1. Prueba en régimen permanente

En este caso las consignas de potencia son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$. Antes de activar el control predictivo la tensión de línea de la red es $V_g = 151,4[V_{rms}]$ y la del DC-Link es $V_{DC} = 333,5[V]$, una vez que el control entra en operación la tensión del DC-Link disminuye a $V_{DC} = 302,5[V]$.

La figura (7.12) muestra la corriente inyectada a la red y en (7.13) se aprecia su espectro de frecuencia. En este caso la distorsión armónica es menor que al utilizar la estrategia #1, en esta prueba el THD de la corriente es $THD_i = 1,64\%$ y los armónicos más elevados son el 5° y 7° con valores de $I_{250Hz} = 0,12[A]$ e $I_{350Hz} = 0,03[A]$ respectivamente. El error de corriente está limitado a $|I_g - I^*| < 1,1[A]$ y el valor promedio del error de corriente es $\bar{e}_i = -0,16[A]$. Se aprecia una mejora con respecto a la estrategia #1.

La tensión de los condensadores del DC-Link se muestra en la figura (7.14). El error entre las tensiones es menor con respecto a la estrategia #1, en este caso la diferencia de tensiones está acotada por $|V_{DC1} - V_{DC2}| < 3,4[V]$, el rango de cada tensión es $148,2[V] < V_{DC1} < 152,4[V]$ y $150,0 < V_{DC2} < 153,3$.

La potencia inyectada a la red se muestra en la figura (7.15). La potencia activa promedio inyectada a la red es $\bar{P} = 1993,0[W]$ mientras que la reactiva es $\bar{Q} = 1015,4[VAR]$, sus rangos de variación son $1904,5[W] < P < 2125,6[W]$ y $899,4[VAR] < Q < 1180,9[VAR]$. Los principales armónicos de la potencia activa son $P_{300Hz} = 31,02[W]$ y $P_{600Hz} = 7,38[W]$; y los de la reactiva son $Q_{300Hz} = 19,02[VAR]$ y $Q_{600Hz} = 5,4[VAR]$, el espectro en este caso es más plano en comparación a la estrategia #1.

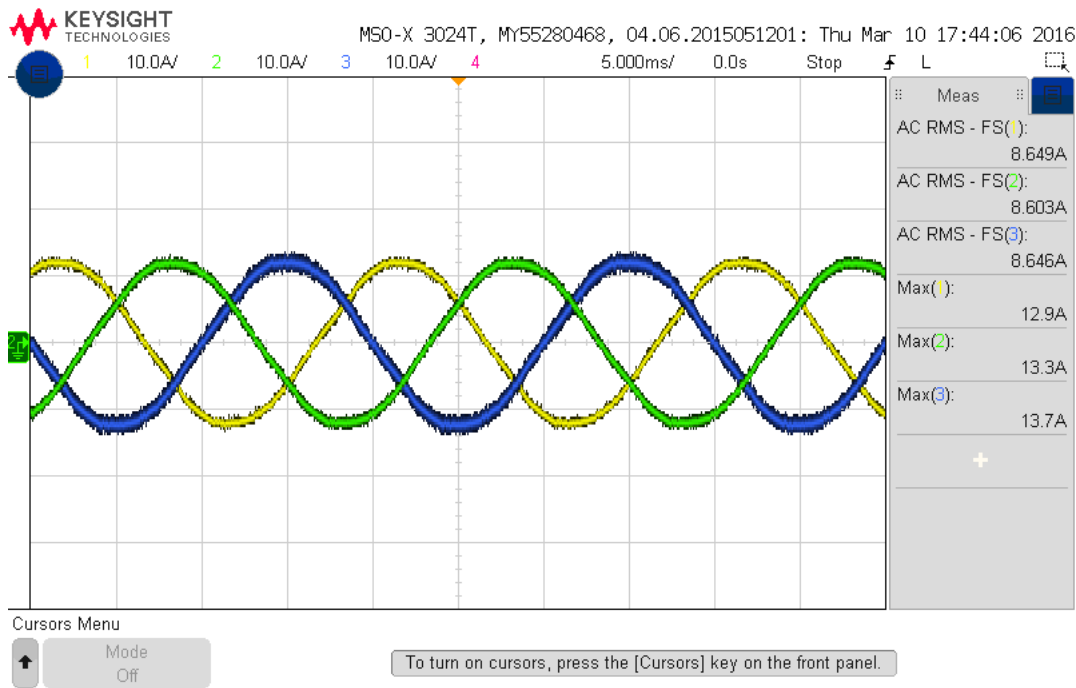


Figura 7.12: Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

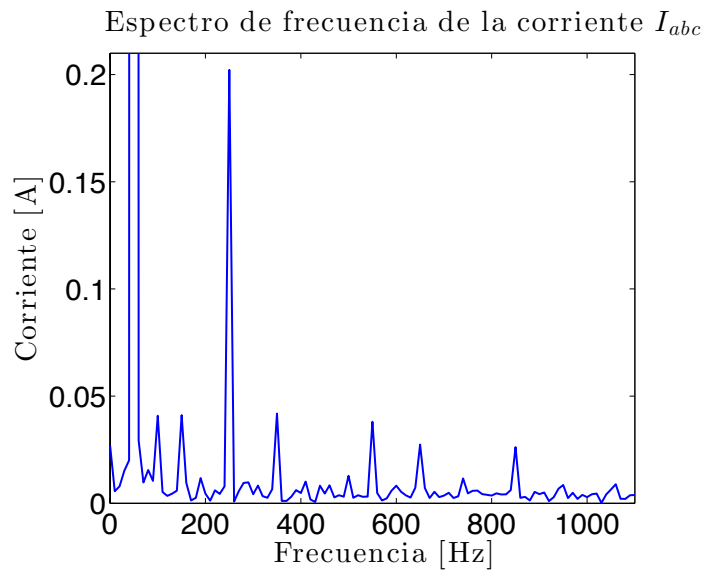


Figura 7.13: Espectro de frecuencia de I_{abc} cuando cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

En la figura (7.16) se muestra la corriente i_n inyectada al punto medio del DC-Link. Esta corriente es análoga a cuando se utiliza la estrategia #1. En este caso, su valor promedio es $0,1862[A]$, al controlar el sistema con la estrategia #2 el promedio de i_n es levemente menor con respecto a la estrategia #1.

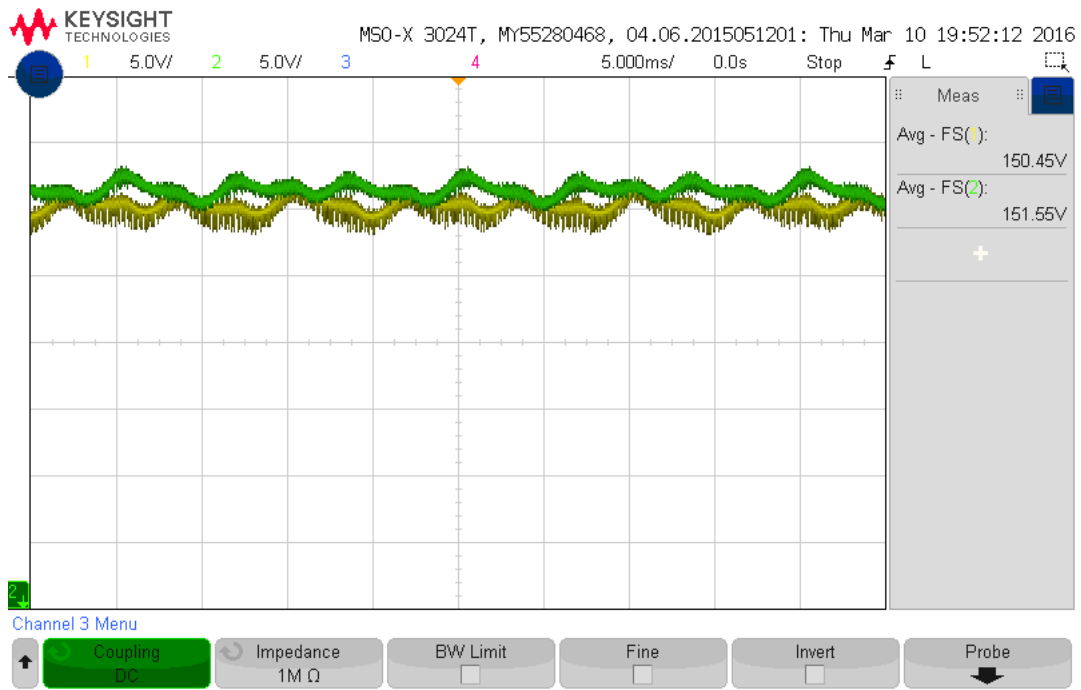


Figura 7.14: Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

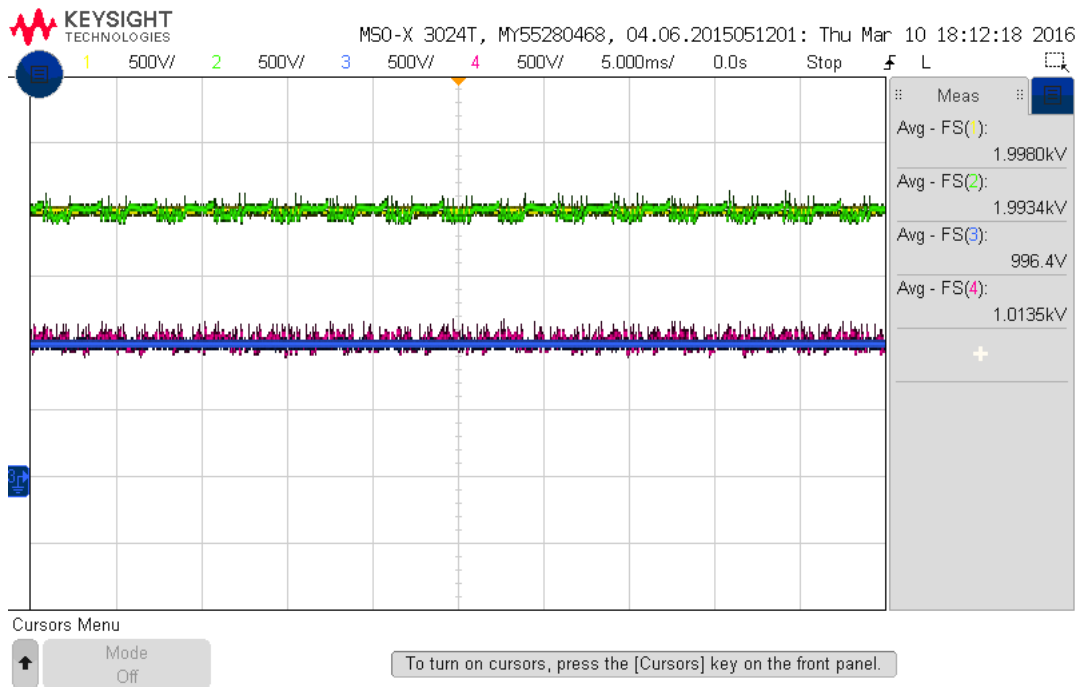


Figura 7.15: Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

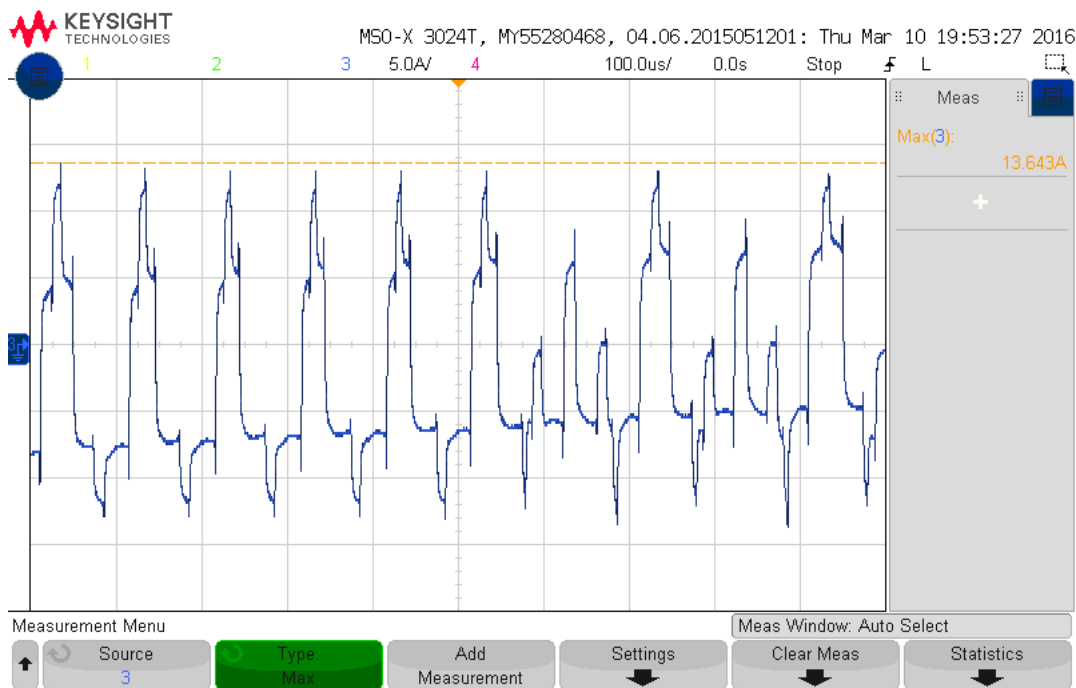


Figura 7.16: Corriente i_n que circula por el punto medio del DC-Link cuando $P^* = 2[kW]$ y $Q^* = 1[kVAR]$.

7.2.2. Escalón de potencia activa

Inicialmente las referencias de potencia son $P^* = 2[kW]$ y $Q^* = 1[kVAR]$, posteriormente la consigna de P aumenta en $1[kW]$ durante 2 ciclos, es decir, $40[ms]$ finalmente el valor de P vuelve a $P^* = 2[kW]$. Antes de activar el control predictivo la tensión de línea de la red es $V_g = 158,6[V_{rms}]$ y la del DC-Link es $V_{DC} = 323,8[V]$, una vez que el control entre en operación la tensión del DC-Link disminuye a $V_{DC} = 294,7[V]$.

La corriente inyectada a la red se muestra en la figura (7.17). En $1,4[ms]$ el error de corriente se encuentra limitado a $|I_g - I_g^*| < 1,1[A]$, una vez que se aplica el segundo escalón el error de corriente demora $0,31[ms]$ en estar acotado en la misma región. Se aprecia que la estrategia #2 es levemente más rápida que la primera, además el error de corriente se encuentra acotado en una región más pequeña.

La tensión de los condensadores del DC-Link se muestra en la figura (7.18). Al igual que con la primera estrategia durante el escalón de P la tensión de ambos condensadores disminuye, sin embargo, en este caso el balance es mejor ya que el offset de su diferencia es menor. Durante el escalón de P^* , las tensiones están acotadas en las regiones $173,5[V] < V_{DC1} < 176,4[V]$ y $174,5[V] < V_{DC2} < 177,3[V]$.

La potencia inyectada a la red se muestra en la figura (7.19). Durante el escalón de potencia activa los límites de la potencia entregada a la red son $2864,6[W] < P < 3107,5[W]$ y $879,8[VAR] < Q < 1181,4[VAR]$. Al aplicar el primer escalón el sistema demora $0,95[ms]$ en alcanzar el régimen permanente, mientras que para el segundo escalón demora $0,5[ms]$. Por otro lado, sus valores promedio son $\bar{P} = 2968,9[W]$ y $\bar{Q} = 1021,7[VAR]$. La potencia

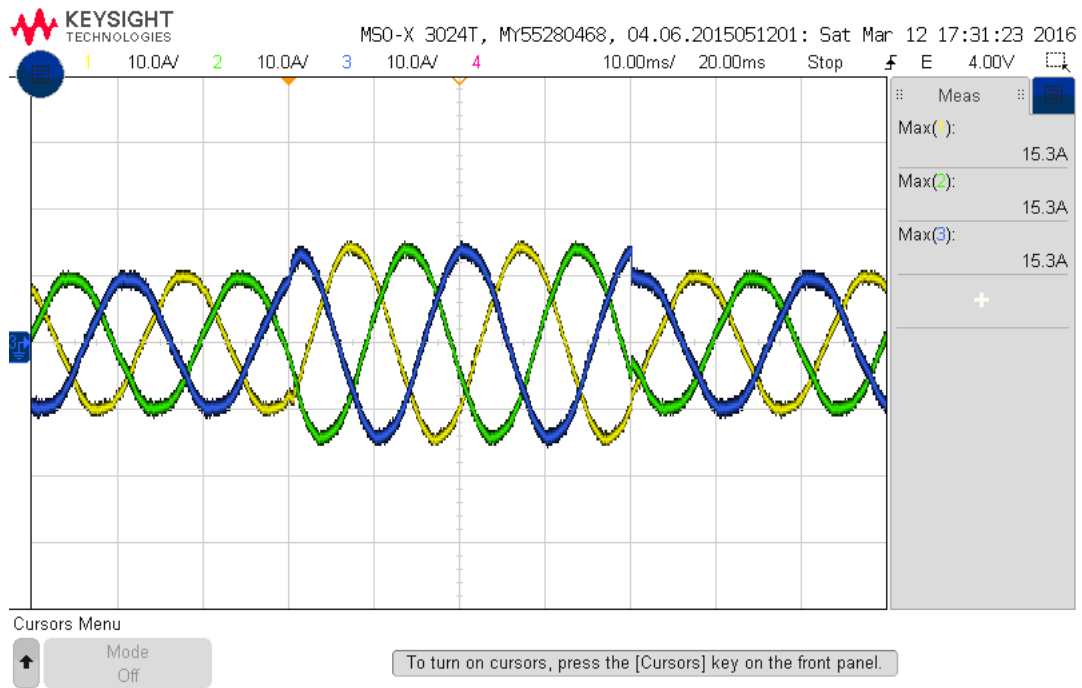


Figura 7.17: Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de P.

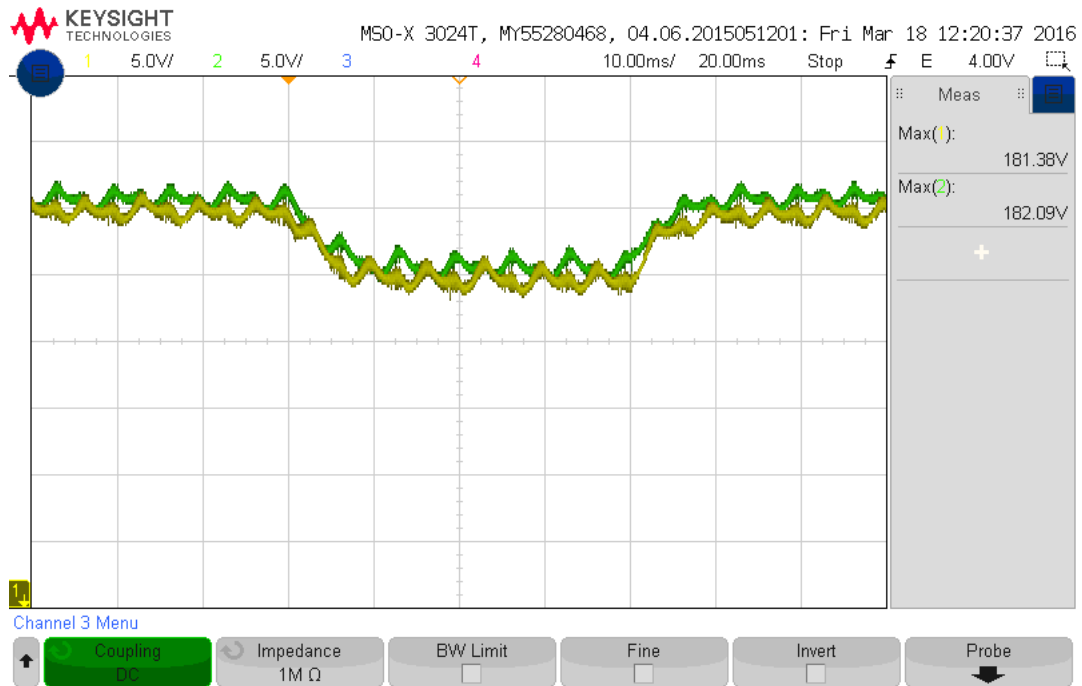


Figura 7.18: Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de P.

entregada por ambas estrategias no presentan mayores diferencias en cuanto a su rango de valores.

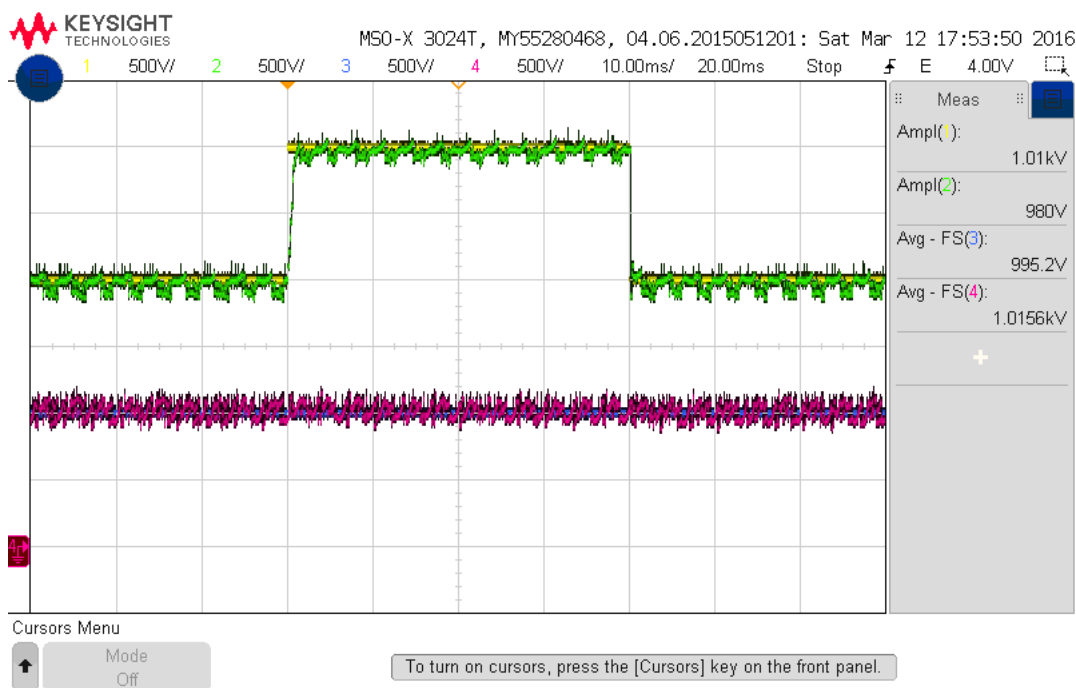


Figura 7.19: Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de P .

7.2.3. Escalón de potencia reactiva

En esta prueba la consigna inicial de potencia es $P^* = 2[kW]$ y $Q^* = 1,5[kVAR]$, al producirse el escalón la consigna cambia a $P^* = 2[kW]$ y $Q^* = 0[kVAR]$, y luego de 2 ciclos de funcionamiento las consignas vuelven a sus valores originales. Antes de activar el control, la tensión de la red es $V_g = 150,5[V_{rms}]$ y la del DC-Link es $V_{DC} = 333,7[V]$, una vez que el sistema de control se activa el DC-Link disminuye a $V_{DC} = 300,6[V]$.

La figura (7.20) corresponde a la corriente inyectada a la red. En $0,86[ms]$ el error de corriente esta acotado en $|I_g - I_g^*| < 1,2[A]$ luego del primer escalón de bajada mientras que para regular la corriente ante el segundo escalón el control demora $0,54[ms]$ en acotar el error de corriente a la misma región. El control de corriente es más rápido en comparación con la estrategia #1.

La tensión de los condensadores del DC-Link se muestra en la figura (7.21). Durante los 2 ciclos en que $Q^* = 0[VAR]$ la amplitud de las oscilaciones de las tensiones de los condensadores del DC-Link son más reducidas que para el resto de la prueba, en todo momento estas tensiones están limitas a $149,9[V] < V_{DC1} < 153,3[V]$ y $149,8[V] < V_{DC2} < 153,6[V]$.

Por último la figura (7.22) corresponde a la potencia inyectada a la red. Nuevamente la potencia activa se ve afectada por el cambio en la referencia Q^* , al aplicar el primer escalón la potencia activa cae a $P_1 = 1503,2[W]$ mientras que en el segundo escalón su valor disminuye a $P_2 = 1603,5[W]$, sin embargo la disminución de P es menor en comparación a la primera estrategia. El controlador demora $t_1 = 1[ms]$ y $t_2 = 1,2[ms]$ para limitar el error de P a la región $|P - P^*| < 100[W]$, el desempeño en este caso es similar a la estrategia anterior.

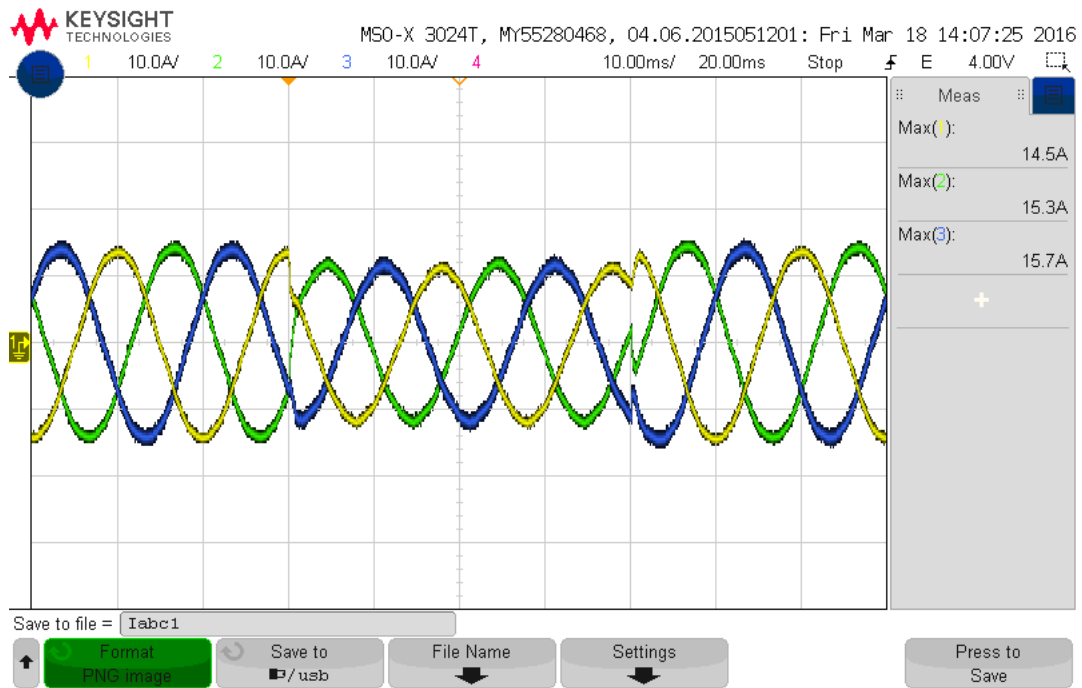


Figura 7.20: Corriente inyectada a la red (i_a en amarillo, i_b en verde e i_c en azul) cuando se produce el escalón de Q.

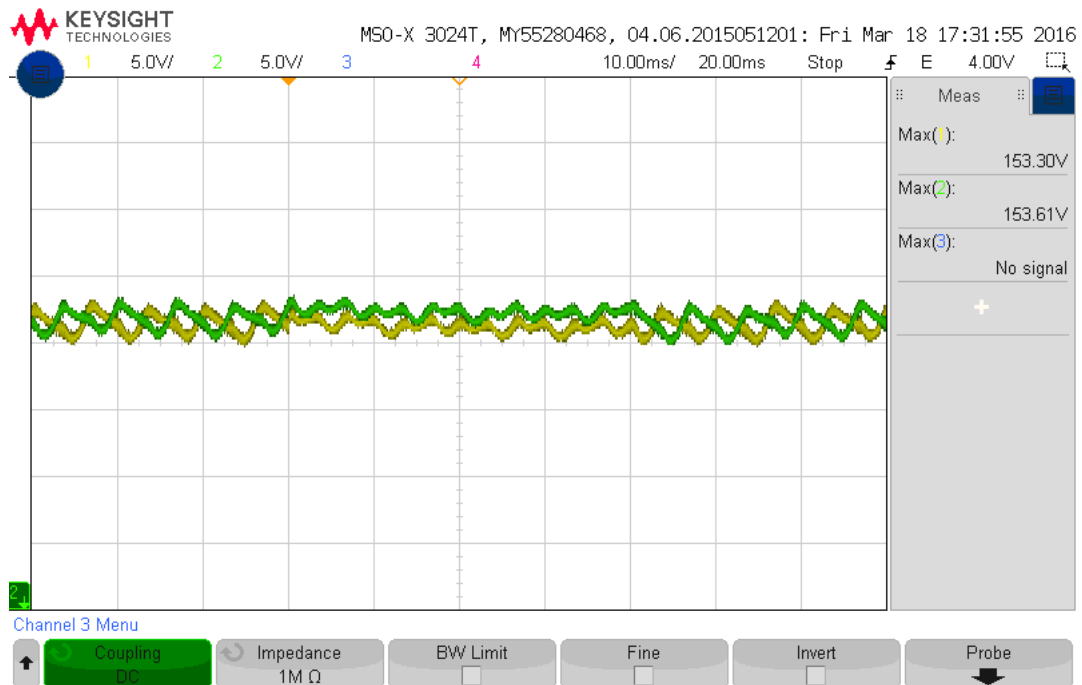


Figura 7.21: Tensiones V_{DC1} y V_{DC2} (V_{DC1} en amarillo y V_{DC2} en verde) cuando se produce el escalón de Q.



Figura 7.22: Potencia inyectada a la red (P^* en amarillo, P en verde, Q^* en azul y Q en violeta) cuando se produce el escalón de Q .

7.3. Discusión

Al probar el desempeño de las dos estrategias M^2PC es posible concluir que la segunda presenta una mejor respuesta tanto en régimen permanente como en el transitorio. Lo anterior se basa en el hecho que tanto la distorsión armónica de la corriente inyectada a la red como el desbalance de los condensadores es menor en comparación con la estrategia #1.

Además la estrategia #2 tiene un tiempo de respuesta más rápido que la estrategia #1. Ambas estrategias tienen tiempos de respuesta más rápidos que los que se esperaría al utilizar un controlador lineal, esto se debe a que el control predictivo no tiene un elemento integral que atrase la acción del controlador.

El balance de los condensadores funciona adecuadamente en las dos estrategias estudiadas. Al igual que en las simulaciones, al disminuir la consigna de potencia reactiva, las oscilaciones en el DC-Link disminuyen levemente. Al producirse un aumento en la referencia de la potencia activa, el valor medio de la tensión de cada condensador disminuye levemente, lo anterior se debe a que el controlador no regula el valor del DC-Link, sólo se encarga de que ambos condensadores se encuentren balanceados.

En todas las pruebas la corriente que circula por el punto medio del DC-Link presenta un promedio prácticamente nulo.

La potencia activa y reactiva entregada a la red sigue a su referencia de forma adecuada. Debido a que la corriente y la tensión de la red presentan armónicos, la potencia posee armónicos de orden 6° y 12° , sin embargo, su contenido es bajo con respecto a la componente

continua de la potencia.

Capítulo 8

Conclusiones

En el desarrollo de esta tesis se propusieron dos estrategias de control predictivo modulado para el control de un inversor NPC en configuración front-end. Inicialmente se probaron mediante simulaciones realizadas en *Plecs* para descartar posibles errores y posteriormente se implementó en un sistema experimental donde se estudió el régimen permanente y transitorio. La rutina de control se programó en una plataforma dSPACE dS1103 y además fue necesario diseñar y construir una tarjeta de desarrollo para la FPGA Spartan 3 y una tarjeta transmisora de fibra óptica.

Se ha extendido la estrategia de control predictivo (M^2PC), propuesta originalmente para un inversor VSI de 2 niveles, al control de un inversor NPC de 3 niveles en configuración front-end, en este caso además de regular la corriente inyectada a la red, se deben balancear los condensadores del DC-Link. Las dos estrategias propuestas presentan un buen desempeño en régimen permanente y transitorio, tanto en simulaciones como al implementarlas en el sistema experimental. En régimen permanente, la corriente inyectada a la red al utilizar la estrategia #1 presenta una distorsión armónica levemente mayor ($THD_i = 1,95\%$) que el de la estrategia #2 ($THD_i = 1,64\%$). Además el seguimiento de las referencias de potencia al aplicar escalones en P^* y Q^* es más rápido que en controladores lineales. Y debido a que el control predictivo modulado es capaz de seleccionar un conjunto de vectores en cada período de muestreo sus señales sintetizadas presentan una distorsión armónica menor en comparación al control FS-MPC.

En la primera estrategia se utiliza una función multiobjetivo que contiene el error de corriente y el del desbalance de los condensadores del DC-Link. Aunque presenta un buen desempeño en régimen permanente y transitorio cuando el DC-Link se encuentra balanceado, se comprobó que al existir un desbalance inicial, las corrientes sintetizadas tenían una distorsión armónica por sobre la norma. Lo anterior se debe a que el peso asociado al error del desbalance es más elevado que el error de corriente. Para corregir esto se puede escalar la constante γ que acompaña al término del desbalance del DC-Link en función de $|V_{DC1} - V_{DC2}|$, en este caso el contenido armónico de las corrientes es menor, pero el control demora más en balancear las tensiones del DC-Link.

Se determinó que la segunda estrategia presenta una mejor respuesta que la primera ante

un desbalance de V_{DC1} y V_{DC2} . En este caso la corriente presenta un bajo contenido armónico aun cuando los condensadores se encuentran desbalanceados. Lo anterior se debe a que en la segunda estrategia el control M^2PC sólo se encarga de regular las corrientes sintetizadas por el inversor y en una etapa posterior se balancean los condensadores cambiando la proporción de los vectores redundantes pequeños.

La elección de las regiones triangulares de modulación y de los vectores que las conforman no es única, en la literatura se han presentado variadas alternativas. En esta tesis la elección se hizo tomando en consideración el problema del desbalance de los condensadores. Además al enviar los vectores de una región al inversor NPC sólo se permiten las conmutaciones de estado $P \Leftrightarrow O$ y $N \Leftrightarrow O$, de esta manera se disminuyen las pérdidas por conmutación, por otro lado, con el fin de disminuir la distorsión armónica de la corriente inyectada a la red se utiliza un patrón doble simétrico. El conjunto de regiones seleccionadas permiten un control adecuado del sistema.

Se ha implementado una plataforma experimental que aumenta las capacidades de control del sistema dSPACE 1103. La modularidad del firmware de la tarjeta de desarrollo permite cambiar fácilmente la configuración del sistema, como por ejemplo el número de señales de disparo; las protecciones de hardware y software; los tiempos muertos utilizados y la disposición general de los pines de entrada y salida. De esta forma, se pueden probar diversas topologías y métodos de control.

Al implementar el firmware de la tarjeta de desarrollo se ha optado por sincronizar el sistema FPGA-dSPACE con una señal de interrupción generada por la FPGA cada $T_s = 100[\mu s]$. Este enfoque presenta un mejor desempeño que cuando la sincronización es gestionada por el sistema dSPACE, esto se debe a que en este último caso el sistema es más propenso a que se produzcan atrasos debido al computador que controla la plataforma dSPACE o a que la rutina de control demore más tiempo en alguna iteración. Por otro lado, cuando la FPGA genera la interrupción este proceso no se puede atrasar ya que depende de un reloj externo, de esta forma el inicio de la rutina de control M^2PC y el término del último vector enviado al inversor, en cada período de muestreo, se pueden sincronizar de manera segura. Mediante pruebas experimentales se comprobó el correcto funcionamiento del firmware implementado en VHDL.

8.1. Trabajo futuro

Como trabajo futuro a realizar se propone la extensión de la estrategia M^2PC para el control de un inversor NPC de 4 hilos, de esta forma es posible controlar la corriente por el neutro de una carga desequilibrada.

Además, debido al buen desempeño que presenta el control predictivo para seguir variadas referencias, una posible aplicación es el uso del inversor NPC como filtro de compensación activo. De esta forma se pueden suplir las corrientes demandadas por una carga no lineal y así es posible cambiar la impedancia de esta carga vista por la red.

Se propone el control de una máquina rotatoria (por ejemplo una máquina de imanes permanentes). Junto con lo anterior es posible controlar la transferencia de energía entre dos fuentes de tensión mediante un inversor NPC en configuración back-to-back.

Otro enfoque interesante consiste en aplicar esta técnica de control a un inversor matricial modular.

Por último, es posible mejorar algunos aspectos del control M^2PC , como por ejemplo, la transición entre regiones contiguas de modulación. Para ello, se puede probar otra función de costo asociada a cada región.

Capítulo 9

Bibliografía

- [1] M. Manfred and L. J. H, “Model predictive control: past, present and future,” *Computers and Chemical Engineering*, vol. 23, no. 4, pp. 667–682, 1999.
- [2] R. Kennel and A. Linder, “Predictive control of inverter supplied electrical drives,” in *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, vol. 2, 2000, pp. 761–766 vol.2.
- [3] P. Cortes, M. P. Kazmierkowski, R. M. Kennel, D. E. Quevedo, and J. Rodriguez, “Predictive control in power electronics and drives,” *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4312–4324, Dec 2008.
- [4] S. Vazquez, J. I. Leon, L. G. Franquelo, J. Rodriguez, H. A. Young, A. Marquez, and P. Zanchetta, “Model predictive control: A review of its applications in power electronics,” *IEEE Industrial Electronics Magazine*, vol. 8, no. 1, pp. 16–31, March 2014.
- [5] R. O. Ramírez, J. R. Espinoza, F. Villarroel, E. Maurelia, and M. E. Reyes, “A novel hybrid finite control set model predictive control scheme with reduced switching,” *IEEE Transactions on Industrial Electronics*, vol. 61, no. 11, pp. 5912–5920, Nov 2014.
- [6] E. Fuentes, C. Silva, and R. Kennel, “Mpc implementation of a quasi-time-optimal speed control for a pmsm drive, with inner modulated-fs-mpc torque control,” *IEEE Transactions on Industrial Electronics*, vol. PP, no. 99, pp. 1–1, 2016.
- [7] L. Tarisciotti, P. Zanchetta, A. Watson, J. Clare, M. Degano, and S. Bifaretti, “Modulated model predictive control (m2pc) for a 3-phase active front-end,” in *2013 IEEE Energy Conversion Congress and Exposition*, Sept 2013, pp. 1062–1069.
- [8] W. C. Rossmann and R. G. Ellis, “Retrofit of 22 pipeline pumping stations with 3000-hp motors and variable-frequency drives,” *IEEE Transactions on Industry Applications*, vol. 34, no. 1, pp. 178–186, Jan 1998.
- [9] R. Menz and F. Opprecht, “Replacement of a wound rotor motor with an adjustable speed drive for a 1400 kw kiln exhaust gas fan,” in *Cement Industry Technical Confer-*

neces, 2002. *IEEE-IAS/PCA 44th*, 2002, pp. 85–93.

- [10] B. P. Schmitt and R. Sommer, “Retrofit of fixed speed induction motors with medium voltage drive converters using npc three-level inverter high-voltage igbt based topology,” in *Industrial Electronics, 2001. Proceedings. ISIE 2001. IEEE International Symposium on*, vol. 2, 2001, pp. 746–751 vol.2.
- [11] S. Bernet, “Recent developments of high power converters for industry and traction applications,” *IEEE Transactions on Power Electronics*, vol. 15, no. 6, pp. 1102–1117, Nov 2000.
- [12] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Perez, and J. I. Leon, “Recent advances and industrial applications of multilevel converters,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553–2580, Aug 2010.
- [13] B. Wu, *HIGH-POWER CONVERTERS HIGH-POWER CONVERTERS AND AC DRIVES*. Piscataway: IEEE Press, 2006.
- [14] D. G. Holmes and T. A. Lipo, *Pulse Width Modulation for Power Converters—Principle Pulse Width Modulation for Power Converters—Principle and Practice*. New York: IEEE Press/Wiley-Interscience, 2003.
- [15] A. Nabae, I. Takahashi, and H. Akagi, “A new neutral-point-clamped pwm inverter,” *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518–523, Sept 1981.
- [16] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, “A survey on neutral-point-clamped inverters,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2219–2230, July 2010.
- [17] J. H. Seo, C. H. Choi, and D. S. Hyun, “A new simplified space-vector pwm method for three-level inverters,” *IEEE Transactions on Power Electronics*, vol. 16, no. 4, pp. 545–550, Jul 2001.
- [18] N. Celanovic and D. Boroyevich, “A fast space-vector modulation algorithm for multilevel three-phase converters,” *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 637–641, Mar 2001.
- [19] H. S. Patel and R. G. Hoft, “Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part i—harmonic elimination,” *IEEE Transactions on Industry Applications*, vol. IA-9, no. 3, pp. 310–317, May 1973.
- [20] S. R. Pulikanti, M. S. A. Dahidah, and V. G. Agelidis, “Voltage balancing control of three-level active npc converter using she-pwm,” *IEEE Transactions on Power Delivery*, vol. 26, no. 1, pp. 258–267, Jan 2011.
- [21] L. G. Franquelo, J. Napoles, R. C. P. Guisado, J. I. Leon, and M. A. Aguirre, “A flexible selective harmonic mitigation technique to meet grid codes in three-level pwm converters,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 3022–3029,

Dec 2007.

- [22] S. Sirisukprasert, J.-S. Lai, and T.-H. Liu, "Optimum harmonic reduction with a wide range of modulation indexes for multilevel converters," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 875–881, Aug 2002.
- [23] N. Celanovic and D. Boroyevich, "A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters," *IEEE Transactions on Power Electronics*, vol. 15, no. 2, pp. 242–249, Mar 2000.
- [24] S. Busquets-Monge, J. Bordonau, D. Boroyevich, and S. Somavilla, "The nearest three virtual space vector pwm - a modulation for the comprehensive neutral-point balancing in the three-level npc inverter," *IEEE Power Electronics Letters*, vol. 2, no. 1, pp. 11–15, March 2004.
- [25] A. K. Gupta and A. M. Khambadkone, "A simple space vector pwm scheme to operate a three-level npc inverter at high modulation index including overmodulation region, with neutral point balancing," *IEEE Transactions on Industry Applications*, vol. 43, no. 3, pp. 751–760, May 2007.
- [26] S. B. Monge, S. Somavilla, J. Bordonau, and D. Boroyevich, "Capacitor voltage balance for the neutral-point-clamped converter using the virtual space vector concept with optimized spectral performance," *IEEE Transactions on Power Electronics*, vol. 22, no. 4, pp. 1128–1135, July 2007.
- [27] S. Busquets-Monge, J. D. Ortega, J. Bordonau, J. A. Beristain, and J. Rocabert, "Closed-loop control of a three-phase neutral-point-clamped inverter using an optimized virtual-vector-based pulsewidth modulation," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 5, pp. 2061–2071, May 2008.
- [28] J. K. Steinke, "Switching frequency optimal pwm control of a three-level inverter," *IEEE Transactions on Power Electronics*, vol. 7, no. 3, pp. 487–496, Jul 1992.
- [29] R. Vargas, P. Cortes, U. Ammann, J. Rodriguez, and J. Pontt, "Predictive control of a three-phase neutral-point-clamped inverter," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 5, pp. 2697–2705, Oct 2007.
- [30] "Ieee recommended practice and requirements for harmonic control in electric power systems - redline," *IEEE Std 519-2014 (Revision of IEEE Std 519-1992) - Redline*, pp. 1–213, June 2014.
- [31] A. Timbus, M. Liserre, R. Teodorescu, P. Rodriguez, and F. Blaabjerg, "Evaluation of current controllers for distributed power generation systems," *IEEE Transactions on Power Electronics*, vol. 24, no. 3, pp. 654–664, March 2009.
- [32] R. Zhang, M. Cardinal, P. Szczesny, and M. Dame, "A grid simulator with control of single-phase power converters in d-q rotating frame," in *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 3, 2002, pp. 1431–1436 vol.3.

- [33] S.-G. Jeong and M.-H. Woo, "Dsp-based active power filter with predictive current control," *IEEE Transactions on Industrial Electronics*, vol. 44, no. 3, pp. 329–336, Jun 1997.
- [34] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Dead beat control of three phase pwm inverter," *IEEE Transactions on Power Electronics*, vol. 5, no. 1, pp. 21–28, Jan 1990.
- [35] S. Fukuda and T. Yoda, "A novel current-tracking method for active filters based on a sinusoidal internal model [for pwm invertors]," *IEEE Transactions on Industry Applications*, vol. 37, no. 3, pp. 888–895, May 2001.
- [36] R. Teodorescu, F. Blaabjerg, U. Borup, and M. Liserre, "A new control structure for grid-connected lcl pv inverters with zero steady-state error and selective harmonic compensation," in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, vol. 1, 2004, pp. 580–586 Vol.1.
- [37] R. E. Betz, B. J. Cook, and S. J. Henriksen, "A digital current controller for three phase voltage source inverters," in *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE*, vol. 1, Oct 1997, pp. 722–729 vol.1.
- [38] O. Kukrer, "Discrete-time current control of voltage-fed three-phase pwm inverters," *IEEE Transactions on Power Electronics*, vol. 11, no. 2, pp. 260–269, Mar 1996.
- [39] L. Malesani, P. Mattavelli, and S. Buso, "Robust dead-beat current control for pwm rectifiers and active filters," *IEEE Transactions on Industry Applications*, vol. 35, no. 3, pp. 613–620, May 1999.
- [40] S. Saggini, W. Stefanutti, E. Tedeschi, and P. Mattavelli, "Digital deadbeat control tuning for dc-dc converters using error correlation," *IEEE Transactions on Power Electronics*, vol. 22, no. 4, pp. 1566–1570, July 2007.
- [41] P. Correa, M. Pacas, and J. Rodriguez, "Predictive torque control for inverter-fed induction machines," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 2, pp. 1073–1079, April 2007.
- [42] G. H. Bode, P. C. Loh, M. J. Newman, and D. G. Holmes, "An improved robust predictive current regulation algorithm," *IEEE Transactions on Industry Applications*, vol. 41, no. 6, pp. 1720–1733, Nov 2005.
- [43] Y. A.-R. I. Mohamed and E. F. El-Saadany, "An improved deadbeat current control scheme with a novel adaptive self-tuning load model for a three-phase pwm voltage-source inverter," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 2, pp. 747–759, April 2007.
- [44] A. Linder and R. Kennel, "Model predictive control for electrical drives," in *2005 IEEE 36th Power Electronics Specialists Conference*, June 2005, pp. 1793–1799.
- [45] L. Tarisciotti, P. Zanchetta, A. Watson, J. C. Clare, M. Degano, and S. Bifaretti, "Modulated model predictive control for a three-phase active rectifier," *IEEE Transactions*

on *Industry Applications*, vol. 51, no. 2, pp. 1610–1620, March 2015.

- [46] S. S. Yeoh, T. Yang, L. Tarisciotti, S. Bozhko, and P. Zanchetta, “Hybrid modulated model predictive control for the more electric aircraft generator system,” in *2015 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS)*, March 2015, pp. 1–6.
- [47] M. Rivera, M. Perez, V. Yaramasu, B. Wu, L. Tarisciotti, P. Zanchetta, and P. Wheeler, “Modulated model predictive control (m2pc) with fixed switching frequency for an npc converter,” in *2015 IEEE 5th International Conference on Power Engineering, Energy and Electrical Drives (POWERENG)*, May 2015, pp. 623–628.
- [48] L. Tarisciotti, P. Zanchetta, A. Watson, S. Bifaretti, and J. C. Clare, “Modulated model predictive control for a seven-level cascaded h-bridge back-to-back converter,” *IEEE Transactions on Industrial Electronics*, vol. 61, no. 10, pp. 5375–5383, Oct 2014.
- [49] L. Tarisciotti, P. Zanchetta, A. Watson, J. Clare, S. Bifaretti, and M. Rivera, “A new predictive control method for cascaded multilevel converters with intrinsic modulation scheme,” in *Industrial Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE*, Nov 2013, pp. 5764–5769.
- [50] L. Tarisciotti, P. Zanchetta, A. Watson, P. Wheeler, J. C. Clare, and S. Bifaretti, “Multiobjective modulated model predictive control for a multilevel solid-state transformer,” *IEEE Transactions on Industry Applications*, vol. 51, no. 5, pp. 4051–4060, Sept 2015.
- [51] M. Vijayagopal, P. Zanchetta, L. Empringham, L. D. Lillo, L. Tarisciotti, and P. Wheeler, “Modulated model predictive current control for direct matrix converter with fixed switching frequency,” in *Power Electronics and Applications (EPE’15 ECCE-Europe), 2015 17th European Conference on*, Sept 2015, pp. 1–10.
- [52] M. Vijayagopal, L. Empringham, L. de Lillo, L. Tarisciotti, P. Zanchetta, and P. Wheeler, “Control of a direct matrix converter induction motor drive with modulated model predictive control,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept 2015, pp. 4315–4321.
- [53] —, “Current control and reactive power minimization of a direct matrix converter induction motor drive with modulated model predictive control,” in *2015 IEEE International Symposium on Predictive Control of Electrical Drives and Power Electronics (PRECEDE)*, Oct 2015, pp. 103–108.
- [54] *RTLib Reference DS1103 PPC Controller Board*, 2013th ed., dSPACE, 2013.
- [55] *Features DS1103 PPC Controller Board*, 2014th ed., dSPACE, 2014.
- [56] *Hardware Installation and Configuration DS1103 PPC Controller Board*, 2014th ed., dSPACE, 2014.
- [57] *Spartan-3 FPGA Family*, Xilinx, 2013.

- [58] *The 3.3V Configuration of Spartan-3 The 3.3V Configuration of Spartan-3 FPGAs*, Xapp453 ed., Xilinx, 2008.
- [59] E. Crabill, *Eliminating I/O Coupling Effects when interfacing Large-Swing Single-Ended Signals to User I/O Pins on Spartan-3 Families*, xapp459 ed., Xilinx, 2010.

Capítulo 10

Anexos

10.1. Transformadas utilizadas

Con el fin de simplificar el control y modulación de los inversores, en algunas estrategias de control las variables eléctricas se llevan a un espacio de estados diferente del original. Por ejemplo, en el caso de un sistema trifásico equilibrado, las tensiones y corrientes son vectores de dimensión 3, pero al pasar a coordenadas $\alpha\beta$ estas variables se pueden describir con vectores en \mathbb{R}^2 . A continuación se definen las transformaciones utilizadas.

La transformada de coordenadas naturales a $\alpha\beta$ se muestra en (10.1), mientras que su transformada inversa en (10.2).

$$\begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} & -\frac{1}{3} \\ 0 & \frac{1}{\sqrt{3}} & -\frac{1}{\sqrt{3}} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \quad (10.1) \quad \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} \quad (10.2)$$

La transformada de coordenadas $\alpha\beta$ al sistema rotatorio dq se muestra en (10.3) y su transformada inversa en (10.4).

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \begin{bmatrix} \cos(\omega_s t) & \sin(\omega_s t) \\ -\sin(\omega_s t) & \cos(\omega_s t) \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} \quad (10.3) \quad \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \begin{bmatrix} \cos(\omega_s t) & -\sin(\omega_s t) \\ \sin(\omega_s t) & \cos(\omega_s t) \end{bmatrix} \begin{bmatrix} x_d \\ x_q \end{bmatrix} \quad (10.4)$$

10.2. Diseño del PLL

En la figura (10.1) se aprecia el diagrama de bloques del algoritmo PLL (Phase Locked Loop) utilizado para estimar el ángulo de la tensión de la red. En este caso el error de la estimación de $\hat{\theta}_e$ se calcula mediante el producto cruz entre la tensión de la red en coordenadas $\alpha\beta$ y un vector unitario que gira a la velocidad angular estimada por el PLL.

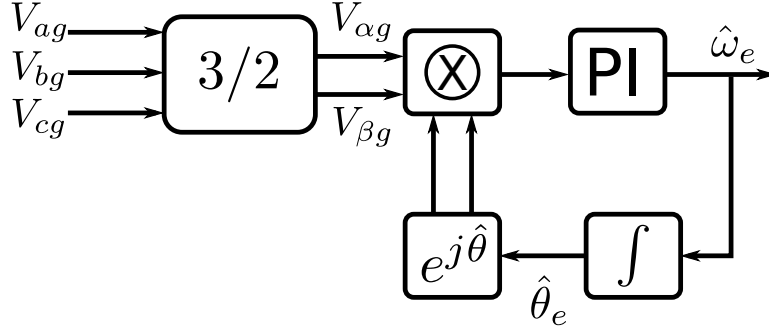


Figura 10.1: Diagrama de bloques del algoritmo PLL utilizado para determinar el ángulo de la red.

La ecuación (10.5) muestra el producto cruz entre los vectores $\vec{v}_{g\alpha\beta}$ y $e^{j\hat{\theta}_e}$. El error ε se anula cuando ambos vectores tienen el mismo desfase angular.

$$\varepsilon = (v_{g\alpha} + jv_{g\beta}) \otimes (\cos(\theta_e) + j\sin(\theta_e)) = v_{g\alpha}\sin(\theta_e) - v_{g\beta}\cos(\theta_e) \quad (10.5)$$

Con el fin de determinar los parámetros del controlador PI se considera el modelo de pequeña señal del PLL, dicho modelo se muestra en la ecuación (10.9), donde $\theta_{error} = \theta_e - \hat{\theta}_e$.

$$\varepsilon = |e^{j\hat{\theta}_e}| |\vec{v}_{g\alpha\beta}| \sin(\theta_{error}) \quad (10.6)$$

$$\therefore \Delta\varepsilon = \frac{\partial\varepsilon}{\partial\theta_{error}} \Delta\theta_{error} \quad (10.7)$$

$$\Delta\varepsilon = |\vec{v}_{g\alpha\beta}| \cos(\theta_{error0}) \Delta\theta_{error} \quad (10.8)$$

$$\Delta\varepsilon \approx |\vec{v}_{g\alpha\beta}| \Delta\theta_{error} \quad (10.9)$$

Por lo tanto, la planta del sistema consiste en un integrador junto con una ganancia dada por la magnitud de la tensión de la red. Como $v_{g\alpha\beta}$ puede presentar perturbaciones en su magnitud se optó por normalizar esta variable. De esta manera, el desempeño del lazo de control no se ve afectado ante variaciones en la magnitud de $v_{g\alpha\beta}$.

El ancho de banda del PLL debe ser capaz de seguir a la fundamental de la señal de tensión y al mismo tiempo debe rechazar sus componentes armónicos. En este caso se utilizó un coeficiente de amortiguamiento de $\zeta = 0,8$ y una frecuencia natural igual a $f_n = 20[Hz]$. El controlador resultante se muestra en la ecuación (10.10).

$$G_{PI} = 222,32 \frac{s + 111,18}{s} \quad (10.10)$$

10.3. Diseño del Hardware

Para la implementación del sistema experimental fue necesario diseñar y construir 2 tarjetas PCB. En este capítulo se describe el diseño de la tarjeta de desarrollo de la FPGA Spartan 3 y de la tarjeta transmisora de pulsos de fibra óptica. El diseño de ambas tarjetas se realizó mediante el software *Altium Designer* versión 14.3.9.

En la actualidad gracias a los avances en electrónica, el uso de las FPGA se ha extendido a diversas aplicaciones de la ingeniería eléctrica. En general se utiliza una FPGA para sintetizar los pulsos de compuerta que van a cada dispositivo semiconductor, sin embargo algunos autores han optado por incluir parte del control dada su velocidad de cálculo y capacidad de ejecutar varios procesos en paralelo.

El principal objetivo de la tarjeta de desarrollo es contar con una plataforma capaz de gestionar el envío de vectores al inversor NPC y que pueda controlar con una alta precisión la duración de cada uno de estos vectores. Junto con lo anterior surgen otras funciones importantes que se deben implementar para garantizar una operación segura y simple, como por ejemplo: implementación de los tiempos muertos para evitar cortocircuitos entre interruptores de una misma fase; habilitar puertos SMA (SubMiniature version A) de entrada para recibir señales de falla en caso de sobrepasar el valor máximo permitido por las protecciones de hardware; habilitar puertos SMA de salida para enviar señales de trigger al osciloscopio y de esta forma guardar los datos al producirse determinados eventos como cambios en la corriente de referencia; entre otras funciones.

La tarjeta transmisora actúa como un buffer entre la FPGA y los transmisores ópticos modelo HFBR-1531Z, adecuando los distintos niveles de tensión y limitando la corriente que circula por los pines de la FPGA. Inicialmente se diseñó la tarjeta de desarrollo para que cuente con 32 señales de disparo, sin embargo, con el fin de disminuir costos la tarjeta transmisora cuenta con 20 puertos de salida. De todas formas, la cantidad de puertos de salida de ambas tarjetas es fácilmente extensible, considerando que la tarjeta de desarrollo dispone de 56 puertos sin una función específica asociada.

10.3.1. Tarjeta de desarrollo de la FPGA Spartan 3

En la figura (10.2) se aprecia la tarjeta de desarrollo diseñada mediante el software *Altium*, los bloques funcionales de esta tarjeta se describen a continuación:

- FPGA: En el diseño de esta interfaz se optó por trabajar con la FPGA *Spartan 3* modelo *XC3S400-4PQG208C*, en [57] se explica su arquitectura interna junto con la configuración de los circuitos básicos asociados a este componente, entre sus principales características destacan:
 - Gran desempeño a bajo costo.
 - 400.000 compuertas que corresponden a 8064 células lógicas. Cada célula lógica equivale a 4 look-up Table más un flip-flop tipo D.
 - Dispone de 141 pines I/O estándar para el usuario, de los cuales 62 pueden ser

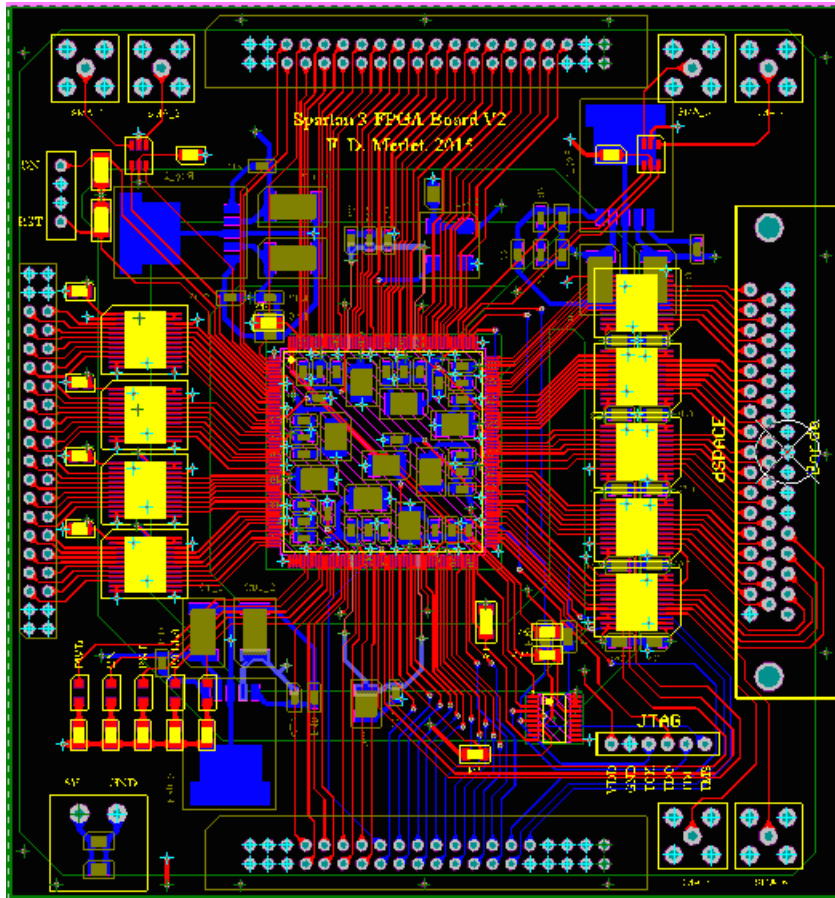


Figura 10.2: Tarjeta de desarrollo de la FPGA Spartan 3.

diferenciales.

- 4 DCM (Digital Clock Manager) para el auto calibrado, atraso, multiplicación y división de las señales de reloj.
- 896 CLB (Configurable Logic Block) cada uno contiene un look-up table para implementar elementos lógicos y de almacenamiento que pueden ser utilizados como flip-flops o latches.
- Bloques de multiplicación capaces de operar con números de 18 bits.
- ROM(Read Only Memory): El firmware del sistema desarrollado en VHDL se almacena en una memoria ROM, en este caso se optó por el modelo *XCF02SVOG20C* cuya capacidad es de 2 [Mb].
- Interfaz de programación *JTAG USB*: Para programar la tarjeta de desarrollo se utiliza el modo *Master Serial* en el que mediante un conector JTAG de 6 pines se transmite el archivo *.mcs* que contiene el programa en VHDL.
- Fuentes de alimentación: La FPGA modelo Spartan 3 se debe alimentar con 3 fuentes de tensión de 1,2 [V], 2,5 [V] y 3,3 [V], estas tensiones se obtienen utilizando reguladores de tensión. Por otro lado, en condiciones normales algunos pines de la FPGA tendrán conmutaciones de alta frecuencias y para evitar que la tensión de alimentación varíe con respecto a su referencia se utilizan condensadores de desacoplamiento.
- Comunicación con la tarjeta transmisora de fibra óptica: El principal objetivo de la

tarjeta de desarrollo es enviar los pulsos de encendido y apagado a cada IGBT del inversor NPC. Se utiliza un enlace de fibra óptica para evitar que las señales enviadas adquieran ruido electromagnético del entorno, lo que podría ocasionar un cortocircuito al encender más de 2 interruptores por fase a la vez.

- Comunicación con la plataforma *dSPACE*: Cada período de muestreo T_s la rutina de control predictivo implementada en el sistema *dSPACE* determina un conjunto de vectores, junto con sus respectivas duraciones, para que el inversor aplique en el siguiente período de muestreo. Esta información se envía a la tarjeta de desarrollo de forma paralela.
- Puertos SMA: Se dispone de 4 puertos SMA para recibir las señales externas. En el sistema actual 2 de estos puertos se utilizan para habilitar las protecciones de hardware provenientes de las tarjetas de interfaz, las que apagan el conversor en caso de falla. Además de los 4 puertos recién nombrados, también se cuenta con 2 puertos de salida cuyo objetivo es generar señales de trigger para capturar la información del osciloscopio ante determinados eventos, como cambios en la referencia. En ambos casos, se trabaja con el protocolo TTL 5 [V].
- Puertos suplementarios: La FPGA cuenta con 56 pines sin una función asociada, dichos pines se conectan a 2 puertos laterales. Para corroborar el correcto funcionamiento del firmware programado en la FPGA, las señales de interés del sistema (pulsos de disparo y alguna variables internas) se midieron utilizando uno de estos puertos laterales con el osciloscopio, de esta manera se descartaron errores en el sistema.
- Oscilador: Dado que la FPGA implementará procesos secuenciales se debe utilizar un oscilador para tener una medida temporal. En este caso se utilizó un oscilador de 100 [MHz].
- LED: La tarjeta de desarrollo posee 5 luces LED para indicar el estado del sistema.
- Botonera: Para facilitar la operación del sistema la tarjeta de desarrollo se conecta a una botonera que tiene un interruptor *ON-OFF* para dar inicio a la rutina de control y también un botón de reset.

En las próximas secciones se explican los módulos más relevantes.

Interfaz de programación JTAG

Se ha optado por programar la FPGA utilizando el modo *Master Serial JTAG* [58], en la figura (10.3) se muestra el diagrama de conexión al utilizar una memoria flash PROM. Los trazos negros corresponden a conexiones que permanecen iguales al protocolo de 2,5 [V] mientras que las líneas verdes corresponden a conexiones que se tuvieron que cambiar para trabajar con una tensión de 3,3 [V]. En este caso es necesario añadir las resistencias R_{SER} o R_{PAR} , la primera se utiliza para limitar el valor de la corriente que ingresa a los pines dedicados mientras que la segunda se utiliza para asegurar una adecuada regulación de la potencia. Por último el trazo verde entrecortado se trata de una resistencia pull-up conectada al pin *DONE*.

La función de R_{SER} es limitar la corriente que ingresa a los pines TMS, TCK y TDI, se ha elegido un valor de $R_{SER} = 100 [\Omega]$, por tanto dicha corriente queda limitada a 6,46 [mA].

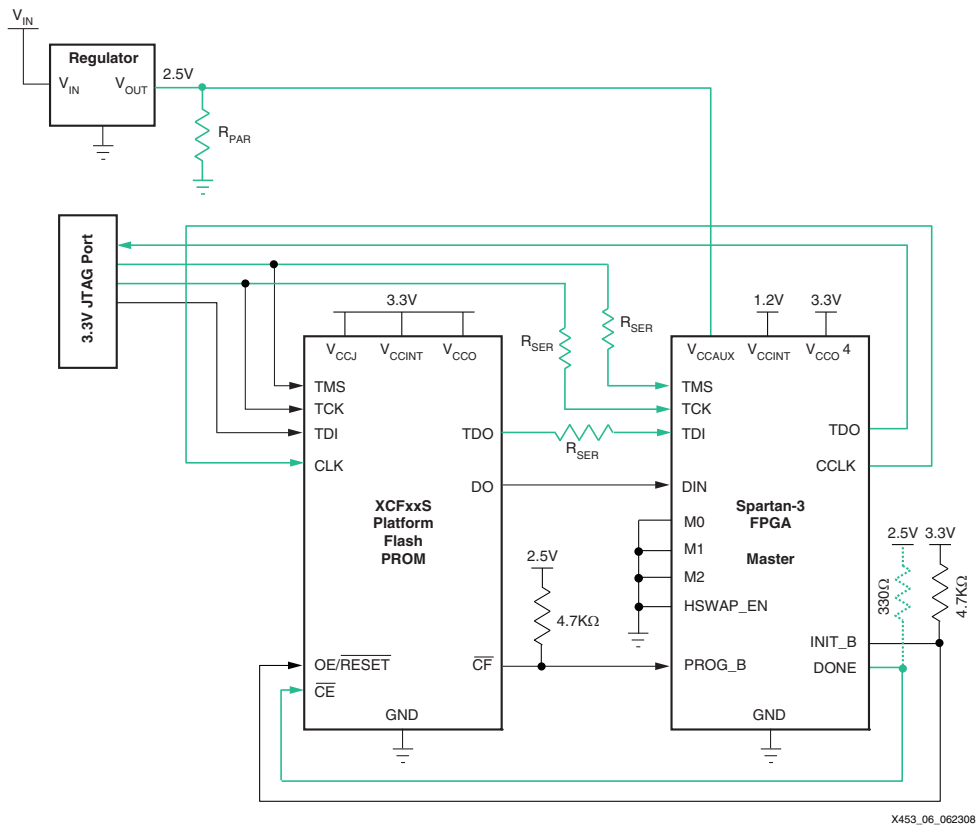


Figura 10.3: Diagrama de conexión del modo Master Serial con una plataforma flash PROM para 3,3 [V].

Una vez que el programa se ha cargado de forma correcta, se debe reiniciar la tarjeta apagando su alimentación momentáneamente. En estricto rigor, lo que se programa es la memoria ROM, por lo que cuando se genera el archivo *.mcs* se debe tomar en cuenta el tipo de arreglo para el que se creará el archivo.

Fuentes de alimentación

La FPGA Spartan 3 modelo *XC3S400-4PQG208C* requiere 3 fuentes de tensión de 1,2 [V], 2,5 [V] y 3,3 [V], además algunos componentes tienen una tensión de alimentación de 5[V]. La tabla (10.1) muestra la distribución de los pines de alimentación de la FPGA, mientras que en la figura (10.4) se aprecia la distribución espacial de cada banco de pines. Dada su alta densidad se optó por diseñar una tarjeta de 4 capas en que una de las capas centrales corresponde a un plano de potencia para distribuir los 4 niveles de tensión requeridos por todos los componentes, en la figura (10.5) se aprecia dicho plano, el polígono **A** tiene una tensión de 1,2 [V]; el **B** de 2,5 [V]; el **C** de 3,3 [V] y el **D** de 5 [V].

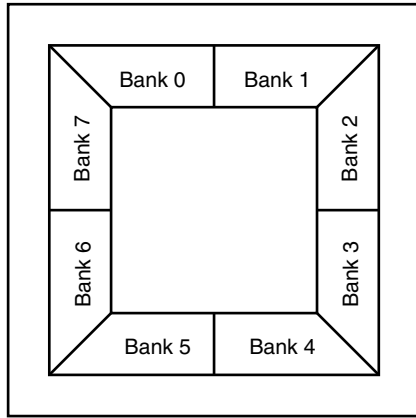


Figura 10.4: Bancos de pines presentes en la FPGA Spartan 3.

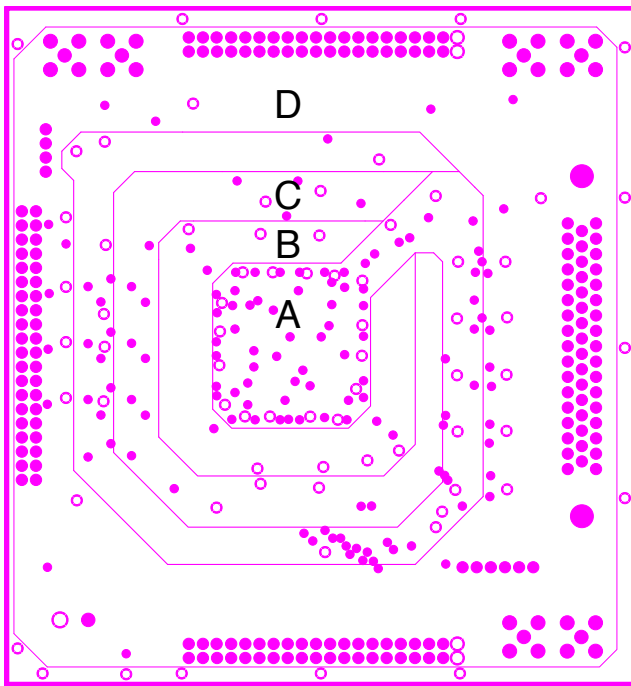


Figura 10.5: Plano de potencia utilizado.

Banco	Pin	Tensión
VCCO_0	201	3,3
VCCO_0	188	3,3
VCCO_1	177	3,3
VCCO_1	164	3,3
VCCO_2	153	3,3
VCCO_2	136	3,3
VCCO_3	127	3,3
VCCO_3	110	3,3
VCCO_4	98	3,3
VCCO_4	84	3,3
VCCO_5	73	3,3
VCCO_5	60	3,3
VCCO_6	49	3,3
VCCO_6	32	3,3
VCCO_7	23	3,3
VCCO_7	6	3,3
VCCAUX	193	2,5
VCCAUX	173	2,5
VCCAUX	142	2,5
VCCAUX	121	2,5
VCCAUX	89	2,5
VCCAUX	69	2,5
VCCAUX	38	2,5
VCCAUX	17	2,5
VCCINT	192	1,2
VCCINT	174	1,2
VCCINT	88	1,2
VCCINT	70	1,2

Tabla 10.1: Pines de conexión de los bancos de alimentación de la *Spartan 3* modelo *XC3S400-4PQG208C*.

La tarjeta tiene un conector externo de 5 [V] en la práctica se utilizó una fuente programable modelo *Rigol DP832* para alimentarla, por otro lado los 3 niveles de tensión requeridos por la FPGA se obtienen mediante el regulador de tensión LP3966ESX-ADJ, la figura (10.6) muestra su diagrama de conexión recomendado.

La elección de los condensadores C_{IN} , C_F y C_{OUT} es fundamental para asegurar la estabilidad en la operación del regulador de tensión. El valor mínimo recomendado para C_{IN} se determina utilizando la expresión $C_{IN}ESR[m\Omega]/C_{IN}[\mu F] \leq 1,5$; con respecto a C_{OUT} el mínimo valor que se requiere es 33 [μF], por otro lado, no existe un límite superior y el valor del ESR debe ser tal que $0,2 [\Omega] \leq C_{OUT} ESR \leq 5 [\Omega]$, es necesario que el condensador a la salida tenga una resistencia serie equivalente dentro de este rango para asegurar la existencia de un cero en el lazo cerrado de control (adelanto de fase). Se requiere que los condensadores cumplan las condiciones recién mencionadas en todo el rango de operación independiente de

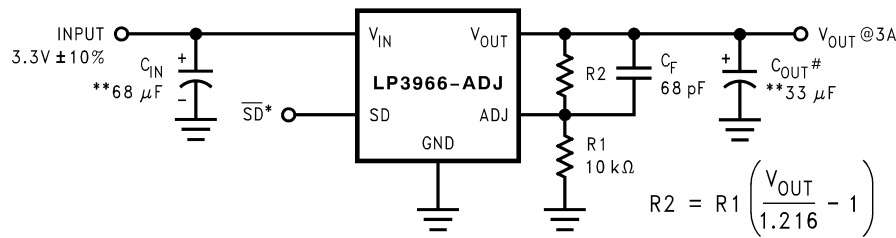


Figura 10.6: Conexión recomendada para el regulador de tensión *LP3966ESX*.

la temperatura del sistema. Es importante recalcar que al utilizar tarjetas con más de un par de capas se recomienda utilizar un sólo vias para conectar la tierra del regulador al plano interno GND.

Por otro lado se han agregado condensadores de bypass en cada uno de los bancos de alimentación para disminuir el voltaje de rizado a la salida de los reguladores de tensión, la tabla (10.2) muestra los valores de capacitancias utilizados en cada banco.

Banco	Condensadores
VCCO_0	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_1	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_2	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_3	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_4	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_5	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_6	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCO_8	$C_1 = 1 [nF]$, $C_2 = 47 [nF]$, $C_3 = 470 [nF]$ y $C_4 = 4,7 [\mu F]$
VCCAUX	$C_1 = 1 [nF]$, $C_2 = 1 [nF]$, $C_3 = 47 [nF]$, $C_4 = 470 [nF]$ y $C_5 = 4,7 [\mu F]$
VCCINT	$C_1 = 1 [nF]$, $C_2 = 1 [nF]$, $C_3 = 47 [nF]$, $C_4 = 470 [nF]$ y $C_5 = 4,7 [\mu F]$

Tabla 10.2: Condensadores de desacoplamiento utilizados en la alimentación de la FPGA Spartan 3.

Puertos de comunicación

La tarjeta de desarrollo actúa como una interfaz entre el sistema *dSPACE* y la tarjeta transmisora de fibra óptica, en cada ciclo de muestreo la rutina de control predictivo implementada en la plataforma *dS1103* determina un conjunto de vectores y sus respectivas duraciones para que sean aplicados en el próximo período de muestreo por el inversor NPC, por su parte la FPGA se encarga de gestionar estos vectores y reenviarlos a la tarjeta transmisora.

La comunicación con el sistema *dSPACE* se realiza mediante el puerto Digital I/O DSUB-50, la figura (10.7) muestra su diagrama de conexión. Algunos autores prefieren enviar el patrón de conmutación directamente a la FPGA en este caso se requieren 12 bits para cada vector, sin embargo como el inversor NPC se describe mediante 27 estados, se optó por enviar su

numeración, de esta forma sólo se requieren 5 bits. Para enviar la duración de cada vector se utilizan 16 bits, considerando que la tarjeta de desarrollo cuenta con un oscilador de $100 [MHz]$, se puede alcanzar una cuenta de 65536 ciclos, equivalentes a una duración de $655,36 [\mu s]$. Por último se envían 3 bits adicionales a la FPGA: una señal de habilitación de escritura w_e utilizada para guardar los vectores y tiempos en una lista FIFO implementada en la FPGA; un flag de falla en caso de que una protección de software se active y una señal de trigger para capturar información del osciloscopio ante cambios en la referencia. De esta forma por el momento se utilizan 24 señales digitales con un sentido unidireccional desde la plataforma *dSPACE* hacia la FPGA.

Digital I/O Connector (CP30)	Pin	Signal	Pin	Signal	Pin	Signal
	17	GND	33	IO31	50	VCC (+5 V)
	16	IO30	32	IO29	49	$\overline{INT3}$
	15	IO28	31	IO27	48	$\overline{INT2}$
	14	IO26	30	IO25	47	$\overline{INT1}$
	13	IO24	29	IO23	46	$\overline{INT0}$
	12	IO22	28	IO21	45	GND
	11	IO20	27	IO19	44	GND
	10	IO18	26	IO17	43	GND
	9	IO16	25	IO15	42	GND
	8	IO14	24	IO13	41	GND
	7	IO12	23	IO11	40	GND
	6	IO10	22	IO9	39	GND
	5	IO8	21	IO7	38	GND
	4	IO6	20	IO5	37	GND
	3	IO4	19	IO3	36	GND
	2	IO2	18	IO1	35	GND
	1	IO0			34	GND

Figura 10.7: Pines del puerto IO D Sub 50 de la plataforma *dS1103*.

Por otro lado, la FPGA trabaja con el protocolo *LVTTL* (Low Voltage Transistor-Transistor Logic), es decir, un valor lógico verdadero equivale a $3,3 [V]$, mientras que el sistema *dSPACE* trabaja con el estándar *TTL* en el que un nivel lógico verdadero es igual a $5 [V]$. Para adecuar los niveles de tensiones se utiliza el buffer bidireccional *TC74LVX4245FSELFC*-ND el cual posee 8 entradas, por lo que se utilizan 4 para el enlace *dSPACE - FPGA*, las señales *IO0* a *IO23* se transmiten con 3 buffers de manera unidireccional, mientras que las señales *IO24* a *IO31* son bidireccionales. Cabe recalcar que a las señales de habilitación se les asignaron pines de tipo *GCLK* de esta forma se logra una mejor respuesta temporal, considerando que estas señales tienen una elevada frecuencia de conmutación.

Puertos SMA, indicadores LED y oscilador

Esta tarjeta cuenta con 4 puertos de entrada y 2 de salida en formato SMA. La función de los puertos de entrada es leer las señales de falla externas de las tarjetas de interfaz, mientras que los puertos de salida se utilizan para generar señales de trigger externo. Esta opción fue implementada para facilitar la toma de datos con el osciloscopio, de esta forma se pueden capturar las variables eléctricas en un momento determinado. Con el fin de limitar la corriente de los pines conectados a los puertos SMA y como se indica en la guía de diseño [59], los puertos SMA se conectan mediante un buffer dual modelo *SN74LVC2G34DBVR*.

Además se agregaron 5 señales LEDs para indicar algunos eventos, una de ellas quedó libre por el momento:

- PWD: Indica si la tarjeta de desarrollo esta siendo alimentada.
- ON: Corresponde al interruptor de encendido de la botonera.
- RST: Corresponde al interruptor de reset presente en la botonera.
- FALLA: Este indicador se enciende en caso de que alguna protección de hardware o software se active. En caso de falla se apagan todos los IGBTs.

La FPGA cuenta con 8 puertos de tipo *GCLK* utilizados para recibir señales de reloj. En este caso se utiliza un sólo oscilador de 100 [MHz] para los procesos secuenciales implementados en la FPGA.

10.3.2. Tarjeta transmisora de fibra óptica

En la figura (10.8) se aprecia la tarjeta transmisora diseñada en *Altium*, el transductor óptico utilizado fue el modelo HFBR-1531Z. Se optó por utilizar un conector vertical dado el poco espacio del que se dispone para esta tarjeta, además el modelo elegido tiene un enlace de 5 [MBd] el que se puede utilizar para distancias de hasta 30 [m]. El circuito utilizado para cada pin se muestra en la figura (10.9), la señal enviada por la FPGA pasa por un buffer de tipo schmitt-trigger modelo *SN74LVC1G17DBVRE4* de esta forma se previene que cambie su valor de manera errónea debido al ruido electromagnético. La salida de este buffer pasa por un transistor MOSFET cuyo emisor esta conectado al transmisor de fibra óptica.

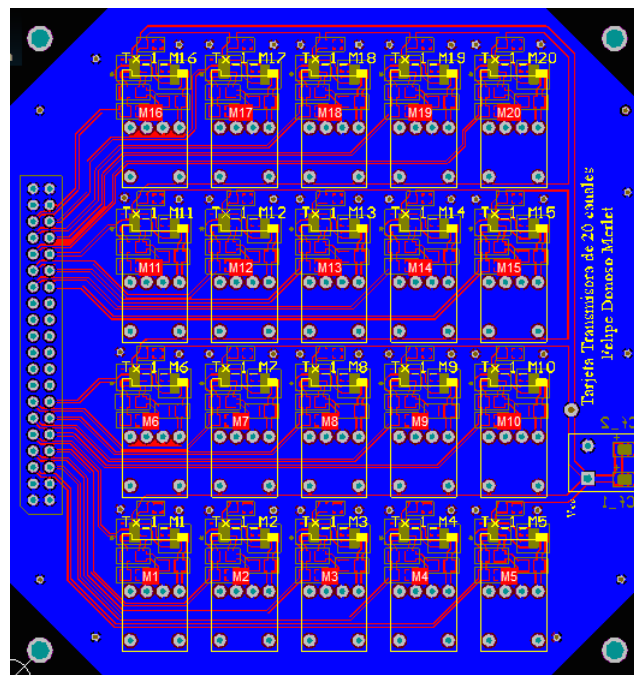


Figura 10.8: Tarjeta transmisora de pulsos de fibra óptica.

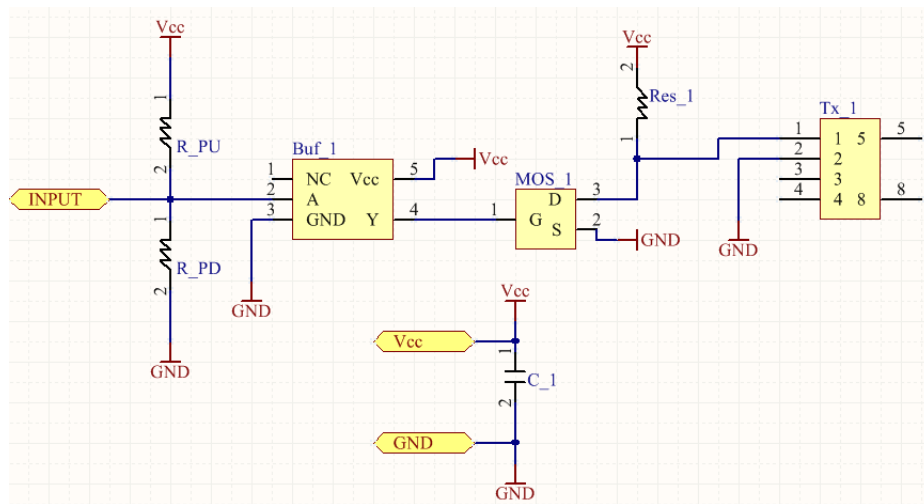


Figura 10.9: Circuito implementado para cada señal de disparo enviada por la FPGA.

10.4. Simulación en Plecs

La rutina de control se realiza mediante un C-Script, este enfoque tiene la ventaja de que el código implementado en Plecs se podrá trasladar fácilmente a la plataforma dSPACE, por otro lado la gestión del envío de los vectores al inversor NPC se facilita gracias a algunas macros implementadas en Plecs. En cada periodo de muestreo T_s , una vez que se obtiene el conjunto de vectores junto con sus respectivos tiempos estos se deben enviar al inversor, en el arreglo experimental esta función la realiza la FPGA mediante listas tipo FIFO para los vectores y tiempos, mientras que en el caso de Plecs se utilizan las macros $IsSampleHit()$, $NextSampleHit$ y $CurrentTime$ para gestionar el envío de vectores, en la tabla (10.3) se describe la función de estas macros.

Macro	Tipo	Acceso	Descripción
CurrentTime	double	R	Entrega el tiempo actual de simulación.
IsSampleHit(int i)	int	R	Entrega 1 si se ha alcanzado el tiempo i-esimo en caso contrario entrega 0.
NextSampleHit	double	R/W	Especifica el próximo tiempo de ejecución de un bloque.

Tabla 10.3: Macros utilizadas en la simulación del sistema mediante Plecs.

La estructura del código utilizado es la siguiente:

```

if (IsSampleHit(0))
{
/* Rutina de control M2PC ejecutado cada Ts=100 [us] */
}

if (IsSampleHit(0) || (IsSampleHit(1) && CurrentTime >= NextSampleHit))
{
    int sequence;

```

```

do
{
    sequence = sw_sec[sw_index];
    NextSampleHit = sw_tiempo[sw_index++];
}
while (NextSampleHit <= CurrentTime);

S_A = vec_out[v_num[r_min][sequence]][0];
S_B = vec_out[v_num[r_min][sequence]][1];
S_C = vec_out[v_num[r_min][sequence]][2];
}

```

La rutina de control se implementa en el primer bloque if, esta sección se ejecuta cada vez que se inicia un nuevo periodo de simulación mediante la macro *IsSampleHit(int n)* la que entrega verdadero si el tiempo de simulación n-ésimo es alcanzado por el tiempo actual, en este caso esta sección se ejecuta cada período de muestreo. Mientras que el segundo bloque se encarga de enviar los vectores al NPC cada vez que se alcanza la duración del vector actual mediante la expresión lógica (*IsSampleHit(1) && CurrentTime >= NextSampleHit*) la que arroja verdadero cada vez que un vector alcance su duración o cuando termina un periodo de muestreo T_s , de esta forma no es necesario enviar la duración exacta del última vector, ya que este se aplica hasta que se alcancen los $100[\mu s]$ del periodo actual. Para controlar la duración de aplicación de cada vector cuando se ingresa al segundo bloque se utiliza un while para esperar la duración del vector actual, una vez que se deja de cumplir la condición del while (*NextSampleHit <= CurrentTime*) se envía el siguiente vector y se actualiza la duración de su tiempo. La función de las 3 últimas instrucciones es actualizar el estado de conmutación de cada fase del inversor NPC, el valor de S_A, S_B y S_C puede ser $-1, 0, 1$ donde S_X=1 corresponde al estado de conmutación P en que los 2 interruptores superiores de la fase X conducen; S_X=0 designa el estado de conmutación 0 en que los 2 interruptores intermedios conducen y S_X=-1 corresponde al estado N en que los 2 interruptores inferiores conducen. El arreglo `vec_out[][]` indica el estado de conmutación de todos los vectores válidos del inversor, mientras que el arreglo `v_num[][]` se utiliza para obtener la numeración del vector seleccionado que depende de la región con error mínimo y del orden de la secuencia, de esta manera se pueden aplicar los vectores de la región seleccionada de forma ordenada a través de la variable `sequence`, se ha optado por aplicar los vectores mediante un patrón doble simétrico.

10.5. Secuencia de encendido y apagado del sistema experimental

Para garantizar una operación segura del sistema es necesario seguir una secuencia de encendido y apagado determinada, de esta forma se evita que más de 2 interruptores de una misma fase conduzcan a la vez lo que conllevaría a la destrucción de uno o más IGBTs. El orden de encendido se describe a continuación, se asume que inicialmente **ninguna** tarjeta se encuentra energizada:

1. Alimentación de la tarjeta de desarrollo, la tarjeta transmisora de fibra óptica y las tarjetas de interfaz. Cabe recalcar que al alimentar la tarjeta de desarrollo, todos los pines de salida de la FPGA adquieren un valor verdadero lo que es equivalente a enviar un pulso de encendido a todos los interruptores, si el DC-Link junto con los circuitos de control y la tarjeta receptora se encuentran energizados se produce un cortocircuito entre los terminales de cada condensador, esta situación es altamente riesgosa por lo que se deben tomar las precauciones para que no ocurra baja ninguna circunstancia.
2. Alimentación de la tarjeta receptora y del inversor NPC.
3. Compilación y traspaso de la rutina de control a la plataforma dSPACE dS1103, para ello se utiliza la aplicación *Command Prompt for dSPACE RCP and HIL 2014-B*. En la consola es necesario cambiar el directorio de trabajo mediante el comando *cd* a la ubicación del código C de la rutina de control, posteriormente dicho programa se compila y traspassa a la plataforma dSPACE utilizando el comando *down1103*. En este punto es necesario que el DC-Link y la red eléctrica se encuentran desenergizados, ya que al inicio del programa se determina el offset de los canales ADC. La botonera de la FPGA debe estar apagada.
4. Energización del DC-Link y la red eléctrica a sus valores nominales utilizados para las pruebas experimentales.
5. Inicio de la rutina de control mediante la botonera.

Mientras que para apagar el sistema experimental los pasos son los siguientes:

1. Apagar la tarjeta de desarrollo mediante la botonera, en caso de que ocurra alguna falla de hardware o software también es necesario apagar la FPGA mediante la botonera.
2. Desenergizar el DC-Link y la red eléctrica. Para descargar los condensadores se puede apagar el tablero de alimentación y activar momentaneamente la rutina de control.
3. Desenergizar la tarjeta receptora de fibra óptica y el circuito de control del inversor.
4. Desenergizar la tarjeta transmisora de fibra óptica, la tarjeta de desarrollo y las tarjetas de interfaz.

10.6. Control predictivo modulado

En el capítulo 3 se explica como calcular los ciclos de trabajo de los vectores que conforman a la región R_j . Por otro lado, calcular los ciclos de trabajo d_{ij} como se detalla anteriormente es equivalente a optimizar el siguiente problema de minimización (10.11).

$$\begin{aligned} \min_{d_j} \quad & \sum_{i \in R_j} d_{ij}^2 g_{ij} \\ \text{s.a.} \quad & \sum_{i \in R_j} d_{ij} = 1 \\ & 0 \leq d_{ij} \leq 1 \end{aligned} \tag{10.11}$$

La función objetivo $\hat{G}_j = \sum_{i \in R_j} d_{ij}^2 g_{ij}$ corresponde a una aproximación del error entre el valor futuro y la referencia de las variables bajo control, cuando se aplica el conjunto de vectores pertenecientes a la región R_j . Para derivar esta aproximación se considera un sistema lineal y discreto, como se muestra en la ecuación (10.12). En este caso se aplica la entrada u_k durante todo el período de muestreo T_s .

$$x_{k+1} = x_k + (Ax_k + Bu_k)T_s \tag{10.12}$$

Sin embargo, al aplicar un conjunto de vectores cada T_s el valor futuro x_{k+1} se puede aproximar mediante la ecuación (10.13). Donde u_{ij} corresponde al vector i -ésimo de la región R_j , en este caso su tiempo de aplicación se calcula como $d_{ij}T_s$. Al utilizar esta expresión se asume que todos los vectores se aplican en el mismo instante inicial, lo anterior tiene validez dado el tiempo de muestreo utilizado.

$$x_{k+1} = x_k + \sum_{i \in R_j} (Ax_k + Bu_{ij})T_s d_{ij} \tag{10.13}$$

Considerando la expresión (10.13), el error al final de cada período de muestreo se calcula como en (10.14), en este caso se utiliza la norma euclidiana al cuadrado.

$$G_j = \|x_{k+1} - x_{k+1}^*\|^2 \tag{10.14}$$

Al reemplazar (10.13) en (10.14), el error al final de cada período de muestreo se puede calcular como en (10.17).

$$G_j = \left\| x_k + \sum_{i \in R_j} (Ax_k + Bu_{ij})T_s d_{ij} - x_{k+1}^* \right\|^2 \tag{10.15}$$

$$G_j = \left\| (x_k - x_{k+1}^*) \sum_{i \in R_j} d_{ij} + \sum_{i \in R_j} (Ax_k + Bu_{ij})T_s d_{ij} \right\|^2 \tag{10.16}$$

$$G_j = \left\| \sum_{i \in R_j} ((x_k - x_{k+1}^*) + (Ax_k + Bu_{ij})T_s) d_{ij} \right\|^2 \tag{10.17}$$

Para simplificar la notación se define la variable $a_{ij} = (x_k - x_{k+1}^*) + (Ax_k + Bu_{ij})T_s$. Por tanto, el error se puede expresar como en la ecuación (10.18).

$$G_j = \left\| \sum_{i \in R_j} a_{ij} d_{ij} \right\|^2 \quad (10.18)$$

Al expandir (10.18) se obtiene la expresión (10.19).

$$G_j = \sum_{i \in R_j} \|a_{ij} d_{ij}\|^2 + \sum_{i \neq l} \langle a_{ij} d_{ij}, a_{lj} d_{lj} \rangle \quad (10.19)$$

Al aplicar la desigualdad de Cauchy-Schwarz en la segunda sumatoria se puede acotar el error como en (10.20).

$$G_j \leq \sum_{i \in R_j} \|a_{ij} d_{ij}\|^2 + \sum_{i \neq l} \|a_{ij} d_{ij}\| \|a_{lj} d_{lj}\| \quad (10.20)$$

En la expresión (10.20) la segunda sumatoria es similar a la primera, para acotar G_j se reemplaza el argumento de esta sumatoria con el máximo al cuadrado de estas 2 normas, es decir con $(\max\{\|a_{ij} d_{ij}\|, \|a_{lj} d_{lj}\|\})^2$. Por lo tanto, algunos términos de la primera sumatoria se adicionando más de una vez, a lo sumo algunos términos se están sumando 3 veces. Por otro lado, el error al aplicar el vector u_{ij} durante todo un período de muestreo se calcula como $g_{ij} = \|a_{ij}\|^2$, es decir la norma al cuadrado de a_{ij} corresponde al error utilizado en la estrategia FS-MPC.

La aproximación utilizada para calcular el error G_j se muestra en (10.21). Nótese que minimizar esta expresión es equivalente a minimizar la función objetivo de (10.11).

$$G_j \leq 3 \sum_{i \in R_j} \|a_{ij} d_{ij}\|^2 \quad (10.21)$$