

Tabla de Contenido

	Página
Índice de Tablas	ix
Índice de Ilustraciones	x
Introducción	1
1. TECNOLOGÍA UTILIZADA	4
1.1. FPGA: <i>Field Programmable Gate Array</i>	4
1.2. Tarjeta de Desarrollo NEXYS4 de DIGILENT	7
2. DISEÑO E IMPLEMENTACIÓN EN HARDWARE DE LA CORRELACIÓN UTILIZANDO FPGA	8
2.1. Metodología de Diseño	8
2.2. Diseño e Implementación de la Correlación Cruzada	10
2.2.1. Consideraciones en relación al Diseño de la Correlación Cruzada . . .	10
2.2.2. Diagrama en Bloques Simplificado del Diseño del <i>Correlator</i>	11
2.2.3. Diagrama de Flujo Simplificado del Controlador del <i>Correlator</i>	15
2.2.4. Diagrama en Bloques Detallado del Diseño del <i>Correlator</i>	15
2.2.5. Diagrama de Flujo Detallado del Controlador del <i>Correlator</i>	18
2.2.6. Diseño e Implementación Final del <i>Correlator</i>	18
2.3. Resultados Obtenidos para la Correlación Cruzada	22
2.4. Resultados de la Implementación del <i>Correlator</i> en el FPGA	29
3. DISEÑO E IMPLEMENTACIÓN EN HARDWARE DE LA CORRENTROPÍA UTILIZANDO FPGA	30
3.1. Metodología de Diseño	30
3.2. Diseño e Implementación de la Correntropía Cruzada	30
3.2.1. Consideraciones en relación al Diseño de la Correntropía Cruzada . .	30
3.2.2. Diagrama en Bloques Simplificado del Diseño del <i>CorrentropyTor</i> . .	31
3.2.3. Diagrama de Flujo Simplificado del Controlador del <i>CorrentropyTor</i> .	33
3.2.4. Diagrama en Bloques Detallado del Diseño del <i>CorrentropyTor</i>	35
3.2.5. Diagrama de Flujo Detallado del Controlador del <i>CorrentropyTor</i> . .	37
3.2.6. Diseño e Implementación Final del <i>CorrentropyTor</i>	38
3.3. Resultados Obtenidos para la Correntropía Cruzada	43
3.3.1. Comentarios Previos	43

3.3.2.	Presentación y Análisis de los Resultados del Diseño del <i>Correntropy-Tor</i> , utilizando entradas sinusoidales	45
3.3.3.	Presentación y Análisis de los Resultados del Diseño del <i>Correntropy-Tor</i> , utilizando entradas no sinusoidales	51
3.4.	Resultados de la Implementación del <i>CorrentropyTor</i> en el FPGA	62
4.	ANÁLISIS COMPARATIVO DE LOS RESULTADOS OBTENIDOS PARA LA CORRELACIÓN Y LA CORRENTROPÍA CRUZADA IMPLEMENTADAS EN FPGA	64
	Conclusiones y Trabajo Futuro	65
	Glosario	67
	Bibliografía	70
	Anexos	72
	Anexo A.1: Tarjeta de Desarrollo Nexys4™ de DIGILENT	73
	Anexo A.2: Detalle Entradas/Salidas Módulo: “Fast Fourier Transform LogiCORE IP Xilinx v9.0”	75
	Anexo A.3: Detalle Entradas/Salidas Módulo: “Complex Multiplier LogiCORE IP Xilinx v6.0”	77
	Anexo A.4: Diagramas de Flujo Detallados del Controlador del <i>Correlator</i>	78
	Anexo A.5: Resultados del Diseño del <i>Correlator</i> para Entradas Sinusoidales	82
	Anexo A.6: Detalle Entradas/Salidas Módulo: “CORDIC LogiCORE IP Xilinx v6.0”	87
	Anexo A.7: Diagramas de Flujo Detallados del Controlador del <i>CorrentropyTor</i>	88
	Anexo A.8: Resultados del Diseño del <i>CorrentropyTor</i> para Entradas Sinusoidales	92
	Anexo A.9: Implementación de la Función Correntropía en MATLAB .	115
	Anexo A.10: Representación de Números Binarios en Formato Punto-Fijo	116
	Anexo A.11: Conversión de un Diagrama de Flujo a un Diagrama MDS	117
	Anexo A.12: Programa en SystemVerilog del CONTROLLER del <i>CorrentropyTor</i>	124

Índice de Tablas

3.1. Definición de Parámetros para mostrar los Resultados de la Correntropía . . .	46
4.1. Parámetros Iniciales Análisis Comparativo	64
4.2. Análisis Comparativo de Latencias para la Correlación	65
4.3. Análisis Comparativo de Latencias para la Correntropía	65
A1. Ejemplo de Números Binarios con Formato 1Q7 o <i>fix_7</i>	116
A2. Ejemplo de Números Binarios con Formato 2Q6 o <i>fix_6</i>	116

Índice de Ilustraciones

1.1. Esquema y Aplicación de un PLA	4
1.2. Diagrama Esquemático de un CPLD	5
1.3. Diagrama Esquemático de un FPGA	6
1.4. CLB: <i>Configurable Logic Block</i>	6
2.1. Diagrama en Bloques Diseño Inicial de un Sistema Digital	9
2.2. Comparación Multiplicaciones en la Correlación, tomada de [26]	11
2.3. Primer Diagrama en Bloques Simplificado del <i>Correlator</i>	12
2.4. Diagrama en Bloques FFT LogiCORE IP v9.0 [32]	13
2.5. Diagrama en Bloques módulo COMPLEX MULTIPLIER de Xilinx [31]	14
2.6. Diagrama de Flujo Simplificado del CONTROLLER del <i>Correlator</i>	16
2.7. Segundo Diagrama en Bloques del <i>Correlator</i>	17
2.8. Diagrama MDS del Controlador del <i>Correlator</i> (1 de 2)	19
2.9. Diagrama MDS del Controlador del <i>Correlator</i> (2 de 2)	20
2.10. Módulos del Diseño del <i>Correlator</i> ingresados en VIVADO	21
2.11. Flujo Diseño–Implementación en VIVADO	21
2.12. Ventana <i>Flow Navigator</i> de VIVADO	22
2.13. Resultado para el <i>Correlator</i> : entradas iguales de 8 bits y 256 muestras ($FREQ1 = 5, 2Hz$, $FREQ2 = 0Hz$)	24
2.14. Resultado para el <i>Correlator</i> : entradas iguales de 16 bits y 256 muestras ($FREQ1 = 5, 2Hz$, $FREQ2 = 0Hz$)	25
2.15. Magnitud del Espectro de Frecuencia de la Correlación (salida FPGA)	25
2.16. Resultado para el <i>Correlator</i> para señal de Husos de Sueño	26
2.17. Magnitud del Espectro de Frecuencia de la Correlación de un HS	26
2.18. Resultado para el <i>Correlator</i> para señal de una Curva de Luz Sintética	27
2.19. Resultado para el <i>Correlator</i> para señal de una Curva de Luz Sintética con la media descontada	28
2.20. Magnitud del Espectro de Frecuencia de la Correlación de una Curva de Luz Sintética (Figura 2.18)	28
2.21. Nivel de ocupación del Diseño del <i>Correlator</i> en el FPGA	29
3.1. Primer Diagrama en Bloques Simplificado del <i>CorrentropyTor</i>	31
3.2. Diagrama en Bloques CORDIC LogiCORE IP v6.0 [35]	32
3.3. Diagrama de Flujo Simplificado del CONTROLLER del <i>CorrentropyTor</i>	34
3.4. Diagrama en Bloques Detallado del <i>CorrentropyTor</i>	36
3.5. Diagrama MDS del Diseño del Controlador del <i>CorrentropyTor</i> (1 de 3)	39
3.6. Diagrama MDS del Diseño del Controlador del <i>CorrentropyTor</i> (2 de 3)	40

3.7.	Diagrama MDS del Diseño del Controlador del <i>CorrentropyTor</i> (3 de 3) . . .	41
3.8.	Módulos del Diseño del <i>CorrentropyTor</i> ingresados en VIVADO	42
3.9.	Salida 4 del <i>CorrentropyTor</i> según Tabla 3.1	47
3.10.	Salida 4 del <i>CorrentropyTor</i> según Tabla 3.1 con la media descontada	48
3.11.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 4, Figura 3.9)	48
3.12.	Salida 5 del <i>CorrentropyTor</i> según Tabla 3.1	49
3.13.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 5, Figura 3.12)	50
3.14.	Salida 6 del <i>CorrentropyTor</i> según Tabla 3.1	50
3.15.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 6, Figura 3.14)	51
3.16.	Resultado del <i>CorrentropyTor</i> para un Huso de Sueño con $\sigma = 0,90$	52
3.17.	Resultado del <i>CorrentropyTor</i> para un Huso de Sueño con $\sigma = 0,90$ y restada la media	53
3.18.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.16)	53
3.19.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.17)	54
3.20.	Resultado del <i>CorrentropyTor</i> para un Huso de Sueño con $\sigma = 0,36$	55
3.21.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.20)	55
3.22.	Resultado del <i>CorrentropyTor</i> para un Huso de Sueño con $\sigma = 0,18$	56
3.23.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.22)	56
3.24.	Salida del <i>CorrentropyTor</i> para Curva de Luz con $\sigma = 0,80$	57
3.25.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.24)	58
3.26.	Salida del <i>CorrentropyTor</i> para Curva de Luz con $\sigma = 0,80$ y media descontada	58
3.27.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.26)	59
3.28.	Salida del <i>CorrentropyTor</i> para Curva de Luz con $\sigma = 0,32$	60
3.29.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.28)	60
3.30.	Salida del <i>CorrentropyTor</i> para Curva de Luz con $\sigma = 0,16$	61
3.31.	Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Figura 3.30)	61
3.32.	Nivel de Ocupación del Diseño del <i>CorrentropyTor</i> en el FPGA	62
3.33.	Utilización de Recursos y Disipación de Energía del FPGA entregados por VIVADO [29]	63
A1.	Diagrama de Flujo Detallado del Controlador del <i>Correlator</i> (1 de 4)	78
A2.	Diagrama de Flujo Detallado del Controlador del <i>Correlator</i> (2 de 4)	79
A3.	Diagrama de Flujo Detallado del Controlador del <i>Correlator</i> (3 de 4)	80
A4.	Diagrama de Flujo Detallado del Controlador del <i>Correlator</i> (4 de 4)	81
A5.	Salida <i>Correlator</i> : entradas iguales ($FREQ1 = 5,2Hz, FREQ2 = 0Hz$) de 16 bits y 1024 muestras	82

A6. Salida <i>Correlator</i> : entradas iguales ($FREQ1 = 2,6Hz$, $FREQ2 = 0Hz$) de 16 bits y 1024 muestras	83
A7. Salida <i>Correlator</i> : entradas diferentes (entrada A: $FREQ1 = 2,6Hz$ y $FREQ2 = 0Hz$, entrada B: $FREQ1 = 5,2Hz$ y $FREQ2 = 0Hz$) de 16 bits y 1024 muestras	84
A8. Salida <i>Correlator</i> : entradas iguales de dos frecuencias diferentes (entradas A y B: $FREQ1 = 2,6Hz$ y $FREQ2 = 23,2Hz$) de 16 bits y 1024 muestras	85
A9. Salida <i>Correlator</i> : entradas diferentes de dos frecuencias diferentes (entrada A: $FREQ1 = 2,6Hz$ y $FREQ2 = 23,2Hz$, entrada B: $FREQ1 = 5,2Hz$ y $FREQ2 = 46,4Hz$) de 16 bits y 1024 muestras	86
A10. Diagrama de Flujo Detallado del Controlador del <i>CorrentropyTor</i> (1 de 4)	88
A11. Diagrama de Flujo Detallado del Controlador del <i>CorrentropyTor</i> (2 de 4)	89
A12. Diagrama de Flujo Detallado del Controlador del <i>CorrentropyTor</i> (3 de 4)	90
A13. Diagrama de Flujo Detallado del Controlador del <i>CorrentropyTor</i> (4 de 4)	91
A14. Salida 1 del <i>CorrentropyTor</i> según Tabla 3.1	92
A15. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 1, figura A14)	93
A16. Salida 1 del <i>CorrentropyTor</i> según Tabla 3.1 con la media descontada para salida FPGA de la Correntropía	94
A17. Salida 2 del <i>CorrentropyTor</i> según Tabla 3.1	94
A18. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 2, figura A17)	95
A19. Salida 3 del <i>CorrentropyTor</i> según Tabla 3.1	96
A20. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 3, figura A19)	96
A21. Salida 7 del <i>CorrentropyTor</i> según Tabla 3.1	97
A22. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 7, figura A21)	98
A23. Salida 7 del <i>CorrentropyTor</i> según Tabla 3.1 con la media descontada para salida FPGA de la Correntropía	99
A24. Salida 8 del <i>CorrentropyTor</i> según Tabla 3.1	100
A25. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 8, figura A24)	100
A26. Salida 9 del <i>CorrentropyTor</i> según Tabla 3.1	101
A27. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 9, figura A26)	102
A28. Salida 10 del <i>CorrentropyTor</i> según Tabla 3.1	103
A29. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 10, figura A28)	103
A30. Salida 10 del <i>CorrentropyTor</i> según Tabla 3.1 con la media descontada para salida FPGA de la Correntropía	104
A31. Salida 11 del <i>CorrentropyTor</i> según Tabla 3.1	105
A32. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 11, figura A31)	105
A33. Salida 12 del <i>CorrentropyTor</i> según Tabla 3.1	106
A34. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 12, figura A33)	107
A35. Salida 13 del <i>CorrentropyTor</i> según Tabla 3.1	108

A36. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 13, figura A35)	108
A37. Salida 13 del <i>CorrentropyTor</i> según Tabla 3.1 con la media descontada para salida FPGA de la Correntropía	109
A38. Salida 14 del <i>CorrentropyTor</i> según Tabla 3.1	110
A39. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 14, figura A38)	110
A40. Salida 15 del <i>CorrentropyTor</i> según Tabla 3.1	111
A41. Magnitud del Espectro de Frecuencia de la Correntropía (salida FPGA de la Salida 15, figura A38)	112
A42. Salida 16 del <i>CorrentropyTor</i> según Tabla 3.1	113
A43. Salida 17 del <i>CorrentropyTor</i> según Tabla 3.1	113
A44. Salida 18 del <i>CorrentropyTor</i> según Tabla 3.1	114
A45. Ejemplo Simbología utilizada en el Diagrama MDS	117
A46. Ejemplo Simbología utilizada en el Diagrama MDS	118
A47. Ejemplo 1 de Conversión Bloques de Proceso a Diagrama MDS	118
A48. Ejemplo 2 de Conversión Bloques de Proceso a Diagrama MDS	119
A49. Caminos de Decisión	119
A50. Múltiples Caminos de Decisión	120
A51. Diagramas de Flujo y MDS con dos Entradas Asíncronas	120
A52. Diagrama de Flujo y MDS con dos Entradas Asíncronas sin <i>Carreras Críticas</i>	121
A53. Especificación de una Salida Incondicional	121
A54. Especificación de una Salida Condicional	122
A55. Salida Incondicional con una Dependencia del Tiempo de Duración de una Entrada	122
A56. Salida Condicional con una Dependencia del Tiempo de Duración de una Entrada	123