



**UNIVERSIDAD DE CHILE
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS
DEPARTAMENTO INGENIERÍA ELÉCTRICA**

**DISEÑO DE UN SISTEMA DE PROCESAMIENTO PARA
CORRELACIÓN Y ESPECTROMETRÍA EN RADIOASTRONOMÍA,
BASADO EN ASIC Y FPGA**

MEMORIA PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELECTRICISTA

MAURICIO ANDRÉS CUEVAS SALVATIERRA

PROFESOR GUÍA:

ALEJANDRO EHRENFELD GARCIA

MIEMBROS DE LA COMISIÓN:

ALEJANDRO SAEZ MADAIN

FAUSTO MENA MENA

SANTIAGO de CHILE

2010

RESUMEN DE LA MEMORIA
PARA OPTAR AL TÍTULO DE
INGENIERO CIVIL ELECTRICISTA
POR: MAURICIO CUEVAS SALVATIERRA
FECHA: NOVIEMBRE 2010
PROFESOR GUÍA: Sr. ALEJANDRO EHRENFELD GARCIA

“DISEÑO DE UN SISTEMA DE PROCESAMIENTO PARA CORRELACIÓN Y ESPECTROMETRÍA EN RADIOASTRONOMÍA, BASADO EN ASIC Y FPGA”

Este trabajo forma parte del proyecto “*A radio interferometer design and construction, for know-how acquisition, training, and teaching experiences design, at the Electrical Engineering Department of the University of Chile*”, el cual cuenta con financiamiento del Fondo ALMA – CONICYT. Este proyecto tiene el objetivo de diseñar, construir e instalar un interferómetro de dos antenas para fines de docencia en el Departamento de Ingeniería Eléctrica (DIE) de la Universidad de Chile. Se contempla la instalación de dos receptores de señales radioastronómicas, diseño y construcción de un circuito analógico que traslada en frecuencia las señales recibidas, conversor analógico digital de dos canales que digitaliza la información a una alta tasa de muestreo, un circuito digital que realiza el proceso de *correlación* y finalmente un *software* que se encargará del post proceso de la información, lo que incluye el cálculo de una FFT (*Fast Fourier Transform*) para obtener una Función de Visibilidad.

El objetivo general del presente trabajo de título es el diseño del circuito digital que albergará el *Correlacionador* de este Interferómetro. Los objetivos específicos que involucra esta labor son: el diseño del esquemático detallado del circuito digital y el diseño de su correspondiente circuito impreso en cuatro capas (*Printed Circuit Board - PCB*); la configuración de cinco FPGA (*Field Programmable Gate Array*) incluidas en el circuito, en un lenguaje de descripción de Hardware. Como elemento fundamental del diseño se incluyeron cuatro ASIC (*Application-Specific Integrated Circuit*) donados por ALMA (*Atacama Large Milimetric Array*) que realizan los cálculos para la correlación, lo que implicó el estudio acabado de su funcionamiento.

Como resultado del proceso de diseño se logró confeccionar una primera versión del PCB de cuatro capas. Esta será validada y luego construida, etapas que exceden los alcances del presente trabajo de título. Además se diseñó un sistema de control y monitoreo del proceso de correlación y de etapas de entrada y de salida, mediante configuraciones en cada una de las cinco FPGAs. Las “personalidades” de estos dispositivos configurables fueron verificadas mediante simulaciones, las cuales arrojaron resultados apropiados. Además se comprobó que las implementaciones son factibles en cada circuito configurable, mediante el cálculo de ocupancias y frecuencias máximas.

El trabajo que queda por hacer es la validación del diseño de esquemático y PCB. Luego implementar el diseño y someterlo a pruebas básicas. Finalmente configurar los dispositivos programables que contiene y probar las personalidades diseñadas. Como aporte a este proceso posterior, todos los resultados experimentales, fuentes y originales de diseño de este trabajo de título se han ordenado y almacenado en un disco compacto.

POR LA PRESENCIA INCONDICIONAL Y EL APOYO INCANSABLE,
A TODA MI FAMILIA.

Agradecimientos

Quisiera entregar mi completa gratitud a los tres personajes que durante toda esta primera fase de mi vida han vivido por mí y mi hermano, gracias a mis padres y abuelita. Gracias por su apoyo y cariño que nunca flaqueó, pero sobre todo por la fe que siempre tuvieron en mí en cada una de las mis decisiones. Gracias Familia.

También quiero agradecer a los miembros de la comisión examinadora de mi título de ingeniero: a mi profesor guía, don Alejandro Ehrenfeld, que por más de un año me apoyó y transmitió ánimos para seguir trabajando con fuerza en este tema de memoria. A mi profesor co-guía, don Alejandro Saez, que con sus sabios consejos, grandes aportes y su valioso tiempo permitió que comprendiera como seguir avanzando cuando no encontraba solución. A mi profesor integrante, don Patricio Mena, que entregó constructivas correcciones para la confección de este documento. Agradecer también a don Ricardo Finger por su tiempo y sus animadas explicaciones de los diferentes conceptos en relación a este tema de memoria.

Aprovecho agradecer a los numerosos amigos, tan dentro como fuera de la escuela, que a pesar de los años y quizás de la lejanía siempre estuvieron preocupados y atentos de las etapas que iba superando en el transcurso de estos años de estudios. Gracias Luis, Fabián, Gabriel, Leo, Jaime, Raúl, Gonzalo, Pedro y Jorge, porque aunque no estuviesen físicamente al lado de uno, sabía que podía contar con ustedes.

Finalmente un sincero agradecimiento a la compañera que durante más de un año ha sabido, a pesar de las diferencias culturales, la distancia y el idioma, ser la persona que le ha entregado energía, fuerza y sentido a los pasados días y a los que seguro vendrán. Por todo tu afecto y preocupación. Gracias Valérie.

Esta publicación de memoria fue financiada por el Fondo ALMA-CONICYT, asignado al proyecto N°31080018

Índice de contenidos

Agradecimientos	4
Índice de contenidos	5
Índice de figuras	8
Índice de tablas	11
Capítulo I.- Introducción	12
1.- Alcances y Objetivos Específicos	13
2.- Estructura del presente informe.....	13
Capítulo II.- Revisión Bibliográfica	15
1.- Instrumentación Astronómica	15
2.- Radiotelescopios	16
3.- Interferometría.....	18
4.- Correlacionador	19
5.- Dispositivos de interés en el Trabajo	21
5.1.- Arreglo de compuertas lógicas programables (FPGAs).....	21
5.2.- Lenguaje de Programación de Hardware	27
Capítulo III.- Proyecto	30
Capítulo IV.- Diseño	33
1.- Diseño e implementación del Correlacionador de dos antenas.....	33
1.1.- FPGA-IN	35
1.2.- BANCO ALMA1	36
1.3.- FPGA-OUT	41
1.4.- FPGA-CONTROL	43
1.5.- Distribución de Sincronización	45
1.6.- Red de Configuración JTAG-CHAIN	46
1.7.- Suministro de Poder	47
1.8.- Circuitos esquemáticos Placa Digital.....	49
1.8.1.- FPGA.....	49

Índice de contenidos

1.8.2.- BANCO ALMA1	51
1.8.3.- Circuito regulador de voltaje.....	54
1.8.4.- Circuito de configuración y Reloj de prueba	54
1.8.5.- PCB Placa Digital (sin rutear).....	56
1.9.- Programación módulo FPGA.....	59
1.9.1.- FPGA-IN	60
1.9.2.- FPGA-OUT (Acumuladores)	61
1.9.2.- FPGA-OUT (Cálculo).....	63
1.9.3.- FPGA-CONTROL	65
V. Resultados y discusión.....	67
1.- FPGA-IN	67
2.- FPGA-OUT (Acumulación).....	71
3.- FPGA-OUT (Relaciones de Correlación)	74
4.- Ruteo Placa Digital	77
VI. Conclusiones	81
Bibliografías	83
Anexos	85
Anexo 1.- Placa ADC	85
1.1.- ADC	86
1.2.- Reloj de Sincronización	90
1.3.- Distribuidor de Reloj.....	92
1.4.- Amplificador Diferencial Analógico.....	95
1.5.- Reóstato Digital.....	96
1.6.- Reguladores de Voltaje	99
1.7.- Circuito esquemático de la Placa ADC	102
1.7.1.- Esquema del ADC.....	102
1.7.2.- Esquemático circuito amplificador ADC	104
1.7.3.- Circuito esquemático de sincronización.....	105
1.7.4.- Reguladores y Conectores.....	107
1.7.5.- Circuito Impreso de la Placa ADC.....	108
2.- Anexo 2: Acrónimos utilizados en este texto.....	111

Índice de contenidos

3.- Anexo 3: Planos de ruteo de la Placa ADC.....	112
4.- Anexo 4: Programa en C en EDK, FPGA-CONTROL.....	113

Índice de figuras

Figura II. 1.- Radiotelescopio Arecibo.....	17
Figura II. 2.- Resolución angular de un interferómetro compuesto por dos antenas. Donde “d” corresponde al retraso de una de las señales con respecto a la otra.....	18
Figura II. 3.- Arreglo de Antenas Proyecto ALMA.....	19
Figura II. 4.- Diagrama funcional de un Correlacionador.....	20
Figura II. 5.- Arquitectura Spartan-3E de Xilinx.....	22
Figura II. 6.- Transmisión LVDS.....	23
Figura II. 7.- Entrada y salida diferencial.....	23
Figura II. 8.- Block RAM de doble puerto.....	24
Figura II. 9.- Esquema DCM en ISE de Xilinx.....	25
Figura II. 10.- Esquema funcional del DCM.....	26
Figura II. 11.- QFP de 208 conexiones de entrada y salida, Spartan-3E Xilinx.....	27
Figura II. 12.- Ejemplo de un esquema en ISE.....	28
Figura II. 13.- Simulación esquema Figura II. 14.....	29
Figura III. 1.- Diagrama de bloques del Interferómetro de dos antenas en la Universidad de Chile.....	32
Figura IV. 1.- Esquemático Placa Digital.....	34
Figura IV. 2.- Diagrama de Bloques FPGA-IN.....	35
Figura IV. 3.- Bloques de correlación ALMA1 [19].....	37
Figura IV. 4.- Correlación con 4 ALMA1, Banco ALMA1.....	38
Figura IV. 5.- Flujo Entrada/Salida Banco ALMA1.....	40
Figura IV. 6.- Esquema funcional de la FPGA-OUT.....	42
Figura IV. 7.- Conexión esquemática entre el Banco ALMA1 y las FGAs-OUT.....	43
Figura IV. 8.- Esquema de FPGA-CONTROL.....	45
Figura IV. 9.- Distribución de Reloj dentro de la Placa Digital.....	46
Figura IV. 10.- JTAG-CHAIN, Master Serial Mode.....	47
Figura IV. 11.- Suministro de Poder Placa Digital.....	49
Figura IV. 12.- Circuito esquemático FPGA-IN.....	50
Figura IV. 13.- Circuito esquemático ALMA1.....	52
Figura IV. 14.- Conexión en cascada de los ALMA1: BANCO ALMA1.....	53
Figura IV. 15.- Circuito esquemático regulador 2.5 V.....	54
Figura IV. 16.- Circuito esquemático de configuración: (1): conector JTAG. (2) PROM... 55	55
Figura IV. 17.- Circuito esquemático del reloj propio de la Placa Digital.....	56
Figura IV. 18.- PCB de la Placa Digital sin rutear.....	57
Figura IV. 19.- Imagen 3D del TOP <i>Layer</i> de la Placa Digital sin Rutear.....	58

Figura IV. 20.- Imagen 3D del BOTTOM <i>Layer</i> de la Placa Digital.....	59
Figura IV. 21.- Esquemático FPGA-IN: (1) Control. (2) Selector LVDS. (3) Colas Circulares. (4) <i>Subsampling</i> . (5) <i>Shift Register</i> . (6) DCM.	61
Figura IV. 22.- Esquemático FPGA-OUT (acumulador). (1) Módulo de control y configuración. (2) Módulo de administración de memoria RAM. (3) Selector Bus de salida. (4) DCM.	63
Figura IV. 23.- Esquemático FPGA-OUT (Cálculo). (1) Módulo de control. (2) Modulo de sincronización datos. (3) Módulo de administración Block RAM y cálculos. (4) Módulo de serialización.	65
Figura IV. 24.- Esquema de comunicación y control dentro de la FPGA de control.....	66
Figura VII. 1.- Esquema de diseño del la Placa ADC.	85
Figura VII. 2.- Chip Conversor Analógica digital AD9211.	87
Figura VII. 3.- Diagrama de Tiempo del Conversor A/D.	87
Figura VII. 4.- Diagrama funcional de bloques del ADC AD9211.....	89
Figura VII. 5.- Encapsulado del Reloj de 250MHz.	90
Figura VII. 6.- Circuito funcional de oscilador de 250MHz.	91
Figura VII. 7.- Transmisión diferencial LVDS.	92
Figura VII. 8.- Diagrama de bloques del controlador de Reloj.....	95
Figura VII. 9.- Diagrama funcional del Amplificador Analógico AD8350.	95
Figura VII. 10.- Característica de Ganancia del Amplificador Diferencial Analógico.	96
Figura VII. 11.- Diagrama pinout del Reóstato Digital AD5252.	97
Figura VII. 12.- Conexiones del Reóstato Digital.	97
Figura VII. 13.- Circuito Amplificador Analógico con Reóstatos.	98
Figura VII. 14.- Ganancia del Amplificador diferencial para valores de los reóstatos digitales.....	98
Figura VII. 15.- Empaquetado del Regulador de 1.8V.....	100
Figura VII. 16.- Circuito del Regulador de 1.8V.....	100
Figura VII. 17.- Circuito típico y <i>pinout</i> del Regulador de 3.3V.	100
Figura VII. 18.- Empaquetado y circuito para obtener 5V.....	101
Figura VII. 19.- Circuito esquemático ADC.	103
Figura VII. 20.- Circuito esquemático de Amplificación ADC. (a): Resistencia Digital. (b): Amplificador de Ganancia.....	104
Figura VII. 21.- Circuito de Voltaje de modo común.	105
Figura VII. 22.- Circuito de sincronización. (a): Cristal oscilador. (b): Selector de configuración del distribuidor del Reloj. (c): Distribuidor de Reloj.	106
Figura VII. 23.- Circuitos esquemáticos de los Reguladores: (a) Regulador de 5 V; (b) Regulador de 3.3 V; (c) Regulador de 1.8 V.....	107
Figura VII. 24.- PCB sin unir electricamente los componentes.	109
Figura VII. 25.- Representación de un PCB de dos capas.....	109
Figura VII. 26.- PCB Conversor ADC con conexiones eléctrica entre dispositivos.....	110

Índice de figuras

Figura VII. 27.- Top Layer de la Placa ADC 112
Figura VII. 28.- BOTTOM Layer de la Placa ADC..... 113

Índice de tablas

Tabla II. 1.- Espectro Electromagnético [1].	15
Tabla II. 2.- Resumen de señales de Entrada/Salida del DCM.	26
Tabla IV. 1.- Descripción de la palabra de configuración, chip ALMA1 [19].	39
Tabla IV. 2.- Detalle y especificación de cada voltaje.	48
Tabla IV. 3.- Cantidad máxima de I/O pin de la FPGA escogida.	51
Tabla IV. 4.- Especificación de terminales ALMA1, [17], página 17.	53
Tabla V. 1.- Utilización FPGA-IN.	70
Tabla V. 2.- Retardos máximos FPGA-IN.	71
Tabla V. 3.- Utilización de la FPGA-OUT de acumulación.	73
Tabla V. 4.- Retardos máximos FPGA-OUT (acumulación).	73
Tabla V. 5.- Utilización de la FPGA-OUT.	76
Tabla V. 6.- Retardos máximos FPGA-OUT (relaciones de correlación).	76
Tabla VII. 1.- Puerto SPI del ADC.	89
Tabla VII. 2.- Especificación de terminales de Reloj.	91
Tabla VII. 5.- Empaquetado del Distribuido de Reloj.	92
Tabla VII. 6.- Configuración permanente del distribuidor de reloj.	93
Tabla VII. 7.- Configuración supeditada a S0.	93
Tabla VII. 8.- Configuración supeditada a S3 y S4.	94
Tabla VII. 9.- Ganancia del amplificador para valores de los reóstatos.	99

Capítulo I.- Introducción

A 5.000 metros de altitud en la segunda región de Atacama se construye el observatorio de radioastronomía más avanzado del mundo, éste se bautizó como “*Atacama Large Millimeter/submillimeter Array*” o simplemente conocido por su acrónimo como ALMA. Este observatorio proveerá una combinación sin precedentes de sensibilidad y precisión, y con una alta tasa de fidelidad de resolución en “Ondas de Radio”¹, para la cual la atmósfera de la tierra brinda buenas condiciones atmosféricas para el estudio de dichas ondas. Los objetivos que tienen en mente los astrónomos e ingenieros de este proyecto es poder estudiar con más detalle objetos cósmicos que hasta ahora han sido ocultos al entendimiento humano, tales como estrellas y galaxias que surgieron en épocas remotas del Universo de hace miles de millones de años atrás. Además ALMA podrá revelar con mayor detalle la composición de nubes gigantes de polvo y gas o estrellas jóvenes en formación, y se espera que se logren además apreciar planetas jóvenes que se encuentran aún en proceso de desarrollo.

En forma paralela a este gran proyecto es que se sitúa este trabajo de memoria, la cual pretende al igual que ALMA captar y procesar la información radioastronómica, para realizar labores interferométricas (revisar [1]), pero con fines plenamente pedagógicos para estudiantes, profesores e ingenieros en Santiago de Chile. Si bien es cierto que esta ubicación no es la más apropiada para un proyecto de este tipo, debido al nivel de contaminación para ondas de radio que presenta Santiago, ésta es una excelente oportunidad, por su cercanía y fácil acceso, para fines docentes dentro de la Universidad de Chile.

La interferometría es una técnica empleada en astronomía que consiste en “*combinar*” la radiación electromagnética (EM), provenientes de diferentes receptores de radio, para obtener una representación más clara del objeto (radio fuente) que se está apuntando. Este último trabajo se realiza de forma simultánea (entre los receptores) para obtener mayor detalle y resolución de la radio fuente que emite dicha energía que se propaga por el espacio. Esta técnica ha permitido desentrañar grandes misterios que hasta algunas décadas se desconocía explicación alguna. Por ejemplo, objetos calientes que se encuentran detrás de un Medio Interestelar (MI) [2] (compuesto esencialmente por polvo y gas) ahora se pueden estudiar con más detalle, pues el MI es transparente para las señales radioastronómica que lo atraviesa.

¹ Señales con longitud de ondas con un rango de frecuencia que oscila entre 15MHz y 200GHz.

El desarrollo de esta memoria corresponde al diseño de un sistema de procesamiento digital para Correlación de dos señales. Este diseño se enfocará en: la integración de circuitos electrónicos para el procesamiento digital de las señales; y la configuración y simulación en *software* de estos circuitos para comprobar el buen funcionamiento del Correlacionador.

1.- Alcances y Objetivos Específicos

En este trabajo se describe el diseño de un Correlacionador [3] para un interferómetro compuesto por dos antenas, que está localizado en el Departamento de Ingeniería Civil Eléctrica (DIE) de la FCFM de la Universidad de Chile. Las antenas están dotadas con receptores sensibles a ondas de radio en la llamada banda del hidrógeno, que corresponde a una frecuencia media de 1.42 GHz. La finalidad de este proyecto es entrenar a futuros profesionales en las técnicas básicas interferométria.

Dos señales digitalizadas con 10 bits de cuantización serán enviadas al circuito que constituye el trabajo principal de esta memoria, denomino “Correlacionador”. Este sistema está inmerso en una “*Placa Digital*” que contiene los circuitos configurables que realizarán el proceso de Correlación del Interferómetro en cuestión. Esta placa está compuesta esencialmente por cinco *Field Programmable Gate Array* (FPGA) y cuatro *Application-Specific Integrated Circuit* (ASIC) denominado “ALMA1”. Cada ASIC está compuesto por miles de compuertas lógicas que hacen la labor misma de Correlación dentro del interferómetro. Mientras que las FPGA realizan procedimientos anexos (principalmente de módulos de entrada/salida y acumulación) para obtener las llamadas funciones de correlación y enviarlas a un computador para obtener la función de visibilidad de la Interferometría. Específicamente, estos dispositivos realizan el trabajo de calcular el coeficiente de correlación para distintos desplazamientos de tiempo, y así expresar con mayor claridad la información oculta debido a la gran cantidad de ruido presente en las señales de radio del espacio.

En síntesis esta memoria describe paso a paso el proceso de diseño, configuración y simulación para un procesador de señales radioastronómicas digitalizadas, llamado Correlacionador. El trabajo incluyó con el diseño de circuitos impresos, la descripción de lenguaje de Hardware y simulaciones de configuración para FPGA.

2.- Estructura del presente informe

Este informe está compuesto por seis capítulos:

- En el Capítulo II se dan a conocer algunos antecedentes teóricos necesarios para tener un mejor entendimiento de los tópicos inmersos en este trabajo.

Capítulo I.- Introducción

- En el Capítulo III se describirá con mayor detalle las características del proyecto.
- En el Capítulo IV se describe con mayor detalle las etapas de diseño del Correlacionador.
- En el Capítulo V se describen y discuten los resultados obtenidos de las etapas del capítulo previo.
- En el Capítulo VI se busca entregar una lista de conclusiones que surgieron a lo largo de la confección de este trabajo, así como también enunciar los trabajos futuros y mejoras al diseño realizado.

Capítulo II.- Revisión Bibliográfica

1.- Instrumentación Astronómica

La observación astronómica es el método por excelencia que tiene el hombre para alimentar su curiosidad acerca del Universo. En principio él colecta la radiación electromagnética, lo que se realiza mediante artefactos radicados en tierra o en el espacio, luego dicha emisión puede clasificarse según su longitud de onda (revisar Tabla II. 1). Para percibir o captar dichas emisiones se utilizan diferentes herramientas de detección y en distintas localidades (en la Tierra o en el espacio), permiten descifrar información presente que no es posible obtener sin instrumento alguno.

Rayos Gamma	<0.1 nm	Satélites
Rayos-X	0.001 nm – 10 nm	Satélites
Ultravioleta	10 nm – 300 nm	telescopios ópticos en globos o satélites
Óptico Visible	300 nm – 700 nm	telescopios ópticos en tierra, CCDs
Infrarrojo óptico	700 nm – 1 μ m	telescopios ópticos en tierra, CCDs
Infrarrojo cercano (nIR)	1 μ m – 5 μ m	telescopios ópticos
Infrarrojo medio	5 μ m – 25 μ m	telescopios ópticos – avión o satélite
Infrarrojo lejano (fIR)	25 μ m – 350 μ m	Satélites
Submilimétricas	350 μ m – 1 mm	Radiotelescopios a gran altura
Microondas	1 mm – 3 cm	Radiotelescopios
Radio	1 mm – 30 m	Radiotelescopios

Tabla II. 1.- Espectro Electromagnético [1].

Herramientas utilizadas para fines astronómicos pueden ser telescopios ópticos (en satélites o en tierra), radiotelescopios, placas fotográficas, contadores de fotones o las cámaras CCD², y actualmente se analiza la información obtenida mediante la fotometría [5] o la espectroscopia [6] [7]. Pero estas herramientas no han sido suficientes, se sabe que no solo lo que se logra captar es algún tipo de emisión electromagnética (EM), tales como, rayos cósmicos, o sondas espaciales, por lo cual los científicos e ingenieros están constantemente buscando nuevas herramientas y creando nuevas técnicas para entender con mayor claridad todo tipo de energía que llega a las tierra.

² “Charge-coupled device”, o bien, Dispositivo de Cargas Eléctricas Interconectadas [4]

Es gracias a la constante búsqueda que la visión del hombre acerca del Universo ha cambiado dramáticamente en los últimos años. Este cambio ha originado un incremento del concepto del mismo Universo, esto gracias en gran parte al desarrollo de los telescopios e instrumentación astronómica capaces de percibir no sólo desde tierra sino también desde el espacio fuentes que emiten en algún rango del espectro electromagnético. Prácticamente todo lo que se conoce sobre los objetos que surcan el cielo es gracias a la astronomía, pero tal ciencia no tendría un aporte actual si no fuera por algún artefacto que lo acompañe. La primera herramienta fue el telescopio óptico construido sobre la superficie terrestre, acoplados a estos telescopios se encuentran instrumentos cada vez más complejos destinados a almacenar y analizar la información utilizando diferentes detectores. Pero la información así obtenida resulta incompleta, pues gran parte de la radiación electromagnética es absorbida o reflejada (la llamada extinción de la luz) por las capas exteriores de la atmósfera (ver bibliografía de [3]) y son inaccesibles a la observación desde la Tierra. Actualmente se pueden vencer estos obstáculos mediante la instalación de telescopios y su instrumentación complementaria a bordo de satélites artificiales, pero sus costos de mantención e implementación son muy costosos.

Una de las ventanas EM más usadas en los últimos 20 años es la llamada del Radio, desde unos pocos centímetros hasta una decena de metros de longitud de onda. Esto es debido a que la extinción electromagnética de estas señales al ingresar a la atmosfera de la tierra es muy baja en comparación en otras longitudes de onda, como las milimétricas y sub-milimétricas, donde se necesitan lugares (de recepción de las ondas) muy secos para un eficiente trabajo astronómico.

2.- Radiotelescopios

El primer antecedente de su uso tuvo lugar unos años antes de la Segunda Guerra Mundial. Algunos años después de terminada la guerra, las nuevas técnicas de detección por radar empezaron a aplicarse a la investigación astronómica. Las ondas de radio pueden penetrar la atmósfera terrestre y se sitúan entre la longitud de onda milimétrica hasta los treinta metros, aproximadamente. El desarrollo de este tipo de telescopios ha sido fundamental, por ejemplo, en el descubrimiento de púlsares y cuásares. Estos telescopios usualmente poseen un plato parabólico o antena primaria que pueden ser orientables o fijos y que es el que colecta la radiación en la ventana de las ondas de Radio. En el foco de dicha antena, en lugar de un ocular (que el caso típico de telescopio óptico), se coloca una segunda antena que traduce la radiación recolectada por el plato en una señal eléctrica proporcional a la energía recibida y la dirige a un amplificador o un sistema electrónico dependiendo de qué aplicación.

Debido a las largas longitudes de las de Radio, para obtener resoluciones espaciales suficientes para el estudio científico se requieren diámetros de los platos de las antenas grandes (de esto se mencionará con mayor detalle en la sección “Interferometría”). En la práctica para resolver objetos separados en el cielo se necesita una antena de un diámetro 70 veces superior a la longitud de onda utilizada. Es por esto, los radiotelescopios existentes tienen diámetros comprendidos entre varios metros y varios cientos de metros.



Figura II. 1.- Radiotelescopio Arecibo.

Un gran diámetro aumenta también el poder de detección de la antena. La mayor antena orientable que se ha construido del mundo, pertenece al centro de investigación científica “*Max Planck Institut fur Radioastronomie*”, cerca de Bonn en Alemania, la cual tiene 100 m de diámetro de plato. Mientras que el radiotelescopio fijo de Arecibo, Puerto Rico, tiene un diámetro de 305 metros.

Un plato tan enorme, conlleva grandes inconvenientes, como por ejemplo, no puede sustentarse de forma que se pueda girar lo que imposibilita llevar un seguimiento de la radio fuente, lo que provoca diagramas de interferencias con máximos y mínimos, lo cual no procede con un estudio continuo del objeto en cuestión. Por ejemplo, para el estudio de la emisión HI de 21 cm (el cambio de “*spin*” del electrón de hidrógeno neutro provoca la emisión de un fotón con longitud de onda de 21 cm) es necesario usar una antena de aproximadamente 100 metros de diámetro, los cuales están quedando obsoletos por su gran costo de mantención.

Por su propia naturaleza constructiva, una antena es sensible sólo a pequeños intervalos de frecuencia y para cubrir el amplio espectro de las ondas de radio se requieren antenas de diferentes tamaños en combinación con los receptores adecuados. El grado de pulimiento o superficie del plato depende de la longitud de onda a estudiar, por lo que para grandes paraboloides, una malla de cable (como son las antenas que se adquirieron para el desarrollo de este trabajo, más detalle de las características de las antenas se puede recurrir a [8]) es suficiente para reflejar la radiación de longitudes de onda entono a la ondas de Radio.

3.- Interferometría

Hasta ahora se ha hablado que se necesita una antena con un plato con gran diámetro para mejorar la resolución de los objetos que se proyectan con la antena, pero a su vez se mencionó que esto ocasiona algunos inconvenientes como lo son el seguimiento de la radio fuente, entre otros. Una idea surgida por el científico *Albert Michelson* en los años cuarenta resolvió constructivamente los problemas que acarreaba las enormes instalaciones de radio astronomía, esta se llamó Interferometría [1].

Dicha solución no consistía en seguir agrandando el plato sino multiplicarlo, utilizando un conjunto de dos o más antenas independientes que siguen la misma radio fuente. Luego la idea es “unir convenientemente” las señales de todas las antenas para obtener una antena equivalente a una antena con un plato de diámetro igual la separación máxima entre las antenas más alejadas del conjunto. En la Figura II. 2 se ilustra un ejemplo sencillo con dos antenas, y como obtiene el retraso en la recepción de una con respecto a la otra para un mismo frente de onda.

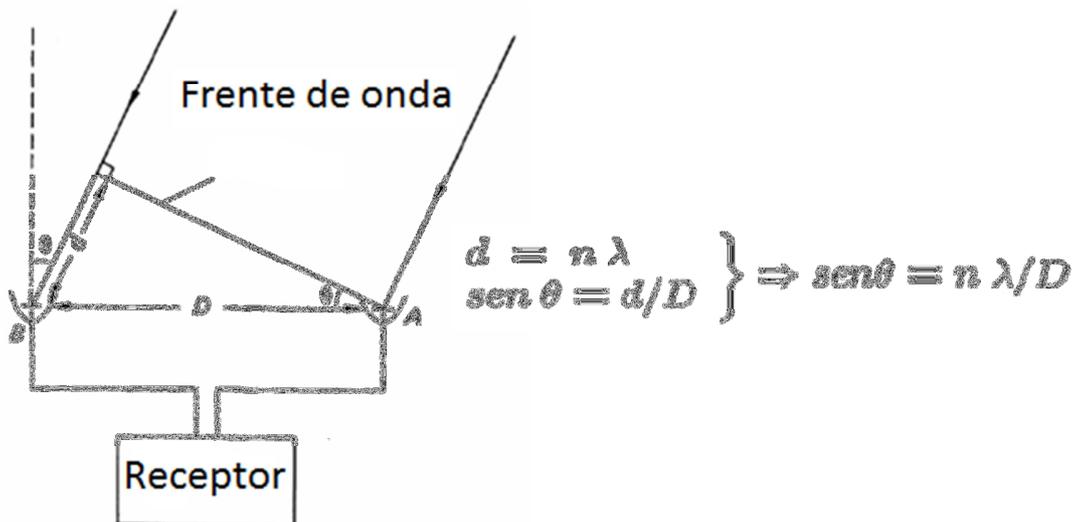


Figura II. 2.- Resolución angular de un interferómetro compuesto por dos antenas. Donde “d” corresponde al retraso de una de las señales con respecto a la otra.

Un ejemplo siempre nombrado es el caso del “*Very Large Array*” (VLA), situado a 50 millas de Socorro, New Mexico; está compuesto por 27 antenas, cada una con un diámetro de 25 metros. Estas instalaciones le dan la equivalencia de usar una antena correspondiente a 36 Kilómetro de diámetro, lo cual la hace incomparable para una única antena. Pero un caso más cercano y el cual será el único en su especie, debido a sus proporciones y nivel de cómputo, es el Proyecto ALMA, el cual consistirá de 66 antenas cada una dotada de entre

12 y 7 metros de diámetro. Esta combinación de receptores constituirá una antena equivalente unos 16 Kilómetros, pero su particularidad está en que podrá capturar y analizar con gran detalle señales con una frecuencia entre 30 GHz y 1 THz, lo cual la hace la más grande en su especie.

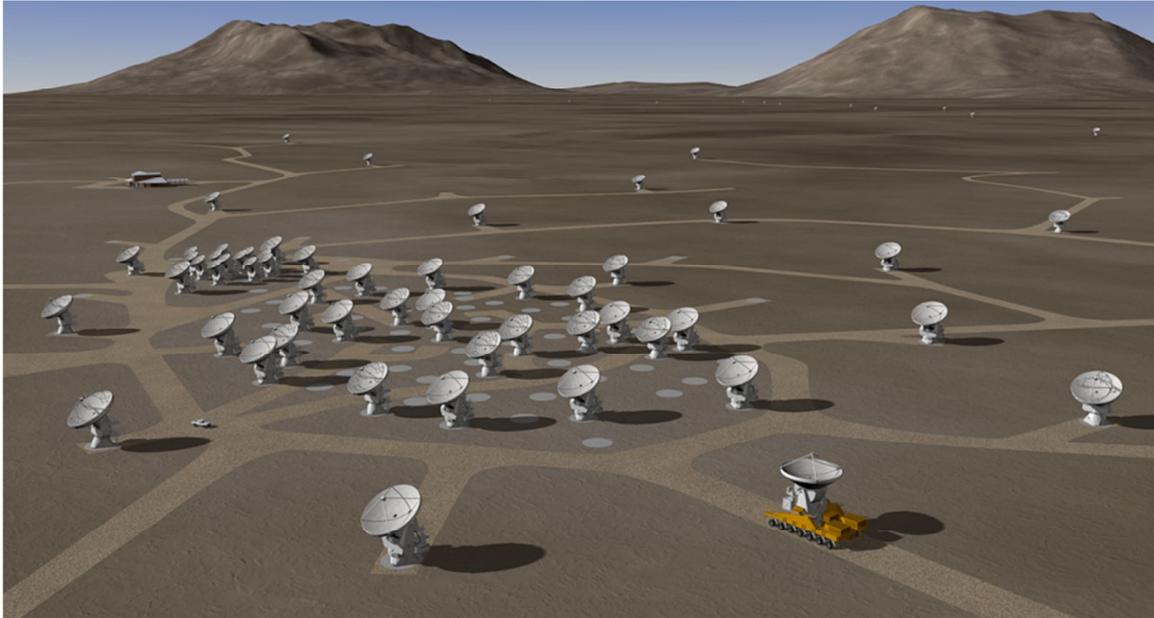


Figura II. 3.- Arreglo de Antenas Proyecto ALMA.

En la siguiente sección se realiza una revisión general de la herramienta que “*une convenientemente*” las señales de cada antena para constituir un interferómetro como lo hace el proyecto ALMA. Esta herramienta se conoce como interferómetro cuyo elemento principal es el llamado Correlacionador.

4.- Correlacionador

Uno de los pasos fundamentales para implementar un Interferómetro es el de “*unir convenientemente*” las señales eléctricas provenientes de cada antena, esta unión es realizada por llamado Correlacionador [1] [3] (o “*Correlator*” en inglés). Hasta ahora sólo se podía hablar de antenas de radio astronomía una independiente a las otras, pero el artefacto eléctrico que permite la mencionada equivalencia entre una colección de antenas y un de mayor tamaño es justamente esta herramienta.

El Correlacionador consiste en implementar la siguiente ecuación.

$$R(\zeta) = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^T V_1(t) V_2^*(t - \zeta) dt$$

O en su forma discreta.

$$\bar{R}(\zeta) = \frac{1}{K} \sum_{n=1}^K V_1(n\Delta t) \cdot V_2(n\Delta t - \zeta)$$

Donde a los diferentes valores que adquiere “ ζ ” se les llama Retardos, o “Lags” para la correlación de la señal V_1 con la V_2 .

La idea general al realizar este procedimiento es que para un tiempo “T” grande (o “K” grande, para el caso discreto) se logre obtener la función de correlación, que tiene como utilidad la de medir la verosimilitud de dos señales (V_1 y V_2), para distintos desplazamientos en el tiempo. Un esquema típico se suele ilustrar para representar la implementación de un “Correlacionador”, donde V_1 y V_2 son distintas (cabe destacar que si fuesen iguales la correlación se hace llamar “Autocorrelación”), se muestra en la Figura II. 4. Un fenómeno importante cuando dos señales provienen de dos antenas distintas pero que están recibiendo el mismo frente de onda, una vez corregido el desfase geométrico, éstas tienen una interferencia constructiva. Al correlacionarlas lo que se hace es aprovechar esta interferencia y aminorar el ruido. El resultado general, luego del post-procesamiento (FFT), es un aumento de resolución angular en el plano definido por la línea base entre las dos antenas en cuestión.

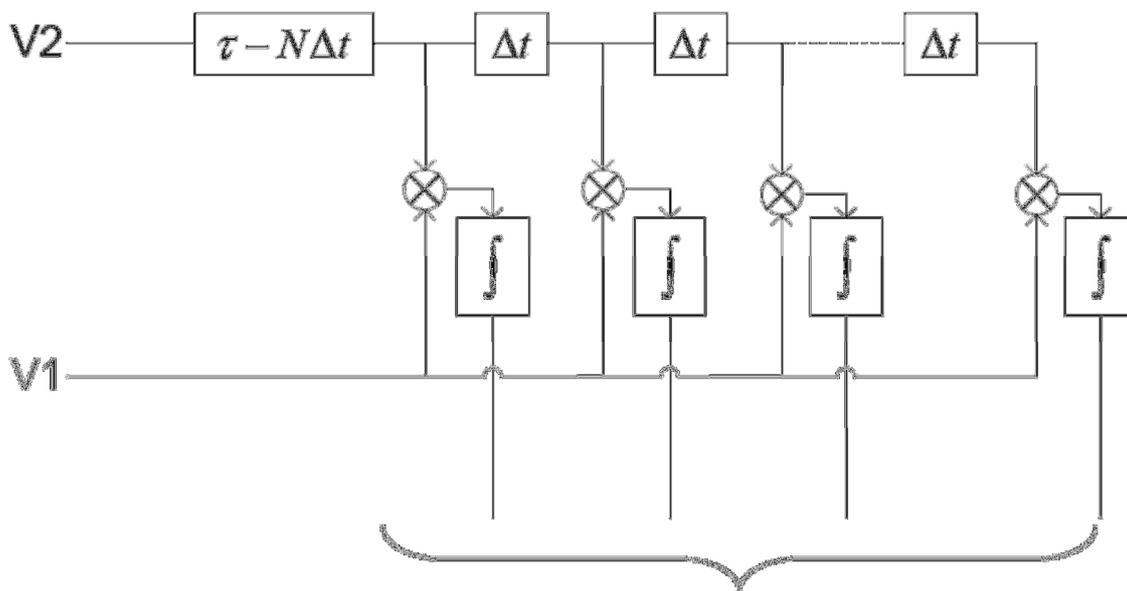


Figura II. 4.- Diagrama funcional de un Correlacionador.

5.- Dispositivos de interés en el Trabajo

En esta sección se tratarán temas que tienen especial relevancia en el proyecto de esta memoria. Se revisan dispositivos que formarán parte esencial dentro del proceso de instrumentación astronómica para la confección de un Interferómetro. Principalmente los llamados FPGAs (*Field Programmable Gate Array*) y sus estructuras internas utilizadas en las etapas de entrada/salida y control de este Correlacionador. Además se hace una breve introducción al lenguaje de programación que será utilizado para configurar los circuitos configurables (FPGA) y la herramienta de diseño utilizada.

5.1.- Arreglo de compuertas lógicas programables (FPGAs)

Esta sección está dedicada a este tipo de circuitos integrados configurables, debido a que forman parte esencial en el diseño de este trabajo. Es importante entregar detalles básicos de la arquitectura y el funcionamiento de estos dispositivos, especialmente enfocados en arquitectura Spartan-3E de la empresa manufacturera Xilinx [18].

Estos arreglos de compuertas lógicas, mejor conocidos como FPGA (*Field Programmable Gate Array*), son dispositivos electrónicos semiconductores que internamente están compuestos por bloques lógicos a los cuales se les puede programar de forma que sus unidades funcionales serán interconectadas para generar la configuración deseada. Dichos bloques están compuesto por grupos de compuertas lógicas basadas en *LUTs (look up tables)*, o bien, llamadas bloques lógicos configurables (CLB), Bloques de entrada y salida (IOB), memorias de acceso aleatorio (Blocks RAM, *Random access Memory*), Bloques Multiplicadores (dedicados exclusivamente a realizar productos) y Administrador de reloj Digital (DCM).

Es importante mencionar para el futuro diseño, que existen conexiones entre los elementos de los CLB y que pueden ser configuradas para obtener una personalidad diferente de la FPGA. Además existen diferentes tipos de CLB, algunos compuestos por circuitos de baja capacitancias con la finalidad de transmitir señales de sincronización; para mas detalle consultar [18].

La Figura II. 5 indica como están ordenadas las anteriores estructuras en la arquitectura Spartan-3E.

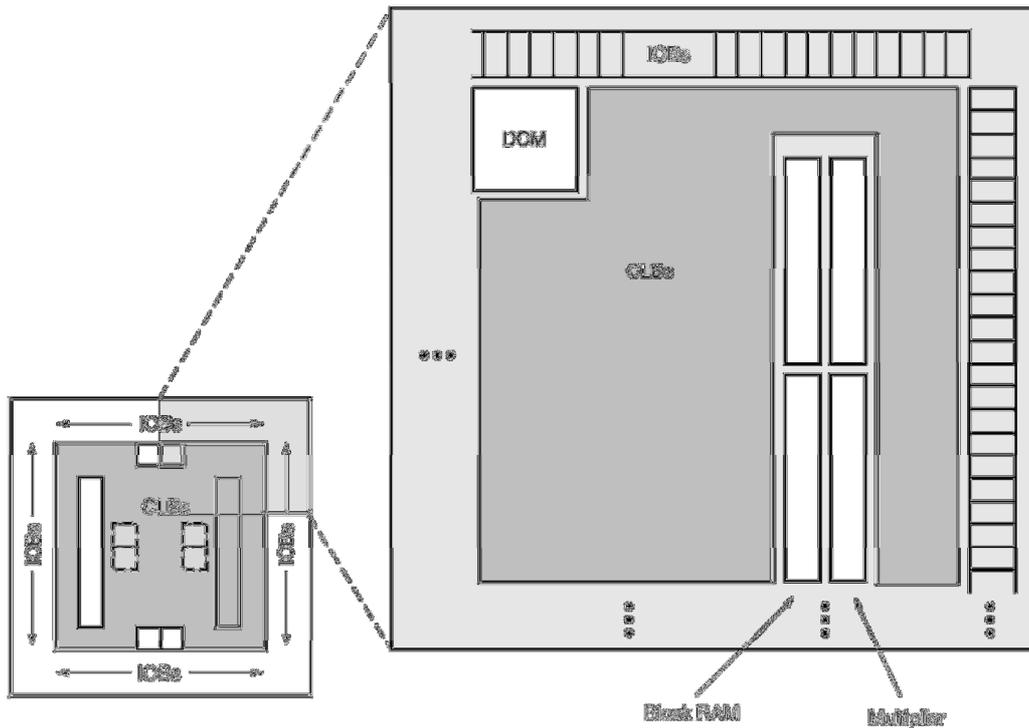


Figura II. 5.- Arquitectura Spartan-3E de Xilinx.

Existen distintos tipos de Bloques de entrada y salida (IOB), incluyen las señales diferenciales como las DDR (*“Double Data-Rate”*), las señales de doble dirección (entrada y salida), también las de una dirección (generalmente sólo de entrada). Dependiendo del voltaje que se suministra (específicamente VCCO) cada banco de la FPGA, es posible cambiar el circuito de entrada de este dispositivo (Figura II. 7) para distintos tipos de señales (revisar página 18 de [18]).

Las RAM son registros dedicados de la FPGA para almacenar datos, para este tipo de familia cada uno de estos bloques está compuesto por memorias individuales de 18Kb (1Kb=1024 bits).

Una de las de las características que tiene este dispositivo es que tiene terminaciones de IOB para la tecnología diferencial de señales, es decir, que la información de un bit se transmite en por medio de dos cables, donde uno es complemento (inverso en tensión) que el otro. Entre todos los modos diferenciales los más usados son sin duda tres: CMOS, LVDS y LVPECL.

El primero debe su nombre a que los circuitos que generan o reciben dichas señales diferenciales están compuestos por componentes CMOS (*“Complementary Metal-Oxide-*

Semiconductor “) [10]. El segundo, “*Low Voltage Differential Signaling*” o LVDS corresponde a un sistema de transmisión de señales diferenciales a alta velocidad (mayor a 100MHz). El objetivo principal de este tipo de transmisión de datos es tener un mayor grado de inmunidad al ruido de modo común.

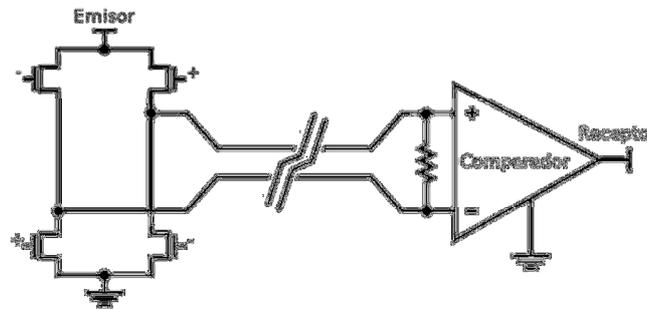


Figura II. 6.- Transmisión LVDS.

La “*Low-Voltage Positive Emitter-Coupled Logic*” (LVPECL) es una de las dos tecnologías a nivel de transmisión de datos que se utilizarán en este trabajo, por lo tanto es apropiado dejar antecedentes sobre este tipo de transmisión de datos. LVPECL es una versión optimizada de PECL “*Positive emitter-coupled logic*”, que en vez de requerir 5 Volt sólo requiere 3.3 Volt para generar dichas señales diferenciales, pero conservando las demás características de que tiene la transmisión diferencial estándar.

Dentro de los FPGA las terminaciones estas dotadas de circuitos de entrada/salida para recibir las señales diferenciales. Esta debe ser muy sensible a rápidos cambios de su entrada o salida. En general, es un conjunto de impedancias para referir el voltaje a un potencial conocido, este tipo puede ser una resistencia entre las dos señales diferenciales, tal como se muestra en la Figura II. 7.

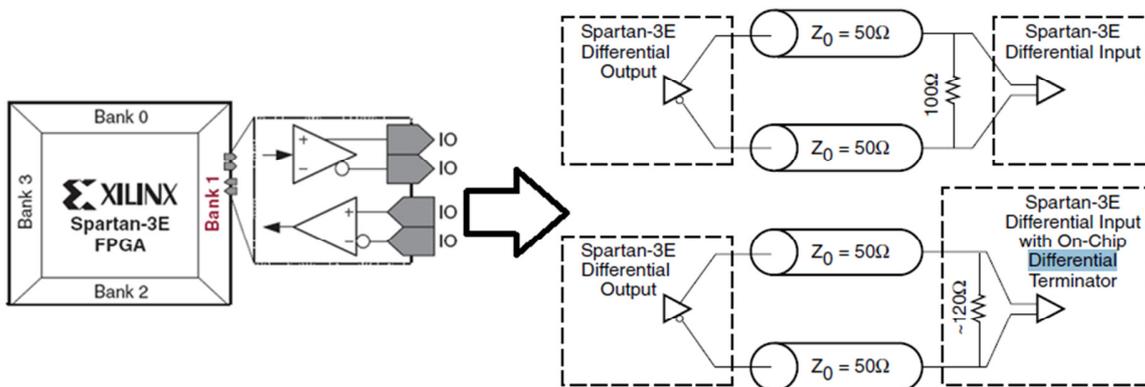


Figura II. 7.- Entrada y salida diferencial.

Como se puede apreciar en la Figura II. 7 , otra de las componentes esenciales de la FPGA es la llamada Block RAM. Este circuito está dedicado principalmente al almacenamiento de datos (generalmente con capacidad de 18Kb), pero tal memoria es de doble puerto, esto quiere decir que es posible almacenar en ella información al mismo tiempo que se puede acceder a la misma memoria, con tener especial cuidado de no escribir ni leer en el mismo periodo de sincronización.

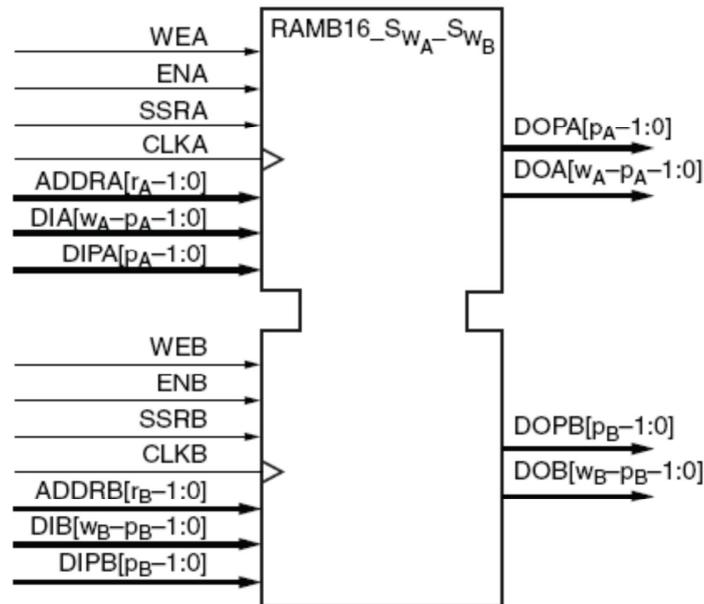


Figura II. 8.- Block RAM de doble puerto.

Los puertos (dentro la Figura II. 8) designados por “A” y “B”, WEA y WEB corresponden a los habilitadores de escritura para el puerto A y B respectivamente. SSR corresponde a la señal “Reset”, o sea, la señal que inicializa el valor de todos los bits de la memoria. ADD corresponde a los bits de dirección de la memoria. DI y DIP a buses de entrada de la memoria (escritura), donde el primero es la memoria principal y la segunda es una secundaria o llamada “Parity”. Finalmente los buses DO y DOP son las salidas de la memoria RAM.

Ya se ha escrito acerca de los dispositivos de entrada y salida, compuertas programables y memorias internas, pero sin duda el organismo que le entrega sincronismo a todo circuito digital es el reloj o “clock”. Internamente existe una parte dedicada especialmente a la administración de las señales de sincronismo dentro de la FPGA, este como ya se nombró es el DCM, el cual es capaz de capturar la señal de reloj. La fase de la señal de sincronismo puede ser ajustada realizando una adecuada conexión de las señales de salida del DCM, obtener una señal de reloj desplazada en el tiempo (en 90, 180 ó 270 grados), con periodos

más grandes o menores, o simplemente estabilizar el reloj para un uso más detallado comparativamente con el reloj de entrada. Especialmente dentro una FPGA Spartan 3E es posible encontrar hasta ocho de estos circuitos internos, los cuales proporcionan un control flexible y completo sobre la frecuencia de reloj, cambio de fase y del fenómeno “*Skew*” que se produce en los cantos, positivo o negativo, en la señales de sincronización. Para lograr esto, el DCM cuenta con un “*Delay-Locked Loop*” (DLL), un sistema de control totalmente digital que utiliza la información obtenida para mantener las características del reloj de la señal con un alto grado de precisión a pesar de las variaciones normales de temperatura y voltaje. Además el DLL tiene un módulo de enclavamiento digital que permite controlar, dentro de cierto rango, la frecuencia de entrada para obtener una frecuencia de salida manipulable mediante configuración de *software*.

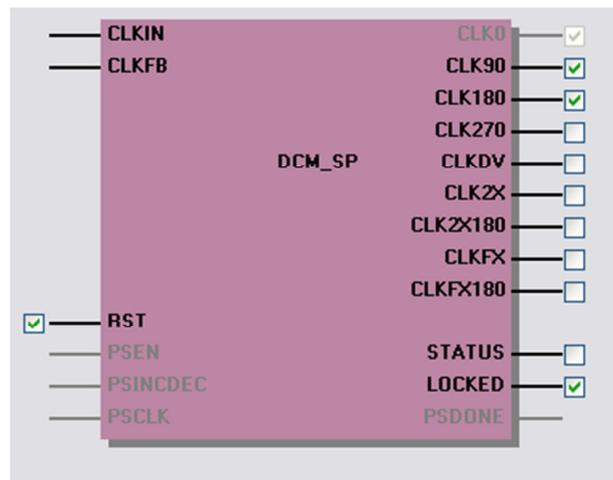


Figura II. 9.- Esquema DCM en ISE de Xilinx.

En la Figura II. 10 se ilustra de manera esquemática el funcionamiento interno del DCM.

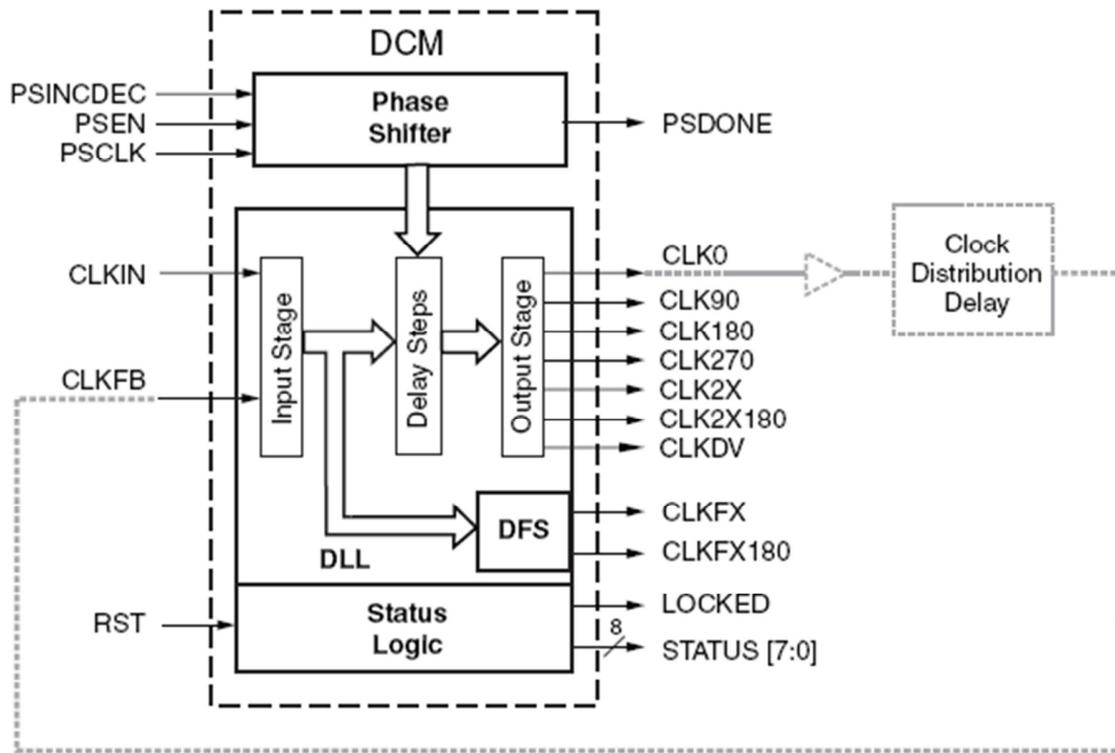


Figura II. 10.- Esquema funcional del DCM.

Las señales de interés para este trabajo que se describieron en la Figura II. 10 se resumen en la siguiente tabla.

CLKIN	Input	Entrada de Sincronización.
CLKFB	Input	Retroalimentación.
CLK0	Output	Salida con misma frecuencia y fase que CLKIN.
CLK90	Output	Salida con misma frecuencia pero desplazado en 90 grados.
CLK180	Output	Salida con misma frecuencia pero desplazado en 180 grados.
CLK270	Output	Salida con misma frecuencia pero desplazado en 270 grados.
CLKFX	Output	Salida con frecuencia dividida o multiplicada (programada) pero misma fase.

Tabla II. 2.- Resumen de señales de Entrada/Salida del DCM.

El último tópico importante en la elección de los FPGAs es el empaquetado (“*package/case*”) de los dispositivos que se adquirirán y posteriormente se colocarán en la placa de circuitos impreso (PCB). En este caso se ha seleccionado el empaquetado QFP (“*Quad Flat Package*”) que tiene como principal característica que es posible acceder por los bordes del empaquetado a todas las conexiones de entrada y salida.

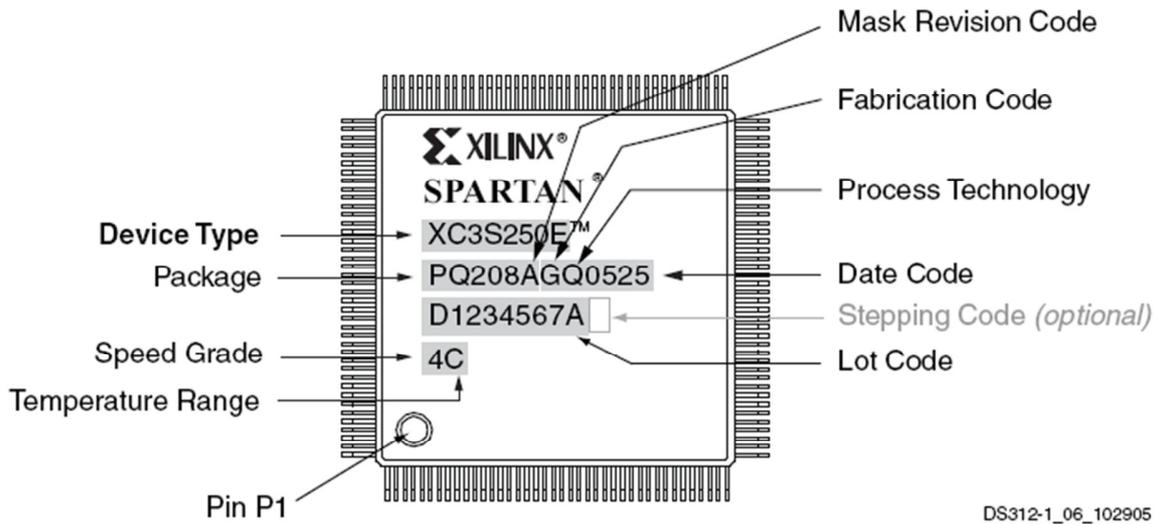


Figura II. 11.- QFP de 208 conexiones de entrada y salida, Spartan-3E Xilinx.

5.2.- Lenguaje de Programación de Hardware

Es importante mencionar que para el proceso de programación de los FPGA se usan lenguajes llamados HDL (*Hardware Description Language*), entre ellos esta Verilog y VHDL (*Very High Description Language*) [9], éste último fue el empleado seleccionado para implementar los módulos que fueron requeridos la confección del Correlacionador.

En forma general un lenguaje hardware permite describir el funcionamiento y la estructura de circuitos eléctricos digitales. Está permitido que dicha descripción pueda ser mediante bloques codificados (revisar Figura II. 8 y Figura II. 9) por el mismo usuario o mediante bloques pre definidos por el fabricante de la arquitectura de FPGA, como lo pueden ser los *Blocks RAM*, *DCM* o *Multiplier*. La finalidad de la confección de un código HDL es la descripción de un circuito mediante un conjunto de instrucciones de alto nivel de abstracción para un programa que pueda ser sintetizable (entre otras actividades). Para el caso de Xilinx se llama ISE, o *Integrated Software Environment*. El código que se genere tiene que generar un circuito que pueda ser implementado físicamente en la FPGA seleccionada. En síntesis, ISE constituye un verdadero entorno EDA (*Electronic Design Automation*) que permite que el diseño generado se le pueda revisar sintaxis, simular e implementar en FPGA.

ISE permite el acceso a todos los componentes de la distribución Xilinx en que se está trabajando, por ejemplo, Spartan-3E o Virtex.6. Dentro del programa es posible visualizar conexiones esquemáticas de módulos codificados en VHDL, tanto predefinidas como definidas por el usuario, las cuales pueden ayudar de mejor manera la comprensión del funcionamiento del programa principal.

Una vez sintetizados los diseños se puede simular su comportamiento a nivel funcional o a nivel temporal. A nivel funcional no se tiene en cuenta los retardos provocados por el *hardware*, y a nivel temporal simula el diseño teniendo en cuenta cómo se va a configurar el mismo *hardware*.

Para los fines de comprobación de los módulos que se codificaron en VHDL, el programa ISE permite realizar los siguientes procesos secuenciales:

- **Check Design Rules:** Compilador esquemático que confirma que no se viola ninguna regla de diseño de conexiones entre esquemas dentro de ISE.
- **Synthesize:** Reduce la descripción de un lenguaje de alto nivel a un nivel de compuertas lógicas. Este paso construye el llamado esquema o diagrama RTL (esquema de conexiones de compuertas lógicas).
- **Implement Design:** Compuesto por:
 - **Translate:** Confirma si los diagramas RTL pueden ser implementados dentro de la FPGA que se escogió.
 - **Map:** Hace una inspección general de los recursos y periféricos que contiene la FPGA escogida, para implementar los esquemas RTL.
- **Place & Route:** Localiza, realiza y confirma si las conexiones entre las componentes de entrada/salida del diagrama RTL y los terminales físicos del dispositivo escogido pueden ser realizados.
- **Generación de Configuración:** Construcción de una secuencia de datos (binarios) que contiene la configuración de las personalidades de cada configuración en FPGA.

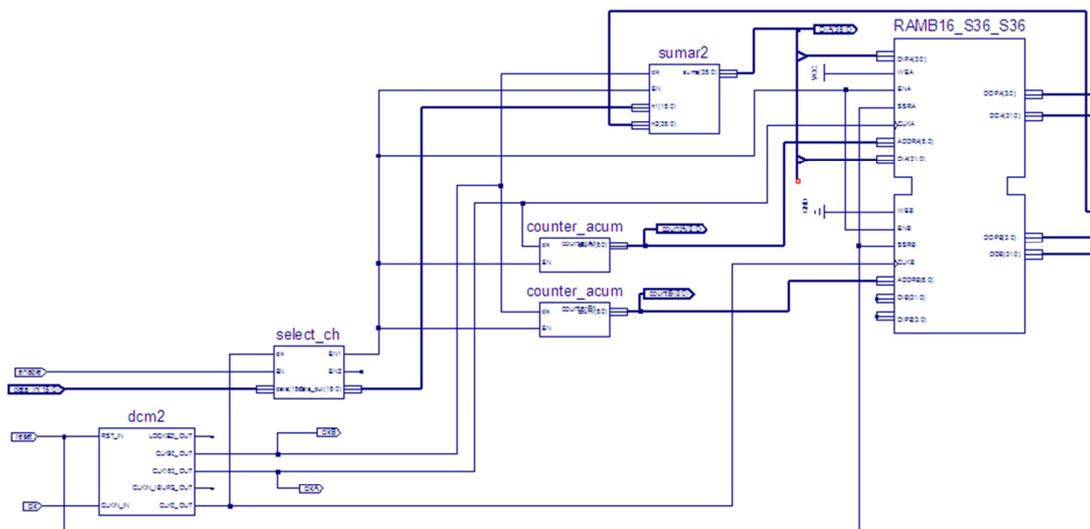


Figura II. 12.- Ejemplo de un esquema en ISE.

Después de realizado un esquema sintetizable es posible utilizar una herramienta adicional dentro de ISE, es la denominada “*Simulate Behavioral Model*”, que sirve para apreciar en un diagrama de tiempo el funcionamiento de la codificación en VHDL o de un esquema. Pero previamente es necesario designar cuales son las señales de sincronización como las entradas. Por ejemplo, la Figura II. 12 representa un acumulador implementado con un Block RAM donde en una dirección se lee la información guardada inicialmente y en la siguiente se guarda la suma. El comportamiento de este esquema se muestra en la Figura II. 13.

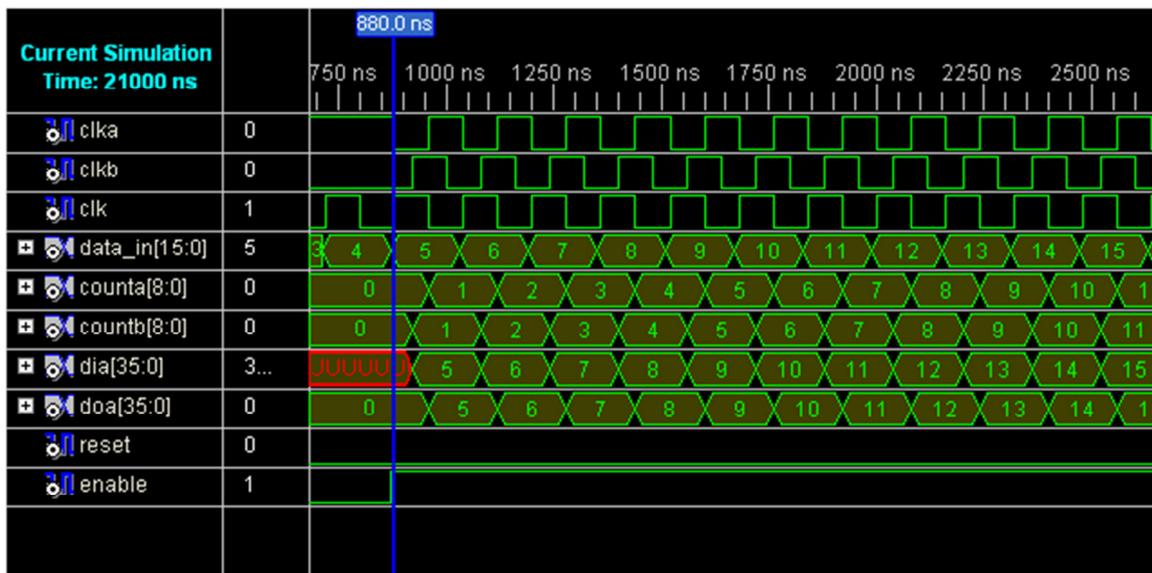


Figura II. 13.-Simulación esquema Figura II. 14

En la Figura II. 13, el primer canto de reloj (“*clk*”) se lee la información contenida en la dirección “*countb*” (que inicialmente es un cero) luego en el canto positivo de “*clkb*” se suma esta última dirección con la señal de entrada del sistema (que es 5), por lo cual se obtiene el valor 5 que es expresado en “*dia*”, finalmente esta última expresión se almacena en memoria en la posición “*counta*” en el canto positivo de “*clka*” el cual se ve expresado en el bus “*doa*”, y es así como termina un ciclo para comenzar en el siguiente canto positivo de “*clk*” leyendo nuevamente la dirección de memoria que se expresa en “*countb*”.

Capítulo III.- Proyecto

El Proyecto en que está enmarcado este trabajo de memoria lleva por nombre “*A radio interferometer design and construction, for know-how acquisition, training, and teaching experiences design, at the Electrical Engineering Department of the University of Chile*”. Este proyecto pretende llevar a cabo el proceso de adquisición de conocimientos técnicos, para el desarrollo y formación de estudiantes de ingeniería Civil Electricista de la Universidad de Chile, en la creación de actividades educativas, a través del diseño y la construcción de un Interferómetro de Radio de dos elementos en la línea de HI.

Además de la adquisición de auto aprendizaje, el proceso de diseño y posterior construcción del interferómetro servirá como una herramienta para ingenieros y estudiantes en su formación como investigadores y desarrolladores de nuevas tecnologías. A excepción de la antena y el receptor, todos los módulos electrónicos analógicos y digitales para este interferómetro (“*Front End*”, “*Back End*” y “*Correlator*”) han sido diseñados y construidos en el DIE por los integrantes del proyecto. Una vez que este interferómetro sea construido, será utilizado como centro de pruebas de laboratorios y experiencias de diseño en varios cursos en el DIE. Sin olvidar, además, que es posible realizar experiencias utilizando cada radio telescopio por separado.

Las etapas principales del proyecto son:

1. El primer punto consiste en la instalación y puesta en marcha de dos pequeños telescopios de radio (SRT) se que alojará en el techo del edificio DIE. El SRT es un telescopio de radio “*plug and play*” que posee un plato de 2,3 metros de diámetro, un amplificador de bajo ruido, un receptor digital, una montura con movimiento en azimut, entre otras. Para mas detalle revisar [8]. El SRT posee un software para controlar el movimiento del plato y el receptor.

La distancia que separa las dos bases de las antenas (revisar Sección 3 del Capítulo II), el espacio disponible en el techo del edificio del DIE es de 35 metros en la dirección Este-Oeste. Cada uno de estos radiotelescopios puede operar de forma completamente independiente para proporcionar experiencias en un único plato, y poner a prueba la antena y el rendimiento del receptor. La mayor parte de la configuración de cada radio telescopio y las actividades de observación se puede realizar de este modo, para dos grupos trabajando en paralelo.

2. El segundo punto considera el diseño y construcción de un conjunto de dispositivos de electrónica analógica, que permitirán utilizar las señales provenientes de los LNA de cada uno de los SRT, desplazarlas en frecuencia (de 1.42 GHz a 3 MHz) y

entregar dos salidas en el mismo nivel de potencia. Para más detalle de este proceso de diseño consultar [28].

3. Posteriormente se construirá una placa que contendrá dos conversores analógicos digitales de alta velocidad, capaces de digitalizar las señales analógicas provenientes de la placa analógica. Los conversores representarán las señales analógicas en 10 bis.
4. Las señales digitales provenientes de la placa conversor análogo digital serán recibidas por una placa digital que albergará el Correlacionador del interferómetro de dos antenas. Este sistema es el responsable obtener las funciones de correlación del Interferómetro para medir la verosimilitud de dos señales.
5. El quinto punto consiste en el diseño e implementación de varias configuraciones de FPGA para realizar diferentes técnicas interferométricas. Estas configuraciones hará posible cambiar los modos de operación de los módulos analógicos y digitales, lo que significa que el interferómetro será una pieza de hardware reconfigurable. Diferentes tipos de interferómetros serán fácilmente programables gracias a la flexibilidad que tiene las configuraciones en FPGA que son reversibles.
6. El sexto y último punto hace referencia al diseño de varias experiencias de laboratorio y otras actividades de aprendizaje mediante la observación utilizando una o ambas antenas, y así implementar de manera de estudio el interferómetro con todas sus aplicaciones.

Si bien es cierto el trabajo principal de esta memoria es uno (diseño de un Correlacionador para dos antenas), antes de este diseño se trabajó en el diseño de una placa Analógica Digital (ADC), que tiene como finalidad convertir las señales analógicas provenientes de las antenas en señales digitales, para luego ser enviadas al Correlacionador. El diseño de la placa ADC se puede encontrar en el Anexo 1.

La Figura III. 1 resume, de manera esquemática, las estructuras principales del este proyecto.

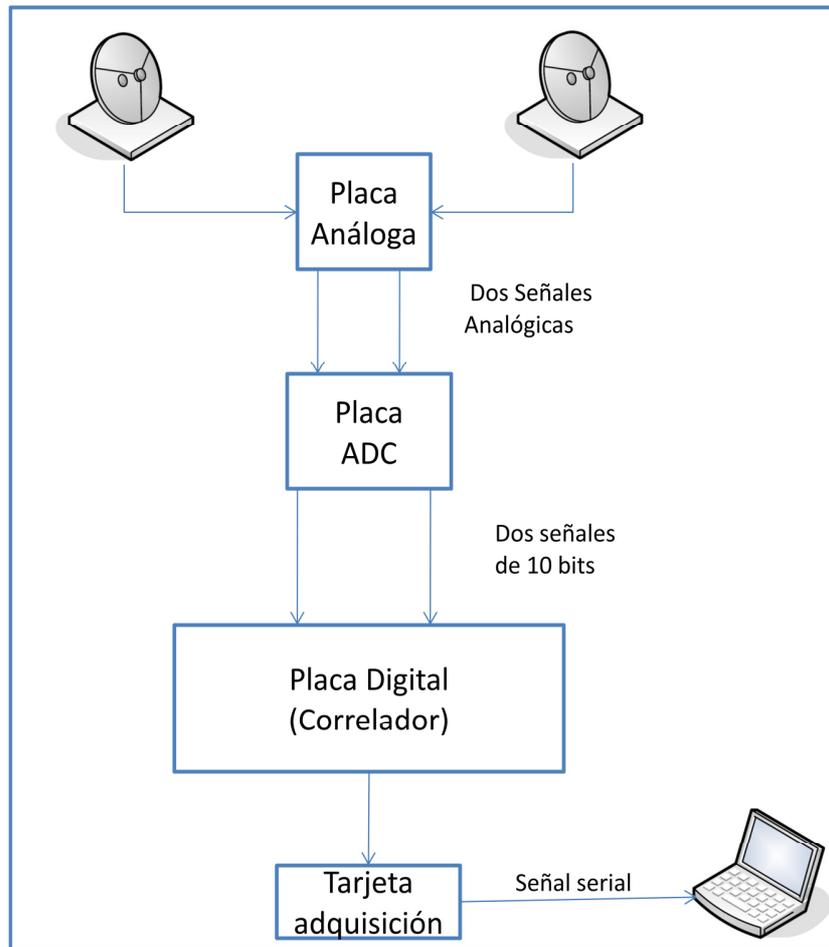


Figura III. 1.- Diagrama de bloques del Interferómetro de dos antenas en la Universidad de Chile.

Capítulo IV.- Diseño

1.- Diseño e implementación del Correlacionador de dos antenas

El circuito que constituirá el trabajo principal de esta memoria estará formado por cuatro chips ASIC (“*Application-Specific Integrated Circuit*”, o bien, circuitos integrados de aplicación específica) llamados ALMA1 [19] y cinco FPGA que realizarán de manera digital el proceso de Correlación. La **¡Error! No se encuentra el origen de la referencia.** ilustra el contexto donde habita este trabajo dentro del Proyecto presentado. El Capítulo IV se dedicará a describir como se realizó el proceso de diseño del Correlacionador, mientras que en la sección Anexo 1 se describe el diseño de la Placa ADC.

El diseño del Correlacionador nace por la primera necesidad de hacer interferometría con al menos dos antenas. Esto debido a que todos los procesos que se realizan antes de este circuito son ejecutados para dos o más señales independientes unas de otras, pero al llegar al proceso que realiza esta Placa Digital las señales se relacionan u operan unas con otras (según sea el número de señales) lo cual da inicio a lo que se llama función de Correlación que alberga toda la información contenida por todas las antenas del proyecto (Figura II. 4).

En este proceso de diseño se realizarán diagramas descriptivos de cada componente de esta placa, dichos bloques representarán por parte las funcionalidades del proceso de Correlación, todos unidos para obtener todos los canales de la función de correlación. Luego se describirán con más detalles los componentes electrónicos escogidos que cumplen con las funcionalidades especificadas.

En lo siguiente, y después de unir todas las piezas escogidas, se describirá el código de *Hardware* que serán implementados y cargados en los circuitos programables (FPGA) de esta placa. Dichos códigos serán fundamentales para describir el proceso de entrada y salida del Correlacionador como también algunos procesos intermedios, como lo son las colas circulares, *shift register*, *subsampling*, acumulación, entre otras. En la Figura IV. 1 se expresa un primer diagrama de bloques de esta placa, la cual entrega además los primeros flujos de señales dentro del circuito, como de información de las antenas como de control.

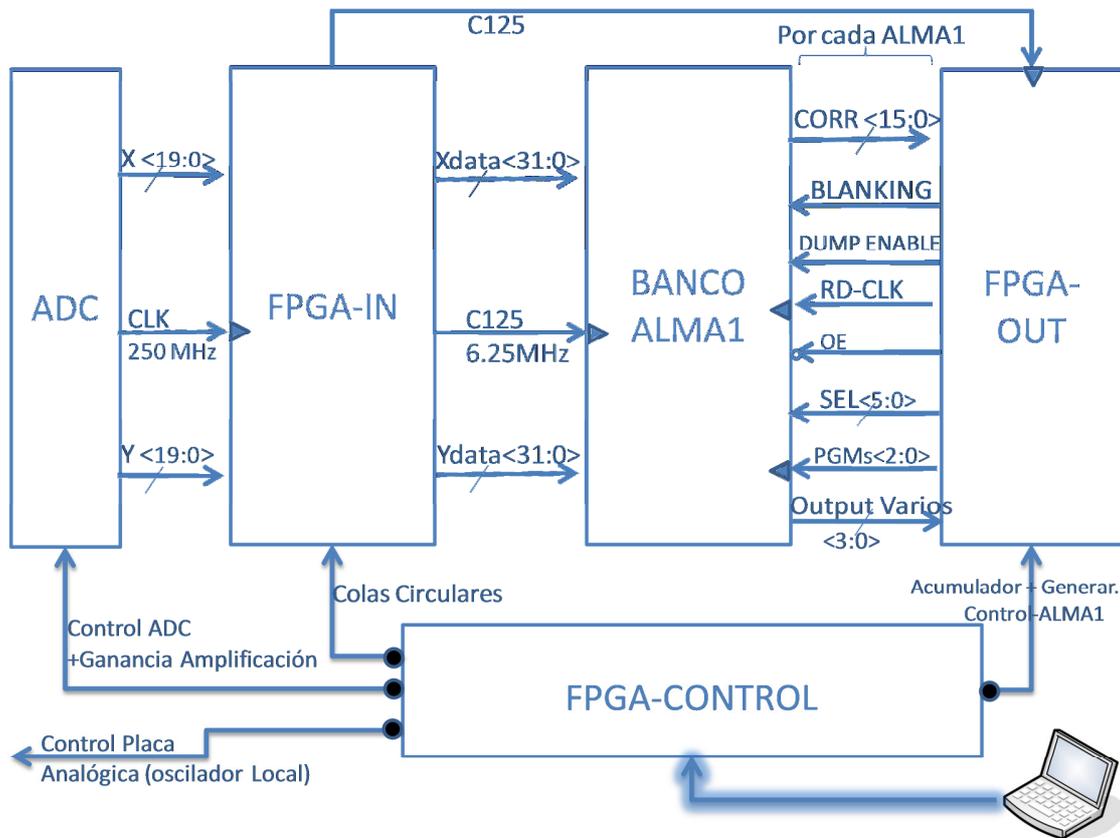


Figura IV. 1.- Esquemático Placa Digital.

Como se puede apreciar en la Figura IV. 1, el Correlacionador está compuesto esencialmente por cuatro bloques importantes, el primero corresponde al primer circuito configurable (FPGA-IN), luego está el llamado Banco ALMA1, le sigue la FPGA-OUT y finalmente un módulo de control (FPGA-CONTROL). Cada uno de estos bloques será descrito tanto funcionalmente como desde el punto de vista de su arquitectura sucesivamente en las siguientes secciones de este capítulo. En este primer esquema se logran apreciar las señales principales que fluyen por la Placa Digital, primero las señales que ingresan desde las antenas, la cuales ya están digitalizadas por el ADC ($X <19:0>$ e $Y <19:0>$) y la señal de sincronización (CLK) de cada dato de entrada. Otra señal que ingresa a esta placa corresponde a la señal de control del Correlacionador, ésta proviene de un computador que además monitorea y recibe la correlación de la Placa Digital. Cabe destacar que también existe un bus que sale de esta placa, ésta corresponde a la señal de control de la placa analógica, esencialmente este bus controla un módulo que maneja el oscilador local de cada antena.

1.1.- FPGA-IN

Este primer módulo corresponde a un circuito configurable del tipo FPGA modelo *Spartan 3E*, familia XC3S500E y *package/case* 208-PQFP (para más detalles del modelo y componentes internos revisar Capítulo II sección 5.3, o bien, [18]). La funcionalidad de este módulo se describe en la Figura IV. 2.

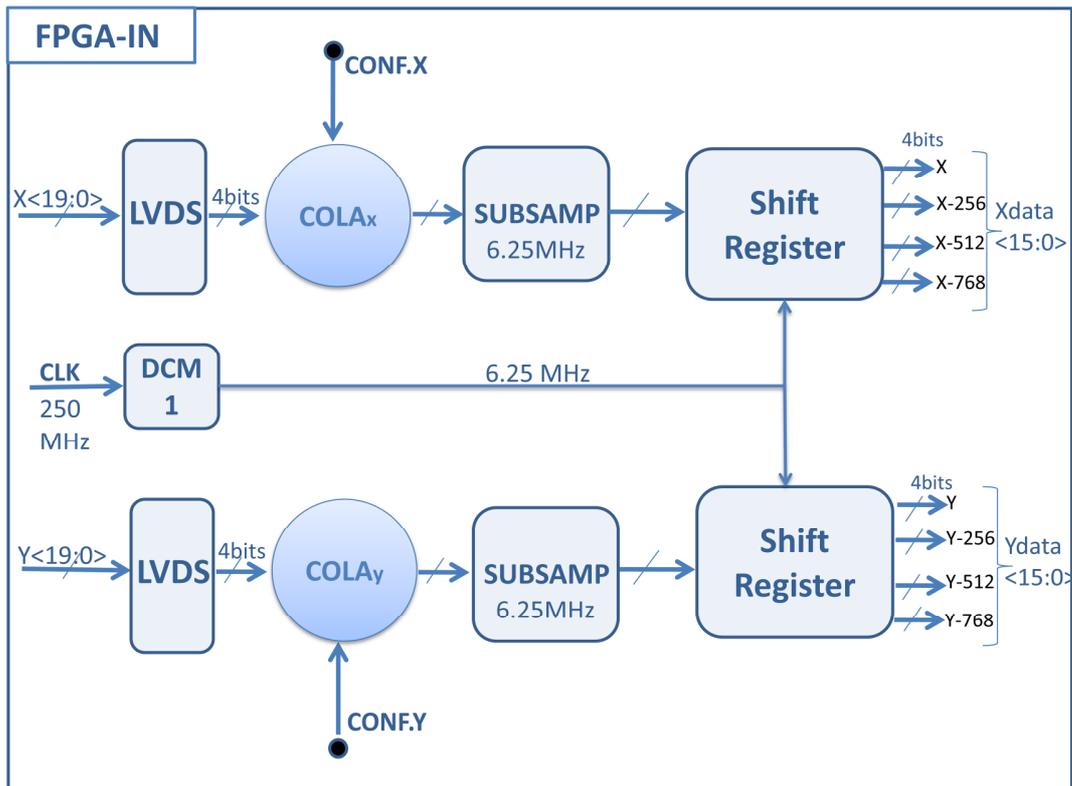


Figura IV. 2.- Diagrama de Bloques FPGA-IN.

A continuación se describen los bloques que constituyen la FPGA-IN (Figura IV. 2):

- LVDS: Captura los 10 bits de cada ADC (cada uno representado por dos señales complementadas según la transmisión LVDS), y de ellos escoge los 4 bit que se utilizarán en el proceso de correlación. La elección de dichos 4 bits será por medio de una palabra de control proveniente de la FPGA que administra dichas señales.
- COLA (x e y): Esta realiza la corrección geométrica de las antenas, o sea, corrige el retraso de una señal con respecto a la otra debido a la posición de la radio fuente si esta no se encuentra en el zenit. La magnitud de la corrección será enviada a este módulo mediante un bus paralelo que represente que antena tiene que hacer la corrección y cuantos ciclos hay que corregir (atrasar) la señal de la antena correspondiente.

- SUBSAMP: Reduce la frecuencia de muestras en el tiempo desde muestras con frecuencia de 250MHz a 6.25MHz. Para lograr esto es necesario rescatar una muestra cada 40 ciclos del reloj de 250 MHz. El motivo principal de esta acción radica en que se necesita gran precisión al momento de realizar la corrección geométrica (resolución angular). Pero como el Correlacionador de este trabajo tiene un ancho de banda aproximado de 3 MHz, entonces y por teorema del muestreo [3], la frecuencia mínima de flujo de datos que ingresa al Correlacionado debe ser al menos 6 MHz.
- Shift-Register: Éste módulo entrega las señales desplazadas en cuatro tiempos distintos (0, 256, 512 y 768). Dichos tiempos son entregados con respecto a la frecuencia de 6.25 MHz. El motivo por el cual se necesitan estas cuatro señales es debido al proceso propio del módulo que realiza la correlación (Banco ALMA1, el cual se describirá en la siguiente sección). Pero se puede adelantar que estas señales son necesarias pues internamente cada ALMA1 puede operar únicamente con 256 *Lags* por correlación (de un total de cuatro, R_{xx} , R_{yx} , R_{xy} y R_{yy}), luego para obtener los 1024 *Lags* es necesario alimentar los cuatro ASIC con esas cuatro señales retardadas en el tiempo. Para más detalle de esta justificación ir a sección 1.2 de este capítulo.
- DCM1: Éste es un módulo interno de la FPGA que como se explicó en el capítulo II Sección 5.3 permite, entre otras, cambiar la frecuencia de la señal de sincronización.

Cada uno de estos módulos fue implementado en el lenguaje de Hardware VHDL dentro de la plataforma de codificación ISE de la empresa manufacturera de la FPGA Xilinx.

1.2.- BANCO ALMA1

Este módulo está compuesto por cuatro ASIC, cada uno denominado ALMA1, los cuales realizan el proceso de correlación. En este trabajo se mencionarán algunos detalles del funcionamiento y señales de entrada y salida de este chip pero para más detalle del mismo consultar su *datasheet* [19].

Este dispositivo realiza el proceso principal de esta placa, es decir, de correlación. Específicamente este trabajo tiene como objetivo realizar una correlación de las señales de dos antenas, cada una representada por 4 bits, y que dicha acción entregue 1024 canales espectrales. Esto quiere decir que este Correlacionador tiene que ser capaz de adquirir dos señales de 4 bits y tiene que generar como resultado 1024 señales por correlación (también llamadas correlaciones cuantizadas en 4 bits y con 1024 canales espectrales). La cantidad de bit con la cual se expresen las correlaciones cruzadas y auto-correlación en un principio fue flexible dentro del proyecto, en consecuencia fue decisión del memorista elegir la cantidad de bits convenientes para expresar dichos resultados. Pero en base a los

dispositivos que se tiene para dicho proceso se llegó a escoger 45 bits por cada canal, pues en poco menos de 3 segundos (tiempo de integración) es posible obtener un número que se puede almacenar con este largo de bits.

En la Figura IV. 3 se muestra un esquemático cuales son los bloques internos del ALMA1 donde se realizan las correlaciones:

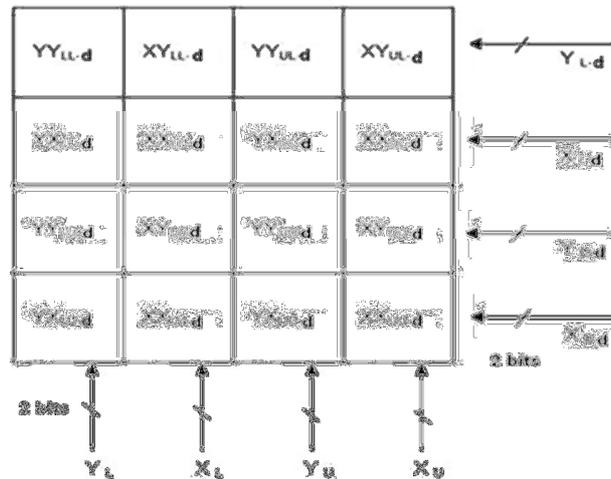


Figura IV. 3.- Bloques de correlación ALMA1 [19].

Como se puede apreciar en la Figura IV. 3, está compuesto por 16 Correlacionadores independientes, y dependiendo de su configuración, es posible “*unir convenientemente*” para obtener correlaciones con más canales. Cada Correlacionador está compuesto por una LUT y un acumulador de 25 bits. Estas dos acciones, búsqueda en la LUT y acumulación, se realizan en tan solo en un ciclo de la señal de sincronización (reloj). Antes que los acumuladores se llenen, existen dos señales que permiten que las correlaciones almacenadas se expulsen a la salida, estas señales se llaman BLANKING y DUMP-EN. La primera ocasiona que todo el chip deje de correlacionar y el segundo da una autorización general que los acumuladores puedan entregar sus datos.

Cada uno de los 16 correlacionadores internos que contiene cada ALMA1 tiene la capacidad de operar con 256 canales, generalmente llamados *Lags*, por lo tanto ASIC puede entregar hasta 4096 *Lags* como máximo. Además es posible apreciar que estos independientes Correlacionadores operan con señales de entrada de 2 bits y no con los 4 bits que se desean en los requerimientos del proyecto. Para resolver este inconveniente es necesario realizar las siguientes operaciones y además usar otros tres ASIC (Banco ALMA1) para obtener los 1024 canales solicitados.

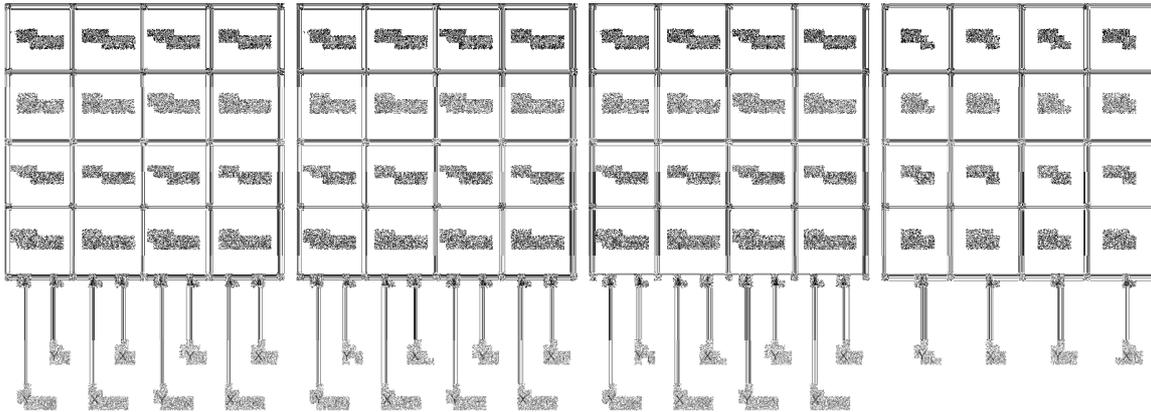


Figura IV. 4.- Correlación con 4 ALMA1, Banco ALMA1.

La tabla de multiplicación que implementa el chip ALMA1 está basada en la tabla que se presenta en la Figura 6 de [19]. Donde se puede ver que existe una asociación a cada nivel del digitalización, o simplemente un "peso": (+3,+1,-1,-3). A partir de estos pesos se genera la tabla de multiplicaciones que se implementa dentro de cada chip. Ahora si se está usando un digitalizador de 4 bits, se tiene 16 diferentes pesos para cada nivel: (+15,+13,+11,+9,+7,+5,+3,+1,-1,-3,-5,-7,-9,-11,-13,-15). Este conjunto de pesos entrega una tabla de 16 por 16 elementos. Si finalmente se completa esta tabla resulta que la fórmula general para cada correlación viene dada por la siguiente relación: $16UU+4UL+4LU+LL$. Donde "U" corresponde a los dos bits más significativos de la correlación y "L" a los dos menos significativos. De esta forma, y capturando los resultados de cada correlación del Banco ALMA1 es posible por medio de las siguientes relaciones obtener los 1024 *Lags* para señales de entrada de 4 bits.

$$R_{XX}(\tau)=16XX_{uu}+4XX_{lu}+4XX_{ul}+XX_{ll}, 0 \leq \tau \leq 255$$

$$R_{XX}(\tau)=16XX_{uu-256}+4XX_{lu-256}+4XX_{ul-256}+XX_{ll-256}, 256 \leq \tau \leq 511$$

$$R_{XX}(\tau)=16XX_{uu-512}+4XX_{lu-512}+4XX_{ul-512}+XX_{ll-512}, 512 \leq \tau \leq 767$$

$$R_{XX}(\tau)=16XX_{uu-768}+4XX_{lu-768}+4XX_{ul-768}+XX_{ll-768}, 768 \leq \tau \leq 1023$$

Estas últimas ecuaciones fueron hechas para la auto-correlación (R_{xx}), es decir, la operación de correlación de una antena consigo misma (X). Las Correlaciones cruzadas se obtienen al utilizar las correlaciones XY, o bien, YX de cada sub-bloque del Banco ALMA1.

Es importante mencionar que cada componente del Banco ALMA1 expulsa las correlaciones por un bus compartido (bus tri-estado) de 16 bits. Este bus de salida es controlado por una señal de 6 bit, llamado SEL[5:0], que identifica cual de los 64 sub-bloques tiene camino eléctrico libre para circular por el bus de 16 bit de salida. Además la

construcción del Banco ALMA1 fue de tal manera que todas las salidas de los chip ALMA1 estuviesen conectadas por un mismo bus de 16 bits, esto se puede hacer pues estos dispositivos entregan la libertad de manejar, por medio de una señal llamada HIZ, el estado de alta impedancia del bus de salida de cada chip.

La manera de configurar al cada chip ALMA1 es por medio de una señal serial llamada PGM_DATA, la cual tiene un largo de 128 bits, donde se especifica cada una de las múltiples modos de operación del este dispositivo. A continuación se muestra una tabla con la descripción de cada uno de los bits dentro de la palabra de configuración.

<u>NUMBERS</u>	<u>SIGNAL NAMES</u>	<u># bits</u>	<u>FIGURE</u>	<u>DESCRIPTION</u>
15 : 0	R0-M[15:0]	16	2, 4	program row 0 correlator multiplexers
31 : 16	R1-M[15:0]	16	2, 4	program row 1 correlator multiplexers
47 : 32	R2-M[15:0]	16	2, 4	program row 2 correlator multiplexers
63 : 48	R3-M[15:0]	16	2, 4	program row 3 correlator multiplexers
79 : 64	WRAPBLK[15:0]	16	2, 4	In Blk x, select data from previous 256 lag block. (0)
82 : 80	R0-W[2:0]	3	2, 4	program row 0 correlator wrap multiplexers
85 : 83	R1-W[2:0]	3	2, 4	program row 1 correlator wrap multiplexers
87 : 86	Spare Bits	2		
90 : 88	R2-W[2:0]	3	2, 4	program row 2 correlator wrap multiplexers
93 : 91	R3-W[2:0]	3	2, 4	program row 3 correlator wrap multiplexers
95 : 94	Spare Bits	2		
96 : 96	AUXEN	1	3	Enable data activity out of the Aux Bus outputs.
97 : 97	LTOR	1	3	Program right side output bus drivers.
99 : 98	CENTERBUS[1:0]	2	3	program internal tri-state drivers
100 : 100	LEADUR	1	4	Leads in the Upper Right
101 : 101	LEADLL	1	4	Leads in the Lower Left
103 : 102	Spare Bits	2		
108 : 104	SELDLY[4:0]	5	3, 8	program delay lines in DB0 to DB15 and blanking
111 : 109	Spare Bits	3		
115 : 112	FULLACC[3:0]	4	6	rows 3 thru 0, 21 bit/25 bit accumulator bit
119 : 116	OVERSAMP[3:0]	4	5	rows 3 thru 0 oversample program bit
120 : 120	CKPINEN	1	1	Enable C125 Out to conserve power.(0)
121 : 121	SETOUT	1	none	Set Result Outputs for test (0)
122 : 122	Spare Bit	1	none	(Was RESETOUT)
123 : 123	Spare Bit	1		(Was ALTBLNK)
124 : 124	RESETENB	1	8	Inhibit Dump to Storage (0)
125 : 125	RC_TSTE64	1	6	0 for 16 bit counter. 1 for 2, 8 bit counters.(0)
127 : 126	Spare Bits	2		
TOTAL		128		Value for normal operation shown above in ().

Tabla IV. 1.- Descripción de la palabra de configuración, chip ALMA1 [19].

A continuación se muestra un diagrama de bloques que resume el flujo de entrada y salida del Banco ALMA1.

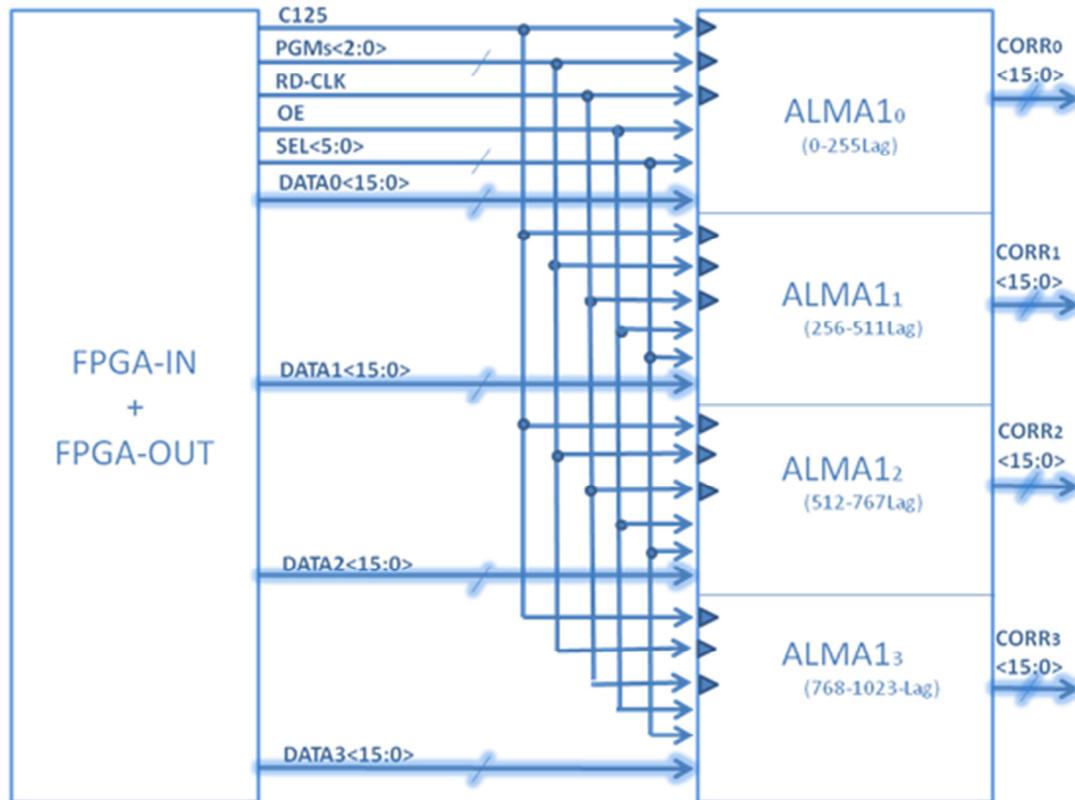


Figura IV. 5.- Flujo Entrada/Salida Banco ALMA1.

Las señales que aparecen en la Figura IV. 5 son:

- C125: Señal de sincronización de los ALMA1, esta señal tiene una frecuencia de 6.25 MHz.
- PGMs<2:0>: Bus de tres bits de la palabra de configuración de cada ALMA1. (detalles en la Figura IV. 1).
- RD-CLK<3:0>: Es la señal que habilita la salida de las correlaciones de cada ALMA1.
- OE<3:0>: Señal que habilita el estado de alta impedancia del bus de tri-estado de salida de cada ALMA1.
- SEL<5:0>: Bus habilita la salida de uno de los 64 sub-bloques de correlación internos de cada ALMA1.
- DATA0<15:0>: Bus de 16 bits de entrada del ALMA1₀. Este bus contiene los retardos 0 provenientes del módulo *Shift Register* de la FPGA-IN.
- DATA1<15:0>: Bus de 16 bits de entrada del ALMA1₀. Este bus contiene los retardos 0 y 256 provenientes del módulo *Shift Register* de la FPGA-IN.
- DATA2<15:0>: Bus de 16 bits de entrada del ALMA1₀. Este bus contiene los retardos 0 y 511 provenientes del módulo *Shift Register* de la FPGA-IN.

- DATA3<15:0>: Bus de 16 bits de entrada del ALMA1₀. Este bus contiene los retardos 0 y 768 provenientes del módulo *Shift Register* de la FPGA-IN.

En este último bloque se muestra que un bloque compuesto por la FPGA-IN y otra llamada FPGA-OUT entregan todas las señales de entrada para la total operación del Banco. El bloque FPGA-OUT se describe en la siguiente sección.

1.3.- FPGA-OUT

El modelo de FPGA que se usó para este bloque fue el mismo que la FPGA-IN. A diferencia de ese dispositivo, este nuevo bloque fue constituido no por un chip sino por tres de los mismos. El motivo de esta última decisión fue debido a que en el proyecto se propuso escoger chips con encapsulados que no fuesen del tipo BGA (“*ball grid array*”), pues requieren de técnicas rigurosas de ensamblajes en una PCB. Luego como en este trabajo se requiere gran capacidad de almacenamiento interno dentro del chip, se encontró que la FPGA *Spartan 3E*, familia XC3S500E y *package/case* 208-PQFP tiene la mayor cantidad de almacenamiento, la cual posee 20 Blocks RAM de 18 Kbit.

Se requiere almacenar 4096 *Lags* compuesto, cada uno, por 16 *bits* (salida de cada chip ALMA1), pero lamentablemente no es posible realizar todo el proceso de almacenamiento en una de los FPGA seleccionada. Luego la nueva decisión de diseño que se tomó fue usar dos FPGA para el almacenamiento secundario del Correlacionador (el primer almacenamiento se realiza en los chips ALMA1). Una última FPGA que preparará todas las correlaciones para confeccionar el Correlacionador de 1024 canales con una cuantización de 4 bits (uno de los objetivos del proyecto al cual pertenece esta memoria). En la Figura IV. 6 se muestra un diagrama de bloques que esquematiza el trabajo que tienen que realizar las tres FPGA que componen el periodo de salida de la correlación.

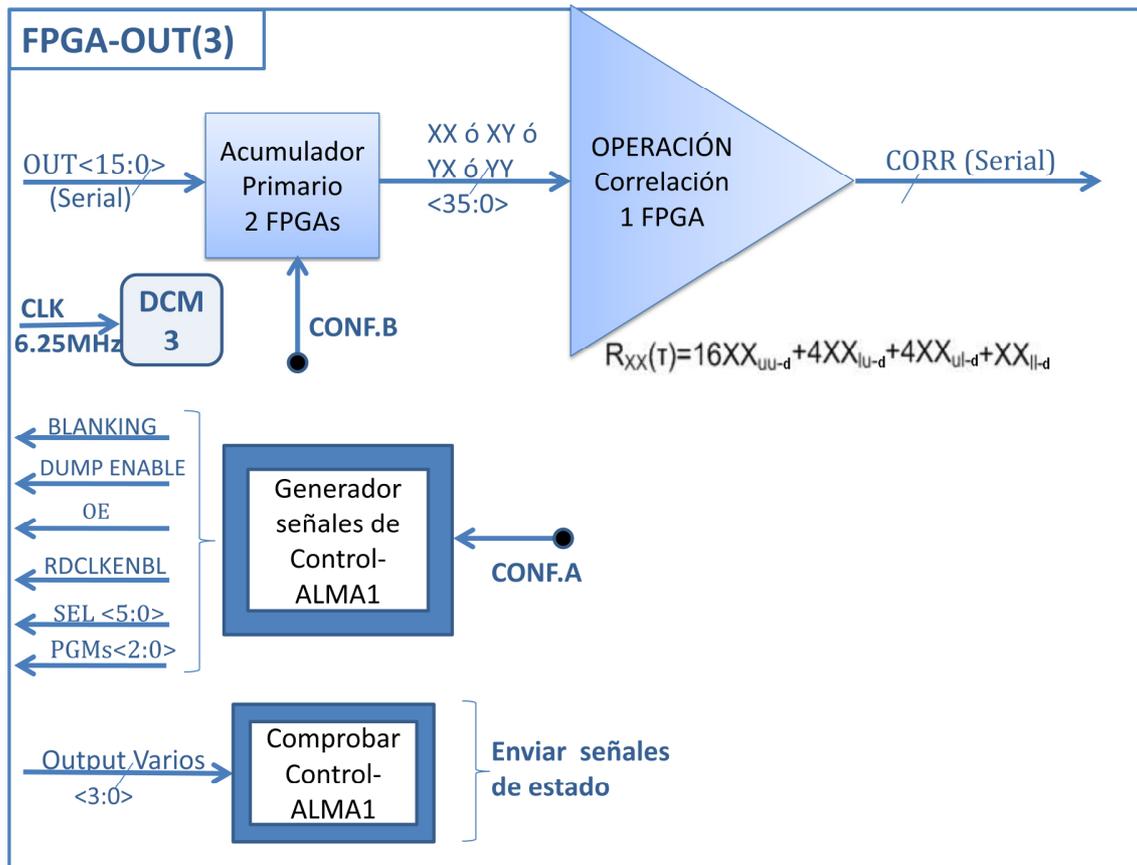


Figura IV. 6.- Esquema funcional de la FPGA-OUT.

El módulo de Acumulación primaria esta implementado dentro de las FPGA que reciben las correlaciones provenientes de los ALMA1. Mientras que el módulo de operación de correlación esta implementado dentro de la última FPGA-OUT, o sea, la que vuelve a acumular y hace la operación final de correlación (Sección 1.2 de este capítulo).

En la Figura IV. 6 existe un módulo que genera las señales de control de los ALMA. Estas señales son: $BLANKING$, $DUMP ENABLE$, OE , $RDCLKENBL$, SEL y PGM . Dichas señales se describirán con más detalle en la Sección 1.9.2 de este capítulo, y son generadas en las FPGA que reciben las correlaciones de los ALMA1. La señal OE tiene la misma función que la señal HIZ (estado de alta impedancia). $RDCLKENBL$ corresponde a un habilitador del sincronizador del “*flip-flop*” que administra el bus de salida de cada ALMA1.

El bus “ $Outputs_Varios$ ” es recibido por cada FPGA que reciben la correlación de los ALMA1. Este bus contiene la señal de sincronización, palabra de control, $BLANKING$ y $DUMP ENABLE$ que recibió cada ALMA1.

Para más comprensión de las conexiones que tienen que hacerse entre los ALMA1 y los FPGA-OUT, se ha confeccionado la Figura IV. 7. Esta figura contiene los diagramas de bloques representativos de cada componente:

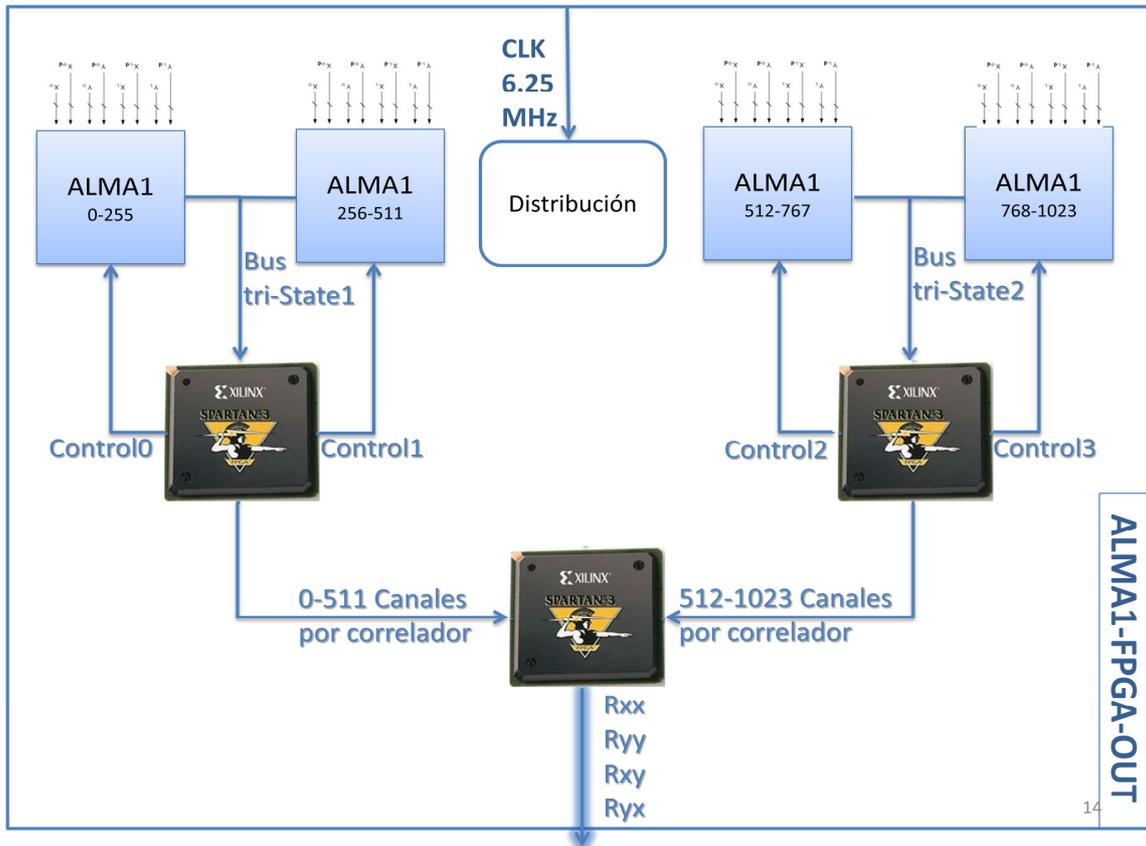


Figura IV. 7.- Conexión esquemática entre el Banco ALMA1 y las FPGAs-OUT.

1.4.- FPGA-CONTROL

Dentro de los cuatro bloques principales que componen el diseño de la Placa Digital, el último que resta por describir corresponde al encargado de administrar las señales de control que fluyen entre esta placa y el mundo exterior (computador), tal como se muestra en la Figura IV. 8.- Esquema de FPGA-CONTROL.

Las funciones que tiene que desempeñar este bloque es dar, directa o indirectamente, instrucciones de control a todos los bloques principales de esta placa. Además tiene la misión de enviar señales de control a la Placa ADC y a la Placa Analógica. Todas estas señales de control serán emitidas desde la estación de control del interferómetro (computador), el cual por medio de esta FPGA podrá comunicarse con estos tres

importantes circuitos. Las instrucciones desde el computador se enviarán por medio del protocolo de comunicación Serial. A continuación se realiza un listado de las señales que tiene que administrar este bloque:

- Placa Analógica: Controlar el circuito sintetizador que controla un oscilador local que contiene ese circuito.
- Ganancia entrada ADC: Controlar las ganancias de las señales de entrada de los dos conversores ADC (revisar Anexo 1, Sección 1.4).
- ADC: Controlar, por medio de un puerto SPI, las operaciones de los conversores ADC [13], página 22.
- Selector sincronizador ADC: Controlar el administrador de reloj de la placa ADC, como los retrasos y desfases. (revisar Anexo 1, Sección 1.3).
- Colas circulares: Comunicar a la FPGA-IN cual de las antenas, y en cuánto hay que realizar la corrección geométrica debido a la posición de la radio fuente.
- FPGA-OUT:
 - (1) y (2): Controlar las FPGA que realizan la segunda acumulación del Correlacionador. Además este mismo dispositivo envía las señales de control y configuración de los Chips ALMA1 (revisar Sección 1.2 de este Capítulo).
 - (3): Controlar la FPGA que realiza las operaciones para obtener las correlaciones con 1024 canales. Este módulo de control además controla una señal de test, el cual consiste en enviar la información almacenada por esta FPGA para comprobar en cualquier momento el funcionamiento del Correlacionador.

La estrategia que se utilizó para constituir el bus de control (proveniente de la FPGA-CONTROL) hacia los restante FPGA es la siguiente:

- Primeros 2 bits de este bus señalan cual de las cuatro FPGA se quiere enviar instrucciones de control. Donde “00” corresponde a las FPGA-IN; “01” y “10” a las primeras dos FPGA-OUT; “11” a la última FPGA-OUT (quien realiza la última operación de correlación).
- Restantes 8 bits corresponden a los datos de control que se desean transmitir. Para más detalle de dichos datos (por FPGA) revisar archivo “CONTROL_FPGA.vhd” de cada proyecto de FPGA.

A continuación se muestra la Figura IV. 8 que resume de manera esquemática el funcionamiento de la FPGA de control:

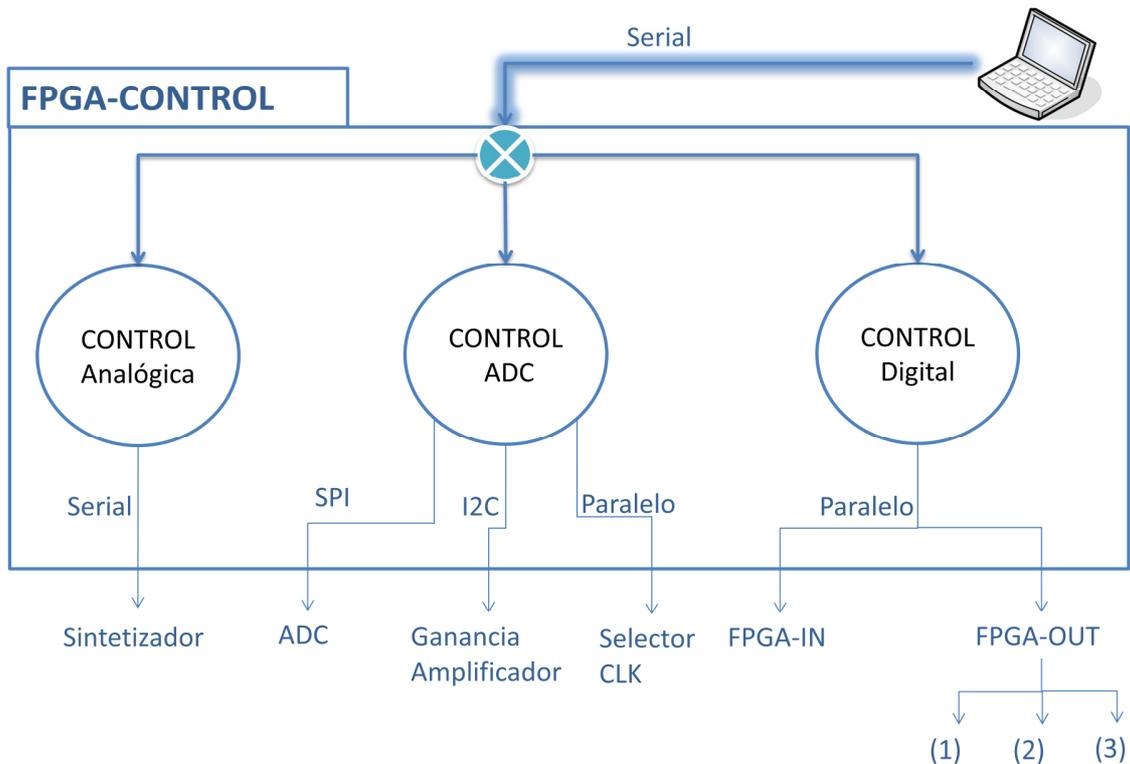


Figura IV. 8.- Esquema de FPGA-CONTROL.

1.5.- Distribución de Sincronización

Una etapa muy importante del diseño de este circuito digital es la adecuada distribución de sincronización de eventos dentro de los subsistemas digitales. El diseño de esta placa debe considerar condiciones de retraso y potencia de la señal de sincronización. Además el actual diseño considera un cristal oscilador propio para la realización de pruebas de funcionamiento de la placa. Este oscilador se escogió para que sea de la misma frecuencia y protocolo que el seleccionado en la Sección 5.2 del Capítulo II.

En la Figura IV. 9 se muestra el diseño a nivel esquemático de la distribución de sincronización dentro de la placa digital:

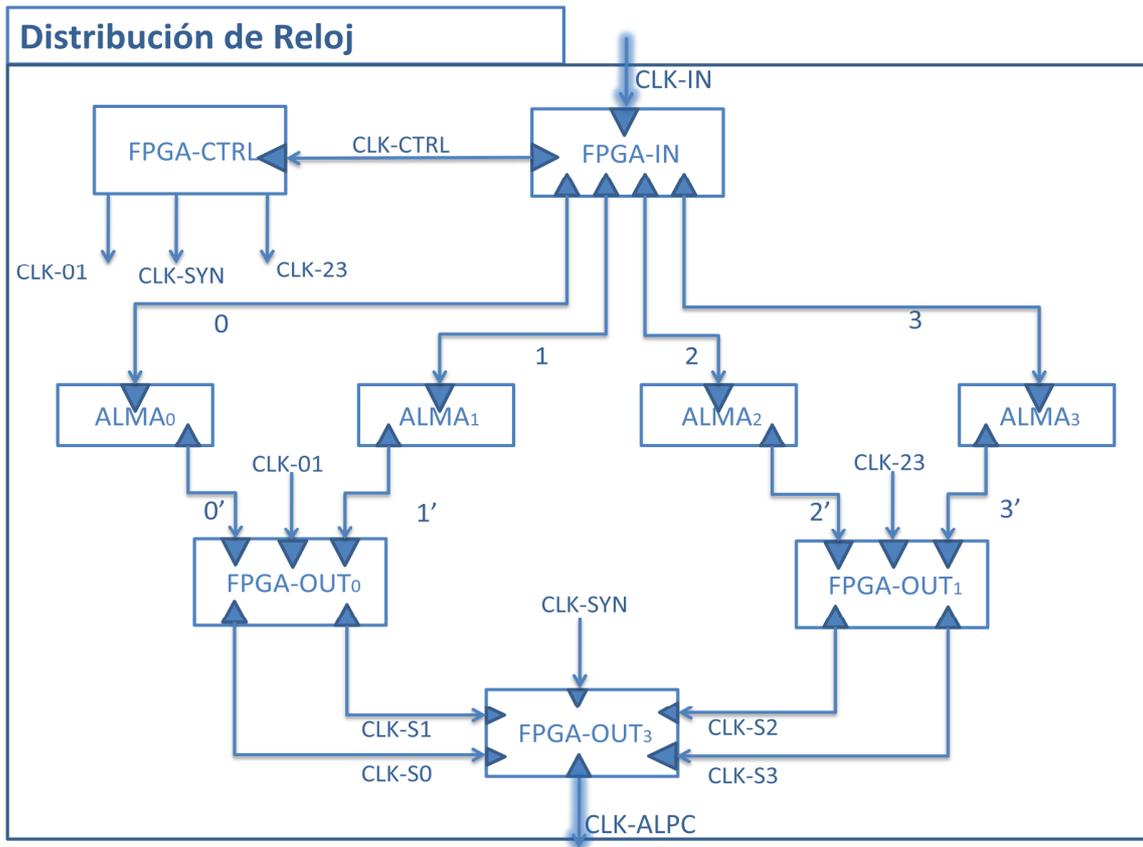


Figura IV. 9.- Distribución de Reloj dentro de la Placa Digital.

Como es posible apreciar en la Figura IV. 9, la FPGA-IN obtiene la señal de reloj (250 MHz) de forma externa proveniente de la placa ADC. Luego dos DCM en este dispositivo se encargan de dividir dicha señal hasta alcanzar los 6.25 MHz, con los cuales se trabajará en gran parte de todo el Correlacionador en forma de árbol. Esta última señal se exporta a las otras FPGA (con excepción de la última FPGA-OUT, la cual recibirá relojes de los otras FPGA). Cabe mencionar que se decidió alimentar a la FPGA de control con una señal de reloj de 25 MHz (uno de los pasos del proceso con DCM para obtener los 6.25MHz), para obtener un mayor nivel de detalle al momento de estar realizando las funciones de control.

1.6.- Red de Configuración JTAG-CHAIN

Una de las grandes ventajas de trabajar con circuitos programables es la gran flexibilidad que tienen éstos a distintas configuraciones del usuario. Pero para lograr que estos dispositivos se carguen con distintas configuraciones es necesario un procedimiento que, para el caso de las FPGA, se llama JTAG-CHAIN.

La misión de este procedimiento será conectar las cinco FPGA que se incluyen en la Placa Digital. Dicha conexión corresponde a una cadena, la cual transfiere la información desde un primer eslabón (Maestro) hasta todos los eslabones siguientes (Esclavos). Para más información sobre esta arquitectura revisar la referencia [20], página 79. A continuación se muestra un diagrama de bloques de la configuración JTAG-CHAIN que se escogió para el diseño dentro de la Placa Digital, que específicamente se llama “*Master Serial Mode*”:

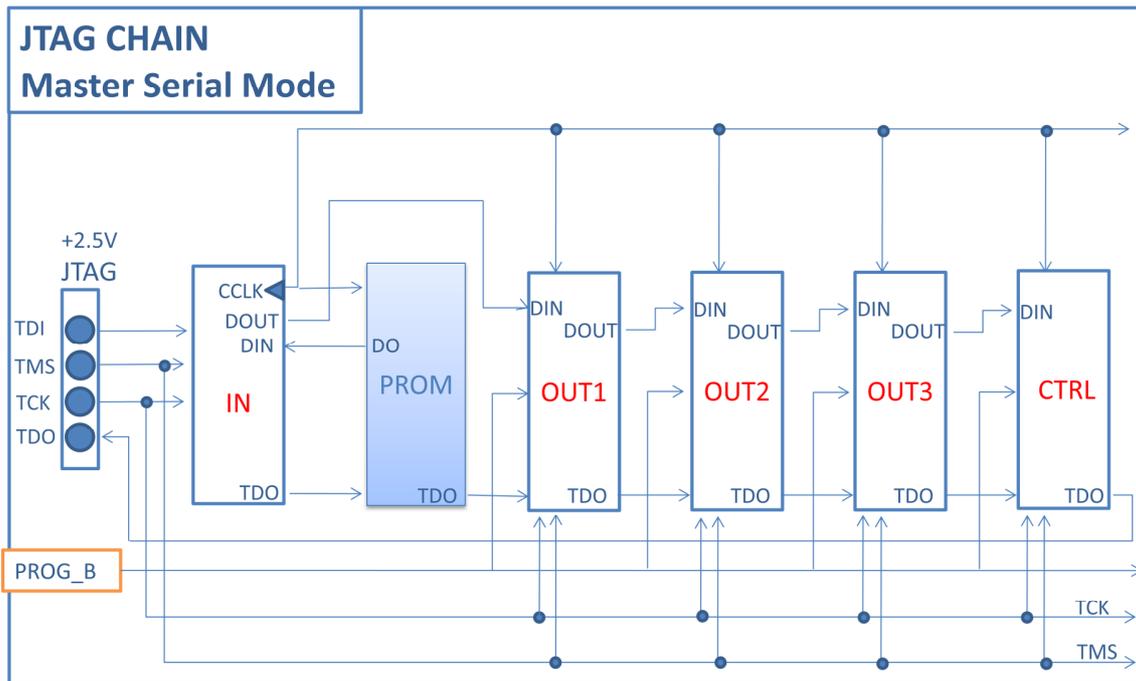


Figura IV. 10.- JTAG-CHAIN, Master Serial Mode.

La memoria PROM que se escogió para almacenar las configuraciones de todas las FPGA, tuvo que ser lo suficientemente grande para almacenar los más de 2 Mbit que se necesitan por cada FPGA para su configuración. Luego la memoria que cumple con el espacio suficiente, y recomendada por Xilinx, fue la PROM modelo XCF16P también del fabricante Xilinx (revisar datasheet [21]).

1.7.- Suministro de Poder

En total esta placa requiere de tres distintos voltajes para suministrar de potencia a los principales dispositivos que se han mencionado. El listado de los voltajes y a donde van dirigido se muestra en la Tabla IV. 2.

$V_{CCINT}=1.2V$	Es el principal suministro de poder de la lógica interna de la FPGA. Se estimó, por medio de [22], que la potencia máxima para esta rama, por cada FPGA, es de 0.24 W
$V_{CCO}=2.5V$	Es el suministro principal de los <i>Buffers</i> de entrada/salida de cada bloque de la FPGA. Se estimó ([22]) que la potencia máxima para esta rama, por cada FPGA, es de 1.65 W
$V_{CCAUX}=2.5V$	Es el suministro auxiliar de los <i>Buffers</i> de entrada de salida, principalmente para optimizar el <i>performance</i> frente las oscilaciones voltaje que se podrían producir internamente. Se estimó ([22]) que la potencia máxima para esta rama, por cada FPGA, es de 0.54 W
$V_{PROM}=2.5V$	Es el suministro principal de potencia para la memoria PROM.
$V_{ALMA1}=1.8V$	Es el suministro completo y único de poder para los ASIC ALMA1. Estos dispositivos consumen una potencia máxima (con un reloj de 125 MHz) de 1.1 W. Pero como se trabajará con una frecuencia de 6.25 MHz esta estimación sirve para encontrar valores máximos que facilitarán elección del regulador adecuado.

Tabla IV. 2.- Detalle y especificación de cada voltaje.

Se requieren tres tensiones para un total de 10 grandes dispositivos, por lo cual es necesario reguladores de voltajes con gran capacidad de carga. Para estos fines se eligieron reguladores DC/DC, los cuales cumplen especialmente con las necesidades de potencia de cada dispositivo [23]. Entre las características destacadas del regulador seleccionado, está que puede entregar por la rama de voltaje regulado una corriente de hasta 7 A para un voltaje de 2.5 V. Cabe destacar que dicho voltaje regulado puede variar entre 0.75 V a 5.5 V.

En la Figura IV. 11 se muestra un diagrama de bloques que sintetiza la distribución de poder de la placa Digital:

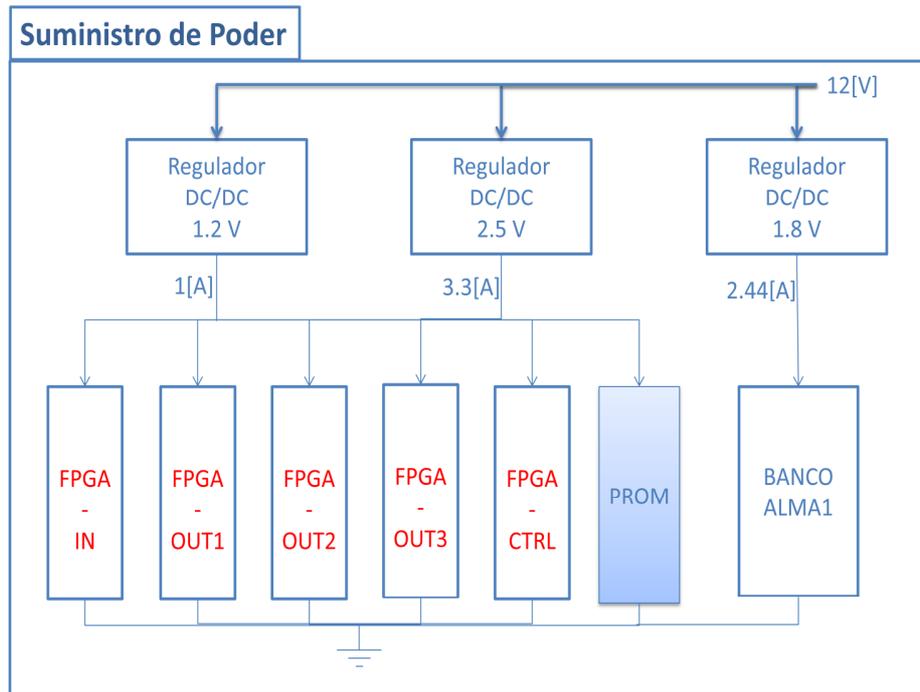


Figura IV. 11.- Suministro de Poder Placa Digital.

Para suministrar energía a la placa se utilizará un circuito de regulación ajustable mediante resistencias de alta precisión (aproximadamente 0.01%). Dicho circuito ajustable responde a la siguiente relación:

$$V_{out} = \left(1 + \frac{R_{upper}}{R_{lower}}\right) \cdot 0.75 [V]$$

1.8.- Circuitos esquemáticos Placa Digital

En esta sección se pretende resumir el trabajo realizado en el proceso previo a la confección de la PCB que constituirá la placa que albergará el Correlacionador. Para ello esta sección se enfocará en los principales componentes de dicha placa: FPGA (representación general de los cinco dispositivos), Banco ALMA1, Circuito regulador de voltaje, Circuito de configuración y Reloj de prueba. Se empleó un *software* genérico que sirve para representar esquemáticamente circuitos de los cuales se confeccionará la *NetList* del PCB.

1.8.1.- FPGA

Por la cantidad de FPGA que incluye este trabajo, se muestra solamente uno de los circuitos esquemáticos que se implementó en este trabajo, específicamente se mostrará el esquema de la FPGA-IN (Figura IV. 12), la cual tiene una mayor densidad de terminales de entrada/salida:

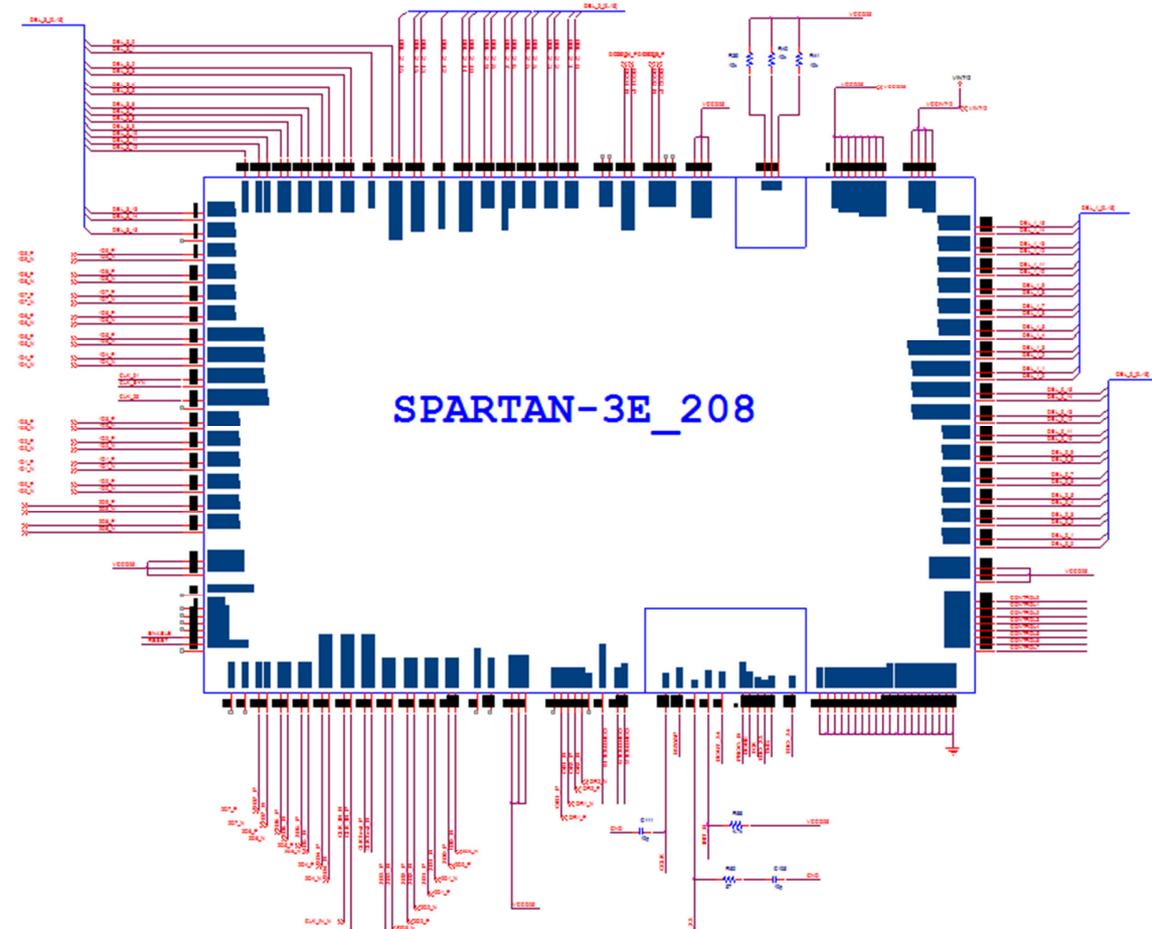


Figura IV. 12.- Circuito esquemático FPGA-IN.

Esta FPGA recibe los datos (40 terminales o pines) de la placa ADC (formato LVDS) como también el reloj de sincronización. Luego tiene que conectarse con cada ALMA1, estos corresponden a 4 buses de 16 bits cada uno para entregar todos los bits necesarios para la correlación. Entre otras, la FPGA-IN tiene que recibir el bus compartido de control de la FPGA de control (CONTROL[10:0]). Y finalmente tiene que unirse convenientemente a la cadena de configuración de las FPGA (*JTAG-CHAIN*). Para más información sobre ello consultar a datasheet [18] y referencia [20], página 79.

Por la gran cantidad de terminales que tiene este dispositivo no es posible apreciar con detalle las características de cada terminal de entrada/salida. Sin embargo en este diseño se trató de representar los cuatro bloques de entrada/salida, llamados también *I/O Banks*, de la FPGA. La ubicación de cada terminal, dentro del esquema de la Figura IV. 12, coincide con localización física en la FPGA que se describen en el datasheet de este dispositivo [18], página 186. La Tabla IV. 3 resume la cantidad de terminales I/O que contiene esta FPGA.

Además de terminales de entra/salida este dispositivo tiene 32 terminales de suministro de energía, 20 de los cuales son de retorno de corriente (tierra digital) y 12 de suministro de voltaje positivo para alimentación interna de potencia.

Package Edge	I/O Bank	Maximum I/O	All Possible I/O Pins by Type				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
Top	0	38	18	6	1	5	8
Right	1	40	9	7	21	3	0
Bottom	2	40	8	6	24	2	0
Left	3	40	23	6	0	3	8
TOTAL		158	58	25	46	13	16

Tabla IV. 3.- Cantidad máxima de I/O pin de la FPGA escogida.

Es de un especial interés mencionar las conexiones que tiene la FPGA de control con el resto de los circuitos (Figura IV. 8), las principales fueron: (para más detalle revisar archivo “Placa_Digital1.opj”)

- Bus de control: CONTROL[0..10], éste se conecta con las restantes 4 FPGA.
- Puerto SPI de ambos ADC: ADC_RESET, ADC_CSB y ADC_SDIO. Para más información revisar [13] página 23.
- Puerto serial de entrada: SERIAL_IN[0..2], se conecta con el computador para recibir instrucciones.
- Control placa Analógica: ANALOGICA_CLK, ANALOGICA_LO y ANALOGICA_ENABLE, puerto serial que se conecta con la placa analógica de este proyecto.
- Control Resistencia digitales: RSHUNT_SD0, RSHUNT_SD1, RSHUNT_SD0A, puerto I²C para cada resistencia que controlan las ganancias de las señales analógicas que ingresan a cada ADC (revisar Anexo 1, sección 1.5).
- Control distribuidor de reloj en placa ADC: selector de voltaje para controlar el replicación del reloj en la placa ADC (revisar Anexo 1, sección 1.3).

1.8.2.- BANCO ALMA1

Al igual como se decidió en la Sección anterior, principalmente por la cantidad de ASIC, es que a continuación se muestra el circuito esquemático de uno de los chips ALMA1 que constituyen el BANCO ALMA1.

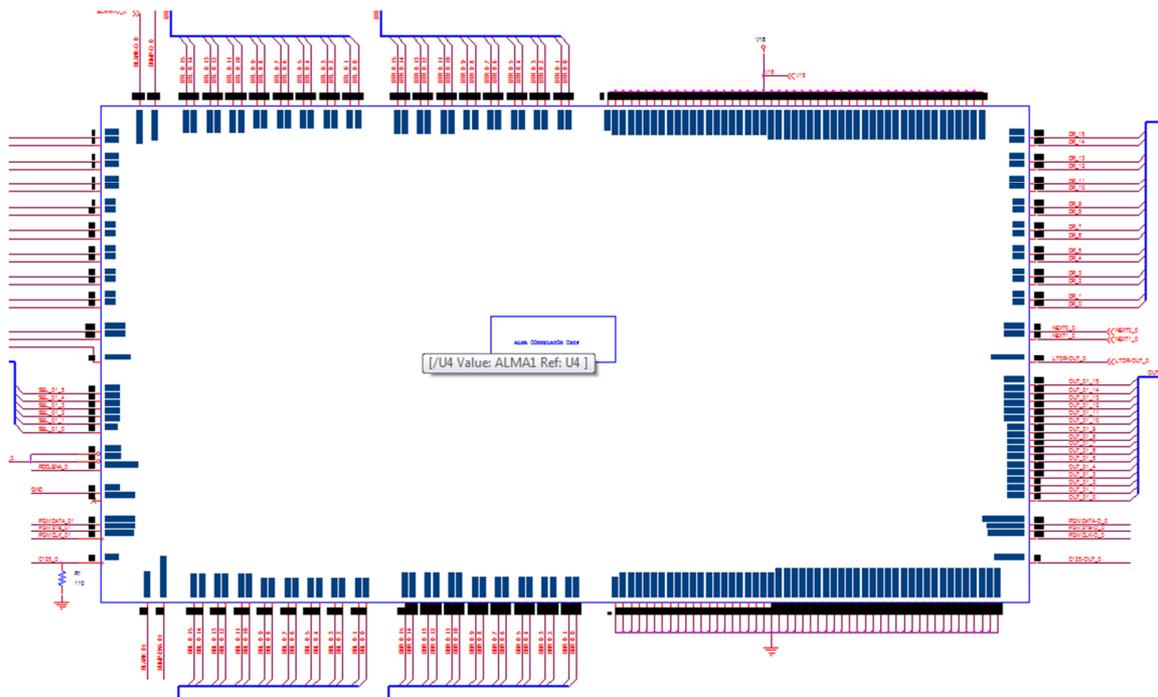


Figura IV. 13.- Circuito esquemático ALMA1.

En la Tabla IV. 3 se muestran las especificaciones de cada terminal que contiene este dispositivo. Cabe destacar que cada uno de los terminales/señales que se muestran en la Tabla IV. 4 deben ser suministrados (con excepción de los terminales de salida, I/O y triestado) de manera externa, para que este dispositivo funcione de manera correcta.

SIGNAL NAME	PIN NAME	LOAD*	IN/OUT	# PINS	FIG.	DESCRIPTION
C125	CKPIN		input	1	8	125 MHz clock
C125OUT	C125OUTPIN	1AX	output	1	8	125 MHz clock output signal
DBL[15:0]	DBLPIN<15:0>		inputs	16	3	input data signals, bottom left
DTL[15:0]	DTLPIN<15:0>	1A	outputs	16	3	output data signals, top left
DBR[15:0]	DBRPIN<15:0>		inputs	16	3	input data signals, bottom right
DTR[15:0]	DTRPIN<15:0>	1A	outputs	16	3	output data signals, top right
DL[15:0]	DLPIN<15:0>	1A	I/O	16	3	left chip input/tri-state output
DR[15:0]	DRPIN<15:0>	1AP	I/O	16	3	right chip input w. PU/tri-state output
D0-X[1:0]	PREVPIN<1,0>		inputs	2	2	External input to the ROW0 5to1 MUX.
D4-X[1:0]	NXTPIN<1,0>	1A	outputs	2	2	Lag shift outputs from ROW 3.
BLANKING	BLANKPIN		input	1	8	blanking
BLANK OUT	BLANKOUTPIN	1A	output	1	8	blanking out
DUMP ENABLE	DUMPENPIN		input	1	8	dump enable
DUMP OUT	DUMPOUTPIN	1A	output	1	8	dump enable out
PGM DATA	PGMDATAPIN		input	1	8	program data in
PGM CLK	CKPGMPIN		input	1	8	program clock in
PGM STB	PGMSTIPIN		input	1	8	program data strobe in
PGM DATA OUT	PGMOUTPIN	1AX	output	1	8	program data out
PGM CLK OUT	CKPGMOPIN	1AX	output	1	8	program clock out
PGM STB OUT	PGSTOPIN	1A	output	1	8	program data strobe out
OUT[15:0]	OUTPIN<15:0>	4A+1X	tri-state	16	7	results read-out bus
XOE\	XOEBPIN		input	1	7	horiz output enable (Low true)
YOE\	YOEBPIN		input	1	7	vert output enable (Low true)
RDCLKENBL	RDCLKENPIN		input	1	7	Shifts out results.
SEL[5:0]	SELPIN<5:0>		input	6	7	Select 64 lag sub-block.
LTOR-OUT	LTOPIN	1A	output	1	3	anti bus contention signal
LTOR-IN	LTIPIN	P	input	1	3	anti bus contention signal
HIZ	HIZPIN		input	1	1	High Impedance Test (1 for test)
RINGOSC	RINGOSCPIN	1AX	output	1	1	Ring Oscillator Output
VSS-GND			power	49		chip ground
VDD-VCC			power	50		chip power

Tabla IV. 4.- Especificación de terminales ALMA1, [17], página 17.

La forma de construir el Banco ALMA1 es de cierta manera una conexión en cascada entre los cuatro circuitos integrados. Así de esta forma se logra constituir una cadena en la cual se transfieren, ente otras, la palabra de configuración, señales de sincronización y datos de correlación. La Figura IV. 14 ilustra de una forma resumida cómo es la conexión que forma el BANCO ALMA1.

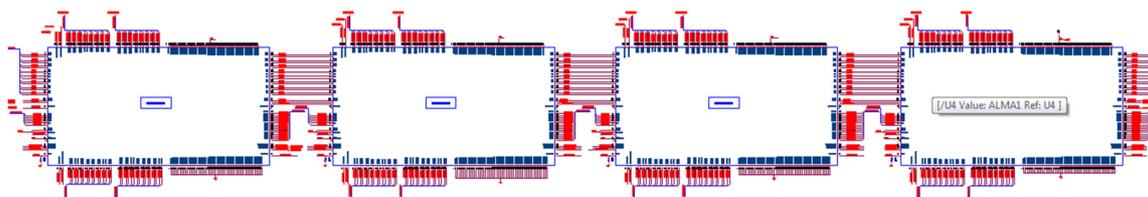


Figura IV. 14.- Conexión en cascada de los ALMA1: BANCO ALMA1.

1.8.3.- Circuito regulador de voltaje

El regulador que se escogió para realizar la función suministro de energía es de tecnología DC/DC (referencia [23]). En total se adquirieron tres de estos dispositivos, que tienen la flexibilidad de ser ajustables para los tres voltajes de suministro que se necesitan en esta placa. Los voltajes que se necesitan son: 2.5 V, 1.8V y 1.2 V (revisar “Sección 1.7.- Suministro de Poder” para el detalle de cada voltaje). El circuito esquemático de uno de ellos (específicamente el de 2.5 V) se muestra en la Figura IV. 15.

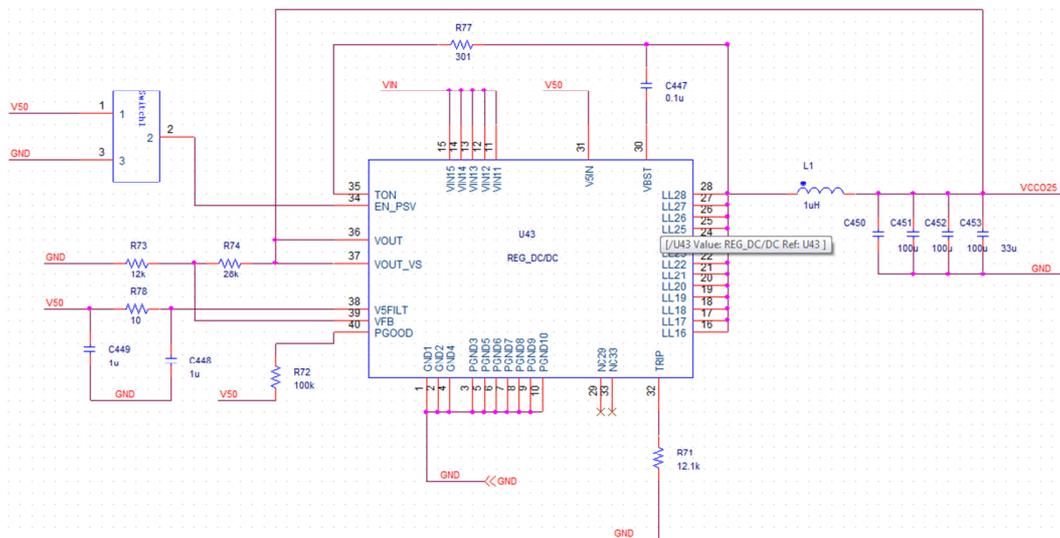


Figura IV. 15.- Circuito esquemático regulador 2.5 V.

Cabe recordar que este regulador emplea un circuito regulador ajustable por medio de dos resistencias (revisar Sección 1.7 de este Capítulo) que fueron escogidas con una precisión de 0.01% aproximadamente. Además de este circuito, es importante mencionar el sistema de desacoplamiento que tiene cada una de las ramas de voltaje regulado. Para el fin de desacoplamiento se usaron las cantidades y valores de condensadores que recomienda el *datasheet* (referencia [23], página 21) de este dispositivo. Mientras que para los terminales con tensiones de 2.5 V y 1.2 V (en cada FPGA) se usaron los condensadores usados en la plataforma de desarrollo “*Starter Kit Board*” de Xilinx [24], página 148. Además se integró a este diseño un selector o “*switch*” que controla el *encendido/apagado* del regulador, y así con ello tener un grado mayor de control de los reguladores por parte del operador de la placa.

1.8.4.- Circuito de configuración y Reloj de prueba

En la Figura IV. 16 se resume el circuito configuración que tuvo que desarrollarse para cargar las distintas configuraciones dentro la JTAG-CHAIN, en ella se muestra el circuito

de memoria (PROM) de la cadena y el conector JTAG. Para más detalle de la elección de componentes y las conexiones revisar [24] página 143, de cuales se basaron gran parte de este último esquemático. Cuando el proceso de configuración termina (señal DONE tiene una tensión aproximada de 3 V) un diodo *Led* se activa para señalar que el este proceso ha terminado y que todas las FPGA están cargadas con las configuraciones transferidas mediante la cadena JTAG.

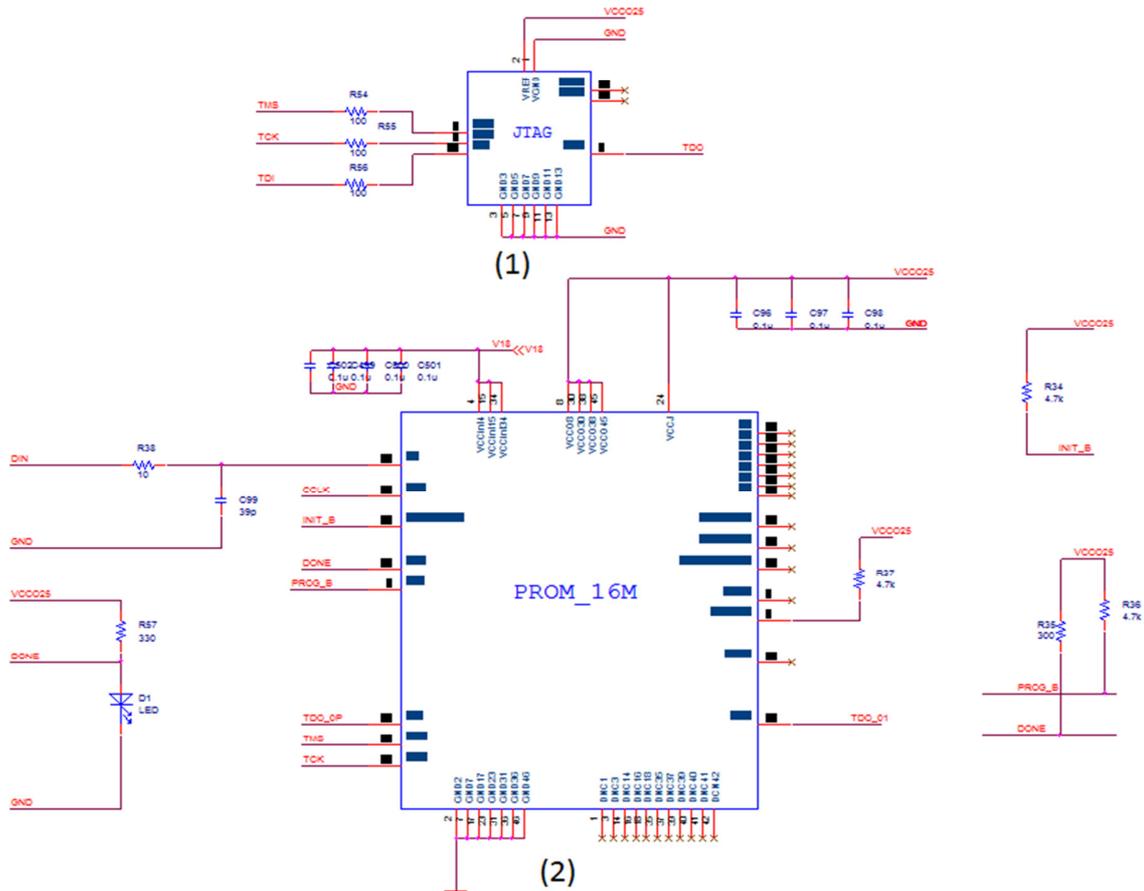


Figura IV. 16.- Circuito esquemático de configuración: (1): conector JTAG. (2) PROM.

En la Figura IV. 17 se muestra el circuito esquemático del cristal oscilador que contiene esta placa para que trabaje de manera independiente sin necesidad de conectarse con la Placa ADC. Este último procedimiento se basa en la decisión de diseño de integrar a la Placa Digital un reloj propio para realizar pruebas de funcionamiento de todos los dispositivos internos de esta placa.

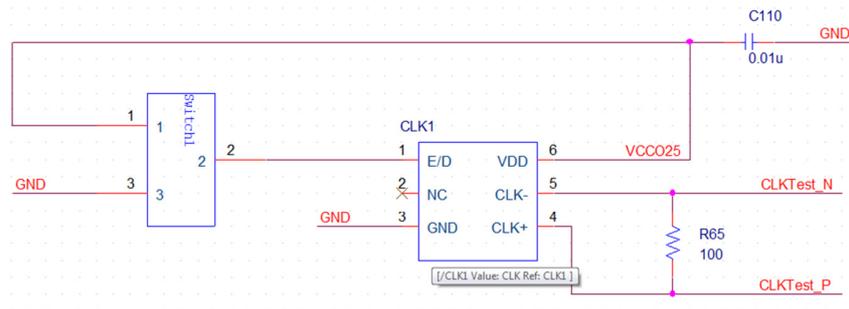


Figura IV. 17.- Circuito esquemático del reloj propio de la Placa Digital.

El oscilador empleado envía señales de sincronización (en modo de prueba) en formato LV-PECL, y es por ello que necesita una resistencia de 100 ohm entre las dos señales complementarias (*CLKtest_N* y *CLKTest_P*) propias de las señales diferenciales de alta velocidad (en este caso 250 MHz). Al igual como se realizó con el circuito esquemático del regulador DC/DC, se introdujo un selector o “switch” que controla el *encendido/apagado* del dispositivo oscilador. Esto permite que el circuito se apague cuando el Correlacionador está en proceso de operación normal (conectado con la placa ADC).

1.8.5.- PCB Placa Digital (sin rutear)

En esta sección se muestra el resultado del posicionamiento de las plantillas de la localización de cada conexión eléctrica (“*footprints*”) de cada dispositivo dentro de la PCB de esta placa. En este trabajo específico (Figura IV. 18) se puede visualizar la necesidad de una herramienta potente para poder unir eléctricamente los componentes (de manera automática) y así terminar el diseño del PCB.

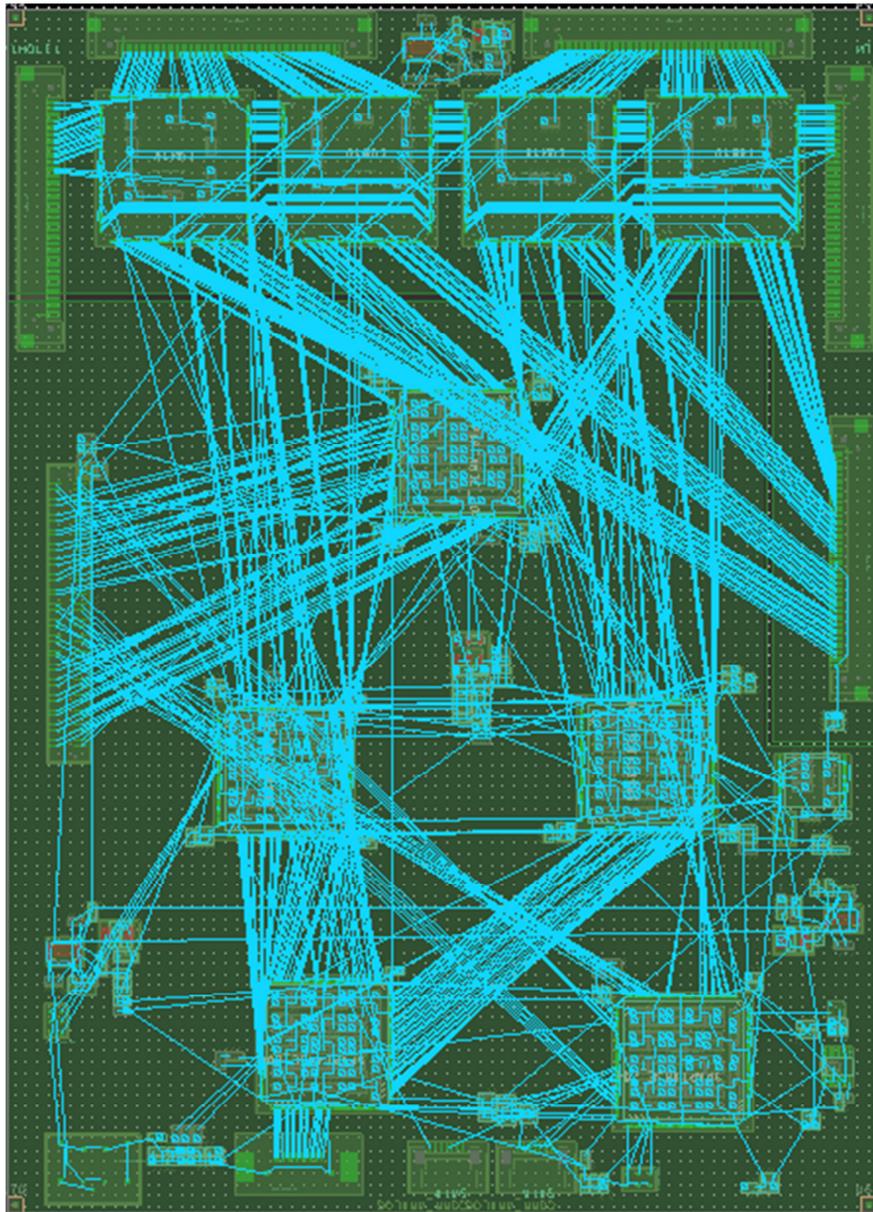


Figura IV. 18.- PCB de la Placa Digital sin rutear.

En la Figura IV. 19 se realiza una representación 3D de la Figura IV. 18, donde se describe con más detalle las componentes más importantes de esta placa:

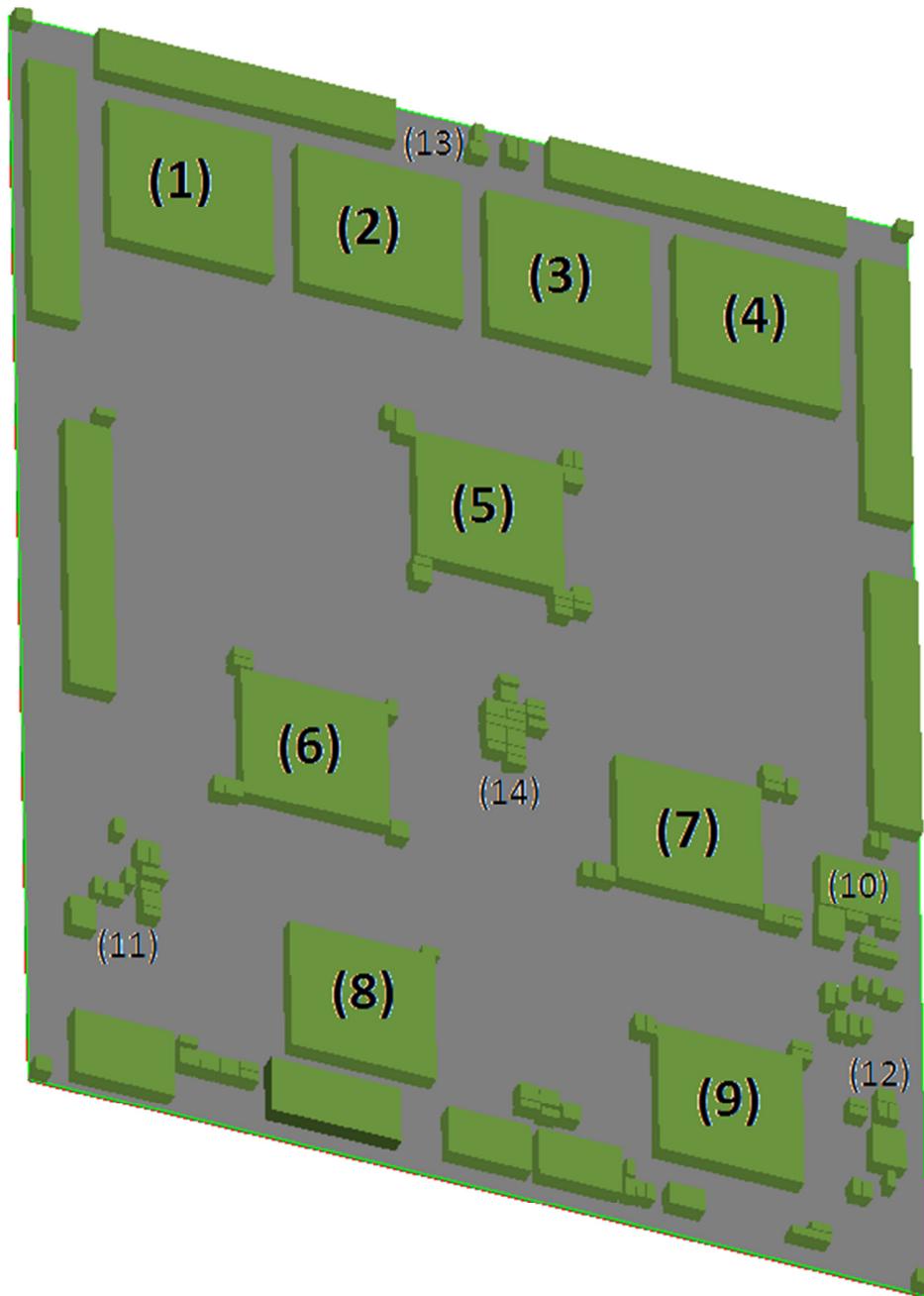


Figura IV. 19.- Imagen 3D del TOP *Layer* de la Placa Digital sin Rutear.

En la Figura IV. 19 se enumeran las componentes principales de esta placa, las cuales son:

- (1), (2), (3) y (4): Corresponden a los cuatro ALMA1, constituyentes del Banco ALMA1.
- (5): FPGA-IN.
- (6) y (7): FPGA-OUT que realizan el segundo proceso de acumulación del Correlacionador.

- (8): FPGA-OUT que realiza las últimas relaciones para obtener las cuatro correlaciones con 1024 canales cada una.
- (9): FPGA-CONTROL.
- (10): PROM.
- (11), (12) y (13): Circuitos de suministro de energía, basados en reguladores DC/DC.
- (14): Circuito oscilador, generador de señal de sincronización de Test.

En la Figura IV. 20 se muestra el otro plano (*BOTTOM Layer*) visible de la PCB:

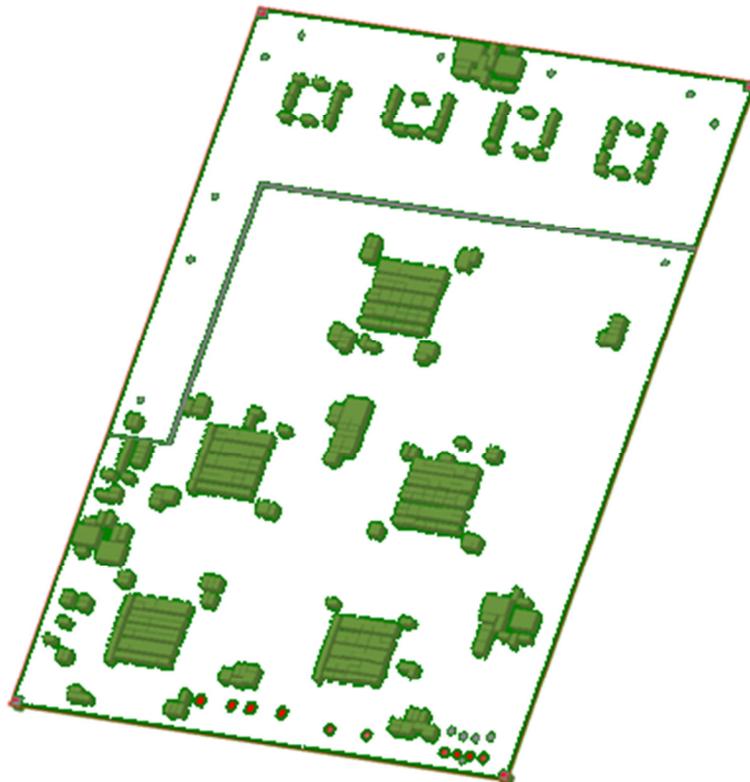


Figura IV. 20.- Imagen 3D del *BOTTOM Layer* de la Placa Digital.

En la Figura IV. 20 se puede apreciar que los condensadores de desacople, en su gran mayoría, se situaron en el *BOTTOM Layer* del PCB. De esta forma se optimiza el espacio con la finalidad de confeccionar un PCB con menores dimensiones.

1.9.- Programación módulo FPGA

En esta sección se describirán brevemente cómo fueron las implementaciones en software de los módulos esquemáticos dentro de las FPGA que se mencionan en este capítulo.

Las FPGA escogidas son del fabricante Xilinx. La herramienta que esta empresa tiene para el proceso de programación de sus FPGA se llama ISE. En consecuencia los diagramas y módulos de diseño de este trabajo fueron implementados por medio de este *software*.

1.9.1.- FPGA-IN

El propósito de este dispositivo es alimentar al Banco ALMA1 con la información digitalizada de las antenas, de manera que pueda realiza el proceso de correlación que se solicita (cuantización de 4 bits y una cantidad de 1024 canales). Para estos fines se requiere:

1. Disponer de un módulo de control que monitoree y ejecute instrucciones dentro de esta FPGA.
2. Escoger 4 de los 10 bits (en formato LVDS) que entrega la Placa ADC se van utilizar para la correlación.
3. Aplicar corrección geométrica de las antenas con respecto a la radio fuente.
4. Realizar un proceso de *subsampling* para disminuir la frecuencia de datos de 250 MHz a 6.25 MHz.
5. Alimentar al Banco ALMA1 con los registros desplazados en el tiempo (0, 256, 512 y 768 ciclos del reloj de 6.25 MHz) para obtener la correlación con 1024 canales.
6. Disponer de una circuito digital (DCM) que disminuya la frecuencia de la señal de sincronización importada desde la Placa ADC, para obtener así los 6.25 MHz con que trabajará el Correlacionador.

En síntesis, los datos de entrada serán:

- 10 bits (en formato LVDS) por antena.
- Señales de control: Bus compartido entre las 5 FPGA de la Placa Digital, llamada CONTROL [10:0], más señales ENABLE y RESET.
- Señal de sincronización con respecto a los bits de entrada del ADC.

Los datos de salida serán:

- Una señal de sincronización de 6.25 MHz por cada ALMA1.
- Una señal de sincronización de 25 MHz para la FPGA de control.
- 8 datos de 4 bits por cada antena, que serán los datos que entrada en el Banco ALMA1 (Figura IV. 4).

La Figura IV. 21 se ilustra los bloques y conexiones que se construyeron para las configuraciones lógicas dentro de la FPGA-IN. La Figura IV. 21 es la implementación del esquemático de la Figura IV. 2 en el programa ISE. Para más detalle de las programación (en VHDL y esquemáticos) recurrir al proyecto “FPGA_IN.ise” adjunto en el CD de esta memoria.

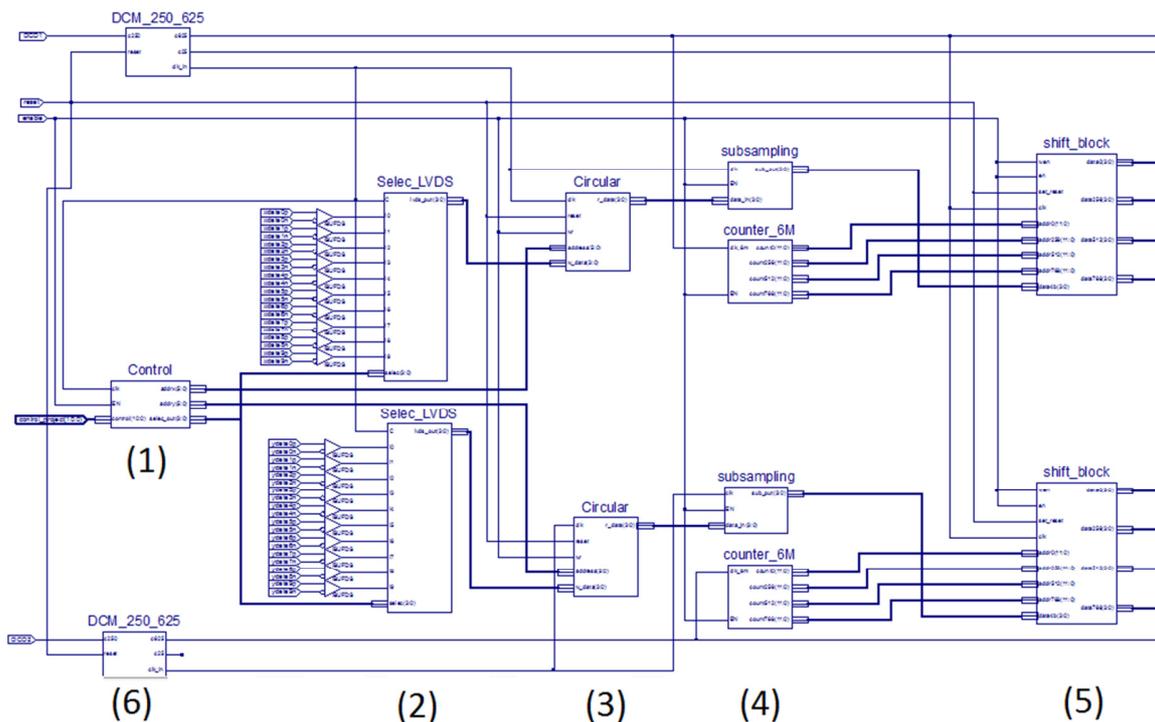


Figura IV. 21.- Esquemático FPGA-IN: (1) Control. (2) Selector LVDS. (3) Colas Circulares. (4) *Subsampling*. (5) *Shift Register*. (6) DCM.

1.9.2.- FPGA-OUT (Acumuladores)

En la sección 1.3 de este capítulo se mencionó que la FPGA-OUT estará tan solo compuesta por tres de estos dispositivos. Los dos primeros tendrán la misión de recibir las correlaciones y de enviar instrucciones de control al Banco ALMA1 (la tercera FPGA se describirá en la sección 1.9.3). Para cumplir con estos fines es necesario:

1. Disponer de un módulo de control que monitoree y que ejecute instrucciones tanto dentro de esta FPGA como enviar instrucciones a los ALMA1 con las que esté conectada.
2. Bloques acumuladores, que estén implementados en base a Block RAM. Dichas memorias albergarán la acumulación de los 4096 *Lags* que cada ALMA1 enviará a estas FPGA.
3. Un bloque selector que envíe, de manera secuencial, los datos acumulados de cada *Lag* a la siguiente FPGA (más detalle de esto se verá en la sección 1.9.3).
4. Disponer de un circuito digital (DCM) que administre y distribuya la señal de sincronización dentro de la FPGA.

Los datos de entrada de la FPGA-OUT que acumula son los siguientes:

- Datos secuenciales de 16 bits de la correlación de cada ALMA1. Recordar que cada una de estas FPGA está conectada a dos ALMA1 que comparten un mismo bus de salida.
- Señales de sincronización provenientes de cada ALMA1. Además de otra señal de reloj proveniente de la FPGA de control.
- Señal de control (11 bits): Bus compartido entre las 5 FPGA de la Placa Digital.

Los datos de salida serán:

- Un Bus secuencial de 36 bits de las acumulaciones de cada *Lag* que provienen del cada ALMA1.
- Dos señales de sincronizaciones provenientes de cada ALMA1.
- Señales de control por cada chip ALMA1:
 - DUMP ENABLE: señal que habilita la salida de los acumuladores de cada ALMA1.
 - BLANKING: Señal que interrumpe la correlación de cada ALMA1.
 - RDCLKENL: Señal que habilita el reloj de un *flip-flop* que conduce las señales de salida de cada ASIC hacia el *buffer* de tri-estado.
 - OE: Señal que deja en estado de alta impedancia el bus de salida de cada ALMA1.
 - SEL[5:0]: Señal de 6 bits que selecciona uno de los 64 sub-bloques de correlación de cada ASIC.
 - PGM CLK: Señal de sincronización de la palabra de configuración de cada ALMA1.
 - PGM DATA: Palabra de configuración. Se transmite de manera serial.
 - PGM STB: Palabra de configuración secundaria de cada ASIC. También se transmite de manera serial.

Además de estas señales de entrada y salida, es importante mencionar que internamente existe una señal que permite la escritura de los datos de la acumulación en el bus de salida de esta FPGA. Esta señal se genera cuando han transcurrido los ciclos suficientes para garantizar que no se llene el espacio en las Block RAM. Esta señal se llama “*leer1*” y autoriza al módulo que administra la memoria para enviar los datos hacia la próxima FPGA.

La Figura IV. 22 se ilustra los bloques y conexiones que se construyeron para las configuraciones lógicas dentro de la FPGA en cuestión.

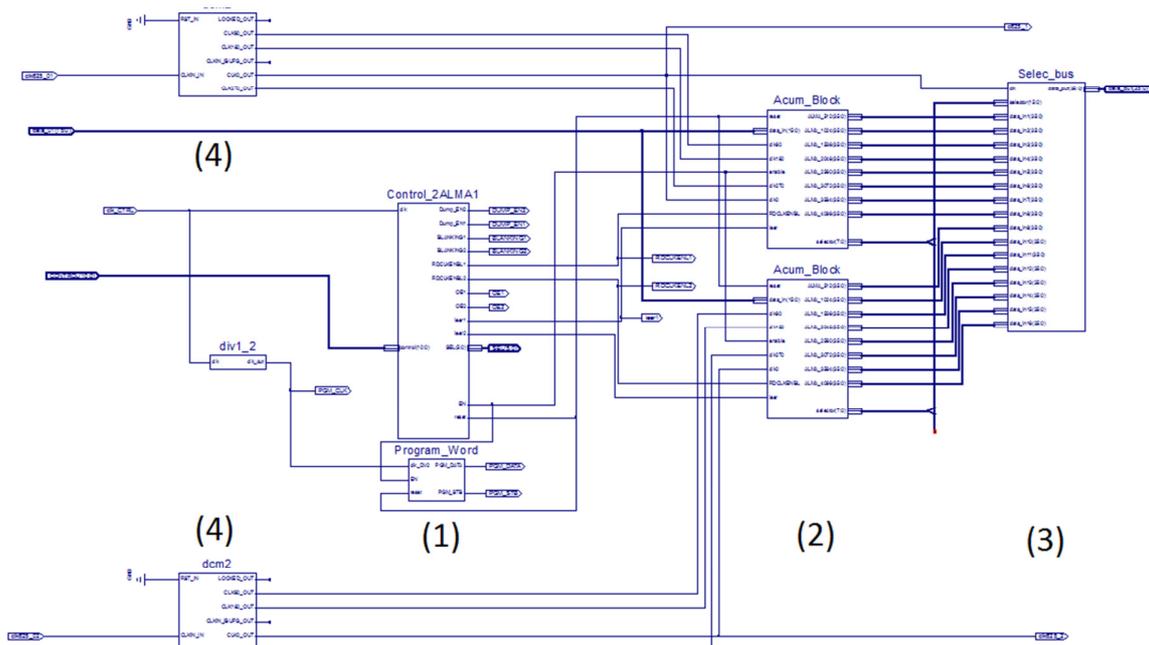


Figura IV. 22.- Esquemático FPGA-OUT (acumulador). (1) Módulo de control y configuración. (2) Módulo de administración de memoria RAM. (3) Selector Bus de salida. (4) DCM.

Cabe mencionar que estos dos FPGA que acumulan los resultados provenientes del BANCO ALMA no son completamente iguales (a nivel de programación). Esto debido que la arquitectura de los ASIC permite que entre ellos se comuniquen frases de configuración. Por lo cual no es necesario que las dos FPGA suministren la misma palabra a todos los ALMA1, sino que solo resulta suficiente entregarle una palabra a uno solo para que éste se las comunique secuencialmente a los otros ASIC.

La Figura IV. 22 es la implementación del esquemático de la Figura IV. 6 en el programa ISE. Para más detalle de las programación (en VHDL y esquemáticos) recurrir al proyecto “FPGA_OUT1_2.ise” adjunto en el CD de esta memoria

1.9.2.- FPGA-OUT (Cálculo)

En esta última FPGA es donde se termina el proceso de correlación en la Placa Digital. Este dispositivo está encargado de entregar, de manera serial, los 1024 *Lags* (procedentes de las acumulaciones anteriores) al computador que monitoreará el Correlacionador. Luego para cumplir esta labor es necesario:

1. Disponer de un módulo de control que monitoree y que ejecute instrucciones tanto dentro de esta FPGA como enviar instrucciones a los ALMA1 con las que esté conectada.

2. Un módulo que permita sincronizar las señales de las dos FPGA-OUT anteriores para operarlas dentro de la lógica de esta FPGA.
3. Bloques, basados en Block RAM, donde se almacenen y realicen las operaciones de correlación (revisar Sección 1.8.2 de este capítulo) para obtener los 1024 canales de cada correlación.
4. Módulo que serialice todas las correlaciones para que sean, de éste modo, enviadas al computador.

Los datos de entrada de este dispositivo serán:

- Acumulación de las correlaciones realizadas en las etapas previas (36 bits por FPGA).
- Señales que determinan cuando hay que leer los datos de las etapas previas (señal *leer1*).
- Señal de control: Bus compartido entre las 5 FPGA de la Placa Digital (CONTROL[10:0]).
- Señal de sincronización de control proveniente de la FPGA de control.
- Señales de sincronización provenientes de las FPGA previas.

Dentro del flujo de diseño, la única salida de este dispositivo es la señal serial que representa las cuatro correlaciones (R_{xx} , R_{yy} , R_{yx} y R_{xy}), cada una de 1024 canales del Correlacionador de este trabajo. La Figura IV. 23 ilustra los bloques y conexiones que se construyeron para las configuraciones lógicas dentro de la FPGA-OUT que realiza los últimos cálculos para obtener las correlaciones ya mencionadas. La Figura IV. 23 es la implementación del esquemático de la Figura IV. 6 (“Operación Correlación 1 FPGA”) en el programa ISE. Para más detalle de la programación (en VHDL y esquemáticos) recurrir al proyecto “FPGA_OUT3.ise” adjunto en el CD de esta memoria.

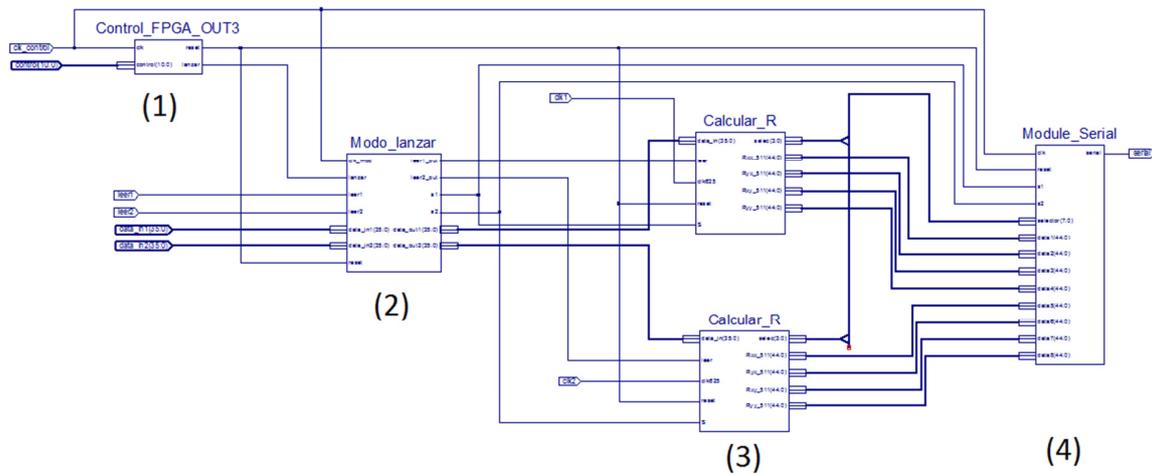


Figura IV. 23.- Esquemático FPGA-OUT (Cálculo). (1) Módulo de control. (2) Modulo de sincronización de datos. (3) Módulo de administración Block RAM y cálculos. (4) Módulo de serialización.

1.9.3.- FPGA-CONTROL

El diseño de esta sección se basa en los esquemas realizados en la Sección 1.3 de este Capítulo. Para estos fines se usó un programa gestor de interfaces de comunicación dentro de una FPGA Xilinx, este programa se llama EDK, mediante su plataforma de visualización en *Windows*: “*Xilinx Platform Studio*”. Este programa está encargado de administrar los recursos del procesador *Microblaze* que se incorpora a la FPGA.

El método de codificación de los módulos de control insertos en esta plataforma es mediante un programa en lenguaje C. El programa que cumple con las especificaciones establecidas para la FPGA de control se adjunta en el capítulo de Anexos: Anexo 4. Al cargar este programa en *Xilinx Platform Studio* se forma un diagrama de bloques que representa todos los módulos que se usarán en el proyecto. En la Figura IV. 24 se muestra dicho diagrama que resume el trabajo de esta FPGA:

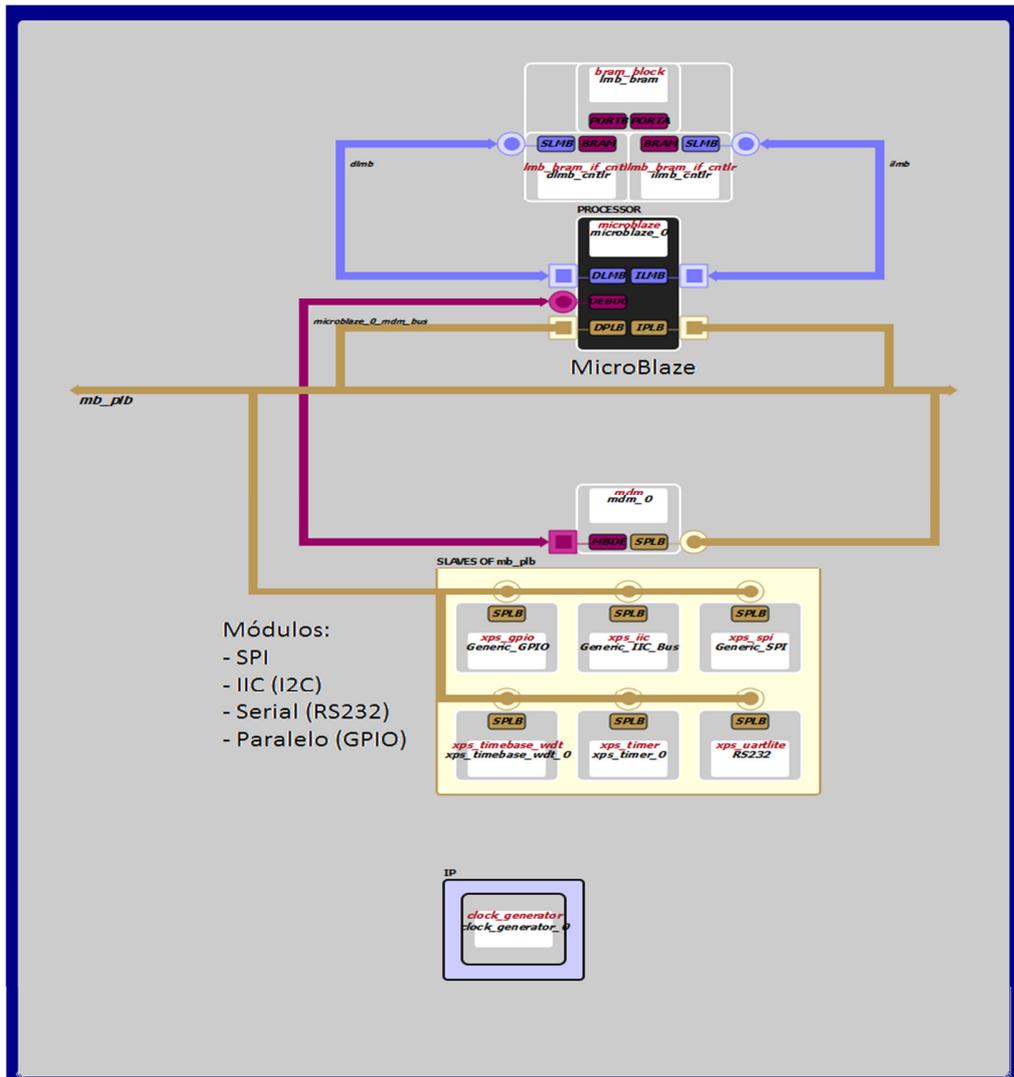


Figura IV. 24.- Esquema de comunicación y control dentro de la FPGA de control.

La Figura IV. 24 es la implementación del esquemático de la Figura IV. 6 en el programa ISE. Para más detalle de la programación revisar Anexo 4, donde se detalla y comenta la filosofía de programación como el método de programación de la FPGA-CONTROL.

V. Resultados y discusión

En este capítulo se describirán y discutirán los resultados principales del diseño de los módulos de programación de las FPGA. Y Al final del capítulo se mostrarán el diseño final de la PCB de esta misma Placa. En ella se describirán las técnicas y topología que fueron necesarias para cumplir con las restricciones propias del diseño que contiene el Correlacionador basado en ASIC y FPGA. Para más detalle de se realizaron los pasos de validación del diseño revisar Sección 5.2 del Capítulo II.

1.- FPGA-IN

En esta sección se describirá los resultados, por medio de simulaciones, de la FPGA que recibe las señales digitalizadas de la Placa ADC, y además debe entregar 8 señales (por antena) de 4 bit al Banco ALMA1 para el proceso de correlación (revisar Sección 1.2 del Capítulo IV). A continuación se muestra algunas figuras que ilustran las simulaciones que se realizaron al esquema de la Figura IV. 2; donde se muestra las simulaciones de las señales de una de las antenas (las señales de la otra antena tienen formas análogas pues fueron construidas a partir de los mismos módulos en ISE):

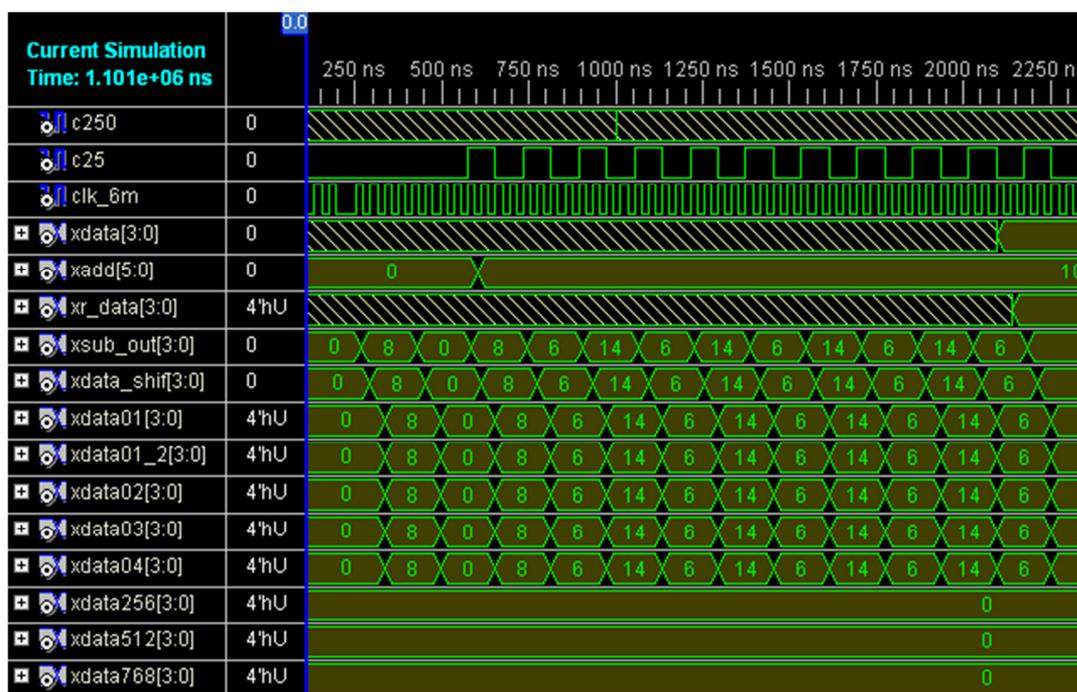
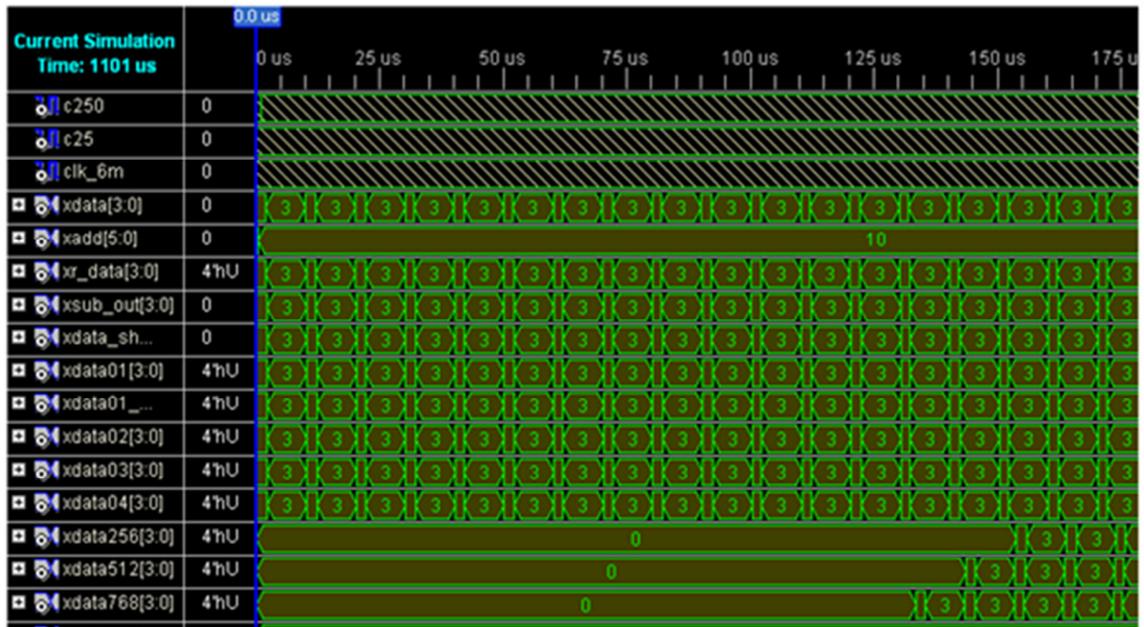


Figura V. 1.- Simulación FPGA_IN: Inicio del proceso.

En la anterior figura se muestra las siguientes señales de entrada/salida:

- `c250`: Es la señal de sincronización de entrada a la FPGA (proveniente de uno de los ADC, en este caso la antena X). Tiene una frecuencia de 250 MHz.
- `c25`: Es la señal de sincronización de salida de la FPGA. Ésta es el resultado de la división por 10 que realizó uno de los DCM. Ésta señal se exportará a la FPGA de control.
- `clk_6m`: Es la señal de sincronización que tendrá los módulos que operarán una de las señales (en este ejemplo será la antena X).
- `xdata[3:0]`: Datos de entrada a la cola circular. Éstos son los 4 bits que se seleccionaron, de la antena X, para realizar la correlación.
- `xadd[5:0]`: Seis bits que representan la cantidad de ciclos de reloj que hay que retrasar una antena con respecto a la otra para realizar la corrección geométrica. Para este ejemplo este dato aproximadamente en el tiempo 600 ns (después de haber activado la simulación) se ingresa el valor decimal 10, es decir, se debe retrasar en 10 ciclos de reloj la señal de la antena X.
- `xr_data[3:0]`: Resultado de la corrección geométrica.
- `xsub_data[3:0]`: Resultado del *sub-sampling* (de 6.25 MHz).
- `xdata_shift[3:0]`: Éste es uno de los cuatro datos a los cuales se ha aplicado el *shift register*. En este ejemplo resulta ser el dato con cero ciclos de retraso del reloj.
- `xdata01[3:0]`: Primera salida del *shift register* con retraso de cero ciclos de reloj. Según la Figura IV. 4 es necesario 5 de estas señales para alimentar el Banco ALMA1. Las otras señales idénticas son: `xdata01_2[3:0]`, `xdata02[3:0]`, `xdata03[3:0]` y `xdata04[3:0]`.
- `xdata256[3:0]`: Señal de salida del *shift register* retrasada en 256 ciclos del reloj. Las otras señales de retraso son `xdata512[3:0]` y `xdata768[3:0]`, con 512 y 768 ciclos de retraso.

En la Figura V. 1 no es posible apreciar que las señales `xdata256[3:0]`, `xdata512[3:0]` y `xdata768[3:0]` hayan cambiado. Esto se debe a que aun mantienen el valor inicial que guardan por defecto de la Block RAM de donde provienen y aun no ha transcurrido el tiempo necesario (según sea los ciclos de retraso) para poder mostrar estos resultados. Pero en la Figura V. 2 se ilustra los momentos en los cuales ya todas las señales tienen datos provenientes del módulo “*shift register*” con lo cual se puede empezar el proceso de correlación.



Comenzar a Correlacionar

Figura V. 2.- Tiempo para empezar la correlación.

Según la Figura V. 2 se puede apreciar que a partir de aproximadamente 160 micro segundos de haber activado la señal ENABLE, es posible disponer de los datos necesario para alimentar de información al Banco ALMA1 para empezar a correlacionar. Esto entrega datos importantes tanto dentro como fuera de esta FPGA, pues dice cuando hay que aplicar señales de RESET dentro de todas los circuito configurables y a partir de ahí empezar el verdadero proceso de correlación.

Cabe destacar que en esta simulación se omitió el proceso de elección de los 4 bits que representarán los bits de significancia de cada antena. Pero por medio de las siguientes líneas de código en VHDL se seleccionan.

```

case selec is
    when "0110" => tmp <= (i9 & i8 & i7 & i6);
    when "0101" => tmp <= (i8 & i7 & i6 & i5);
    when "0100" => tmp <= (i7 & i6 & i5 & i4);
    when "0011" => tmp <= (i6 & i5 & i4 & i3);
    when "0010" => tmp <= (i5 & i4 & i3 & i2);
    when "0001" => tmp <= (i4 & i3 & i2 & i1);
    when "0000" => tmp <= (i3 & i2 & i1 & i0);
    when others => tmp <= (i9 & i8 & i7 & i6);
end case;

```

V. Resultados y discusión

Donde “*ix*” es cada bit importado (posición “*x*” dentro de los 10 bits) desde la Placa ADC. La señal “*selec*” es la que contiene la información (proveniente del módulo de control) de cuál entre las siete posibilidades de elección de los 4 bits será el que ingrese al Correlacionador.

La Tabla V. 1 resume la utilización de esta FPGA.

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	622	9,312	6%
Number of 4 input LUTs	364	9,312	3%
Number of occupied Slices	482	4,656	10%
Number of Slices containing only related logic	482	482	100%
Number of Slices containing unrelated logic	0	482	0%
Total Number of 4 input LUTs	386	9,312	4%
Number used as logic	364		
Number used as a route-thru	22		
Number of bonded IOBs	120	158	75%
IOB Master Pads	20		
IOB Slave Pads	20		
Number of RAMB16s	6	20	30%
Number of BUFGMUXs	8	24	33%
Number of DCMs	4	4	100%
Average Fanout of Non-Clock Nets	3.48		

Tabla V. 1.- Utilización FPGA-IN.

Una de las medidas que existen para dimensionar el trabajo que desempeña esta FPGA se puede extraer de la Tabla V. 1, donde se pueden apreciar que algunos elementos como los DCM alcanza el 100% de la capacidad total de la FPGA. Entre otras componentes importantes, se encuentra las Block RAM donde se alcanza un 30% de utilización, lo cual no sorprende mucho, pues esta implementación no se basa en la capacidad de almacenamiento sino en la operatoria de lógica interna del módulo *shift register* basado, más bien, en compuertas lógicas, “*flip-flops*” y “*Latches*” para crear registros internos. Es apreciable que este diseño está basado fuertemente en la capacidad de conectarse con elementos externos pues utiliza el 75% de los componentes IOB de esta FPGA que contiene un total de 208 terminales.

En la Tabla V. 2 se muestran las señales con retardos máximos dentro de la programación de esta FPGA.

V. Resultados y discusión

NET	Peor caso (lento)[ns]	Mejor caso (lograble)[ns]
clk_25	0,926	1,484 - 3,635
c125_2	1,397	3,174
c125_1	1,397	7,022
XLXN_806	0,817	5,033
XLXN_784	0,833	7,29
XLXI_126/XLXI_6/U2_CLKIN_IN	0,948	1,484 - 3,635

Tabla V. 2.- Retardos máximos FPGA-IN.

De la Tabla V. 2 es posible encontrar la frecuencia máxima (para la NET XLXN_784) para esta configuración de FPGA, dicho valor corresponde aproximadamente a 137 MHz.

2.- FPGA-OUT (Acumulación)

Los resultados de las simulaciones que se realizaron en base al esquemático presentado en la Figura IV. 6 se presentan en la Figura V. 3.

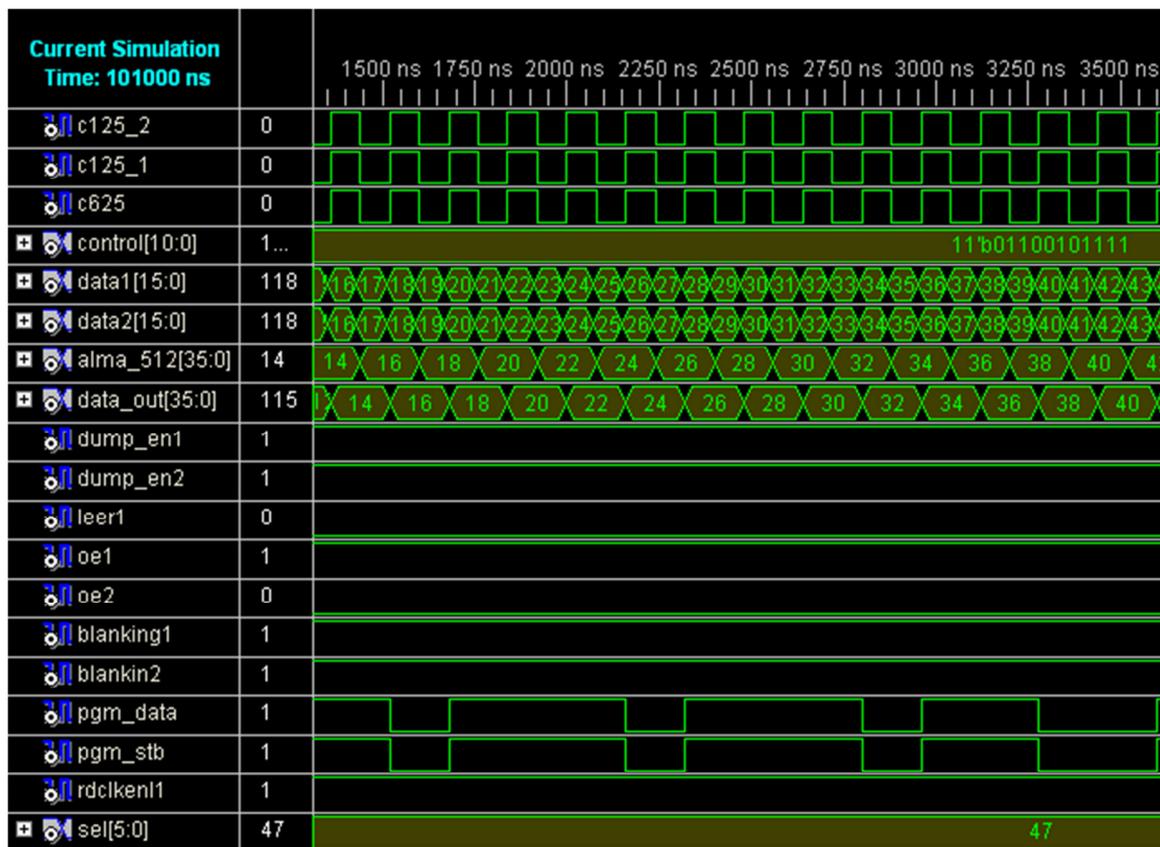


Figura V. 3.- Simulación FPGA_OUT de acumulación en el proceso inicial.

En la anterior figura se ilustran las señales.

- `c625`. Señal de sincronización provenientes de uno de los chip ALMA1, con una frecuencia de 6.25 MHz. Las señales `c125_2` y `c125_1` corresponden a esta misma señal de reloj pero desplazada en 180° y 90° respectivamente para uso interno de los acumuladores implementados.
- `control[10:0]`: Bus de control compartido entre las FPGA de la placa.
- `data1[15:0]` y `data2[15:0]`: Corresponden a los buses de salida de los ALMA1.
- `alma_512[35:0]`: Primeros 512 *Lags* que son acumulados en la FPGA dentro de Block RAM.
- `dump_en1`, `dump_en2`, `oe`, `oe2`, `blanking1`, `blanking2` y `SEL[5:0]`: Señales de control de los dos ALMA1 las cuales están conectadas a esta FPGA (revisar Sección 1.2 del Capítulo IV).
- `data_out[35:0]`: datos secuenciales de las correlaciones almacenadas en esta FPGA que va conectada con la última FPGA de salida hacia el computador.
- `rdclken1`: Señal de control de uno de los ALMA1 que habilita la salida de las correlaciones.
- `pgm_data` y `pgm_stb`: Palabra de configuración de los chips ALMA1.

Como en esta FPGA se necesitan muchas instrucciones provenientes del computador (palabra de configuración, señales de control ALMA1, selectores de *lags*, entre otras). Fue necesario cargar los datos de control en dos momentos distintos del ciclo de reloj, especialmente se usó el canto positivo y el negativo del reloj. En el canto positivo se capturarán las siguiente señales: EN, RESET, leer1, SEL[5:0]. Y en el canto negativo: leer2, OE1 y OE2, RDCLKE, BLANKING1, BLANKING2, y DUMP_EN1 y DUMP_EN2 (el número señala cual de las dos antenas se refiere).

La Tabla V. 3 se resume los porcentajes de utilización de recursos dentro de esta FPGA.

V. Resultados y discusión

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	750	9,312	8%
Number used as Flip Flops	741		
Number used as Latches	9		
Number of 4 input LUTs	976	9,312	10%
Number of occupied Slices	732	4,656	15%
Number of Slices containing only related logic	732	732	100%
Number of Slices containing unrelated logic	0	732	0%
Total Number of 4 input LUTs	1,350	9,312	14%
Number used as logic	976		
Number used as a route-thru	374		
Number of bonded IOBs	86	158	54%
IOB Flip Flops	15		
Number of RAMB16s	16	20	80%
Number of BUFGMUXs	11	24	45%
Number of DCMs	2	4	50%
Average Fanout of Non-Clock Nets	2.05		

Tabla V. 3.- Utilización de la FPGA-OUT de acumulación.

En la Tabla V. 3 se confirma que unos de los recursos más usados fueron las Block RAM alcanzando un 80% del total disponible. Le sigue los DCM con un 50%. Claramente este diseño está fuertemente cargado en la utilización de memoria y en la lógica interna en vez de la utilización de IOB como fue el caso de la FPGA-IN.

En la Tabla V. 4 se muestran las señales con retardos máximos dentro de la programación de esta FPGA.

NET	Peor caso (lento)[ns]	Mejor caso (lograble)[ns]
clk625_2	1,36	3,126
XLXN_184	1,749	7,724
XLXN_284	1,75	5,431
c625-1	1,248	11,849
clk_CTRL	1,094	1,969
XLXI_60	1,248	5,095
XLXN_251	2,029	3,947
clk270	2,008	3,93

Tabla V. 4.- Retardos máximos FPGA-OUT (acumulación).

De la Tabla V. 4 es posible encontrar la frecuencia máxima (para la NET 625-1) para esta configuración de FPGA, dicho valor corresponde aproximadamente a 84,4 MHz.

3.- FPGA-OUT (Relaciones de Correlación)

Los resultados de las simulaciones que se realizaron en base al módulo llamado “Operaciones Correlación 1 FPGA” de la Figura IV. 6 se muestran en la Figura V. 4.

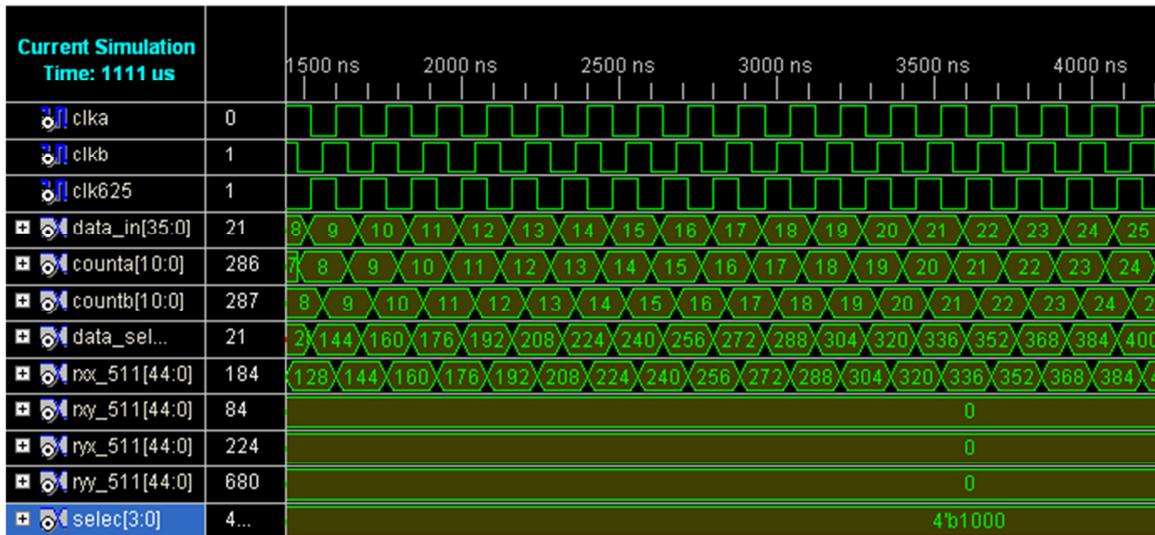


Figura V. 4.- Simulación inicial FPGA de cálculo.

El detalle de las señales que se mostraron en la Figura V. 4 se describe en la siguiente lista:

- clk625: Señal de sincronización de una de las FPGA de la etapa previa (frecuencia de 6.25 MHz). Las señales clk_a y clk_b son idénticas que clk625 pero con desfases de 180° y 90° respectivamente, y éstas sirven para realizar la etapa de almacenamiento en Block RAM donde se almacenarán para realizar las relaciones de la correlación.
- data_in[35:0]: Datos de entrada a esta FPGA. Corresponde a las acumulaciones realizadas del proceso posterior al Banco ALMA1.
- count_a[10:0] y count_b[10:0]: Son señales de conteo dentro del módulo que sirven para monitorear el funcionamiento de almacenamiento de las relaciones de correlación para luego ser enviadas al computador.
- rxx_511[44:0]: Corresponde a los primeros 512 *Lags* de la auto-correlación de la señal de la antena X. Como ésta es una implementación secuencial, no todos los *Lags*, ni mucho menos todas las correlaciones van a salir en el mismo tiempo, pues la cantidad de estas componentes lo hace impracticable. Luego es por ello que en este ejemplo las correlaciones rxy_511 [44:0], ryx_511 [44:0] y ryy_511 [44:0] se

V. Resultados y discusión

mantiene constantes esperando que terminen todos los *Lags* de r_{xx_511} [44:0] para seguir con r_{yx_511} [44:0], luego r_{xy_511} [44:0] y finalmente r_{yy_511} [44:0].

- $selec[3:0]$: Es una señal de 4 bits quien señala cual de las cuatro correlaciones será expresada en el bus de salida de esta FPGA. En este ejemplo esta señal es “1000” que significa que la Autocorrelación X será quien esté en el bus de salida. “0100” señala que la correlación cruzada “XY” será expresada en el bus de salida. “0010” señala que la correlación cruzada “YX” será expresada en el bus de salida. Finalmente “0001” señala que la auto-correlación “YY” será expresada en el bus de salida.

Para un mayor entendimiento de esta implementación se presenta la Figura V. 5 y la Figura V. 6, las cuales ilustran como son expulsadas las demás correlaciones:

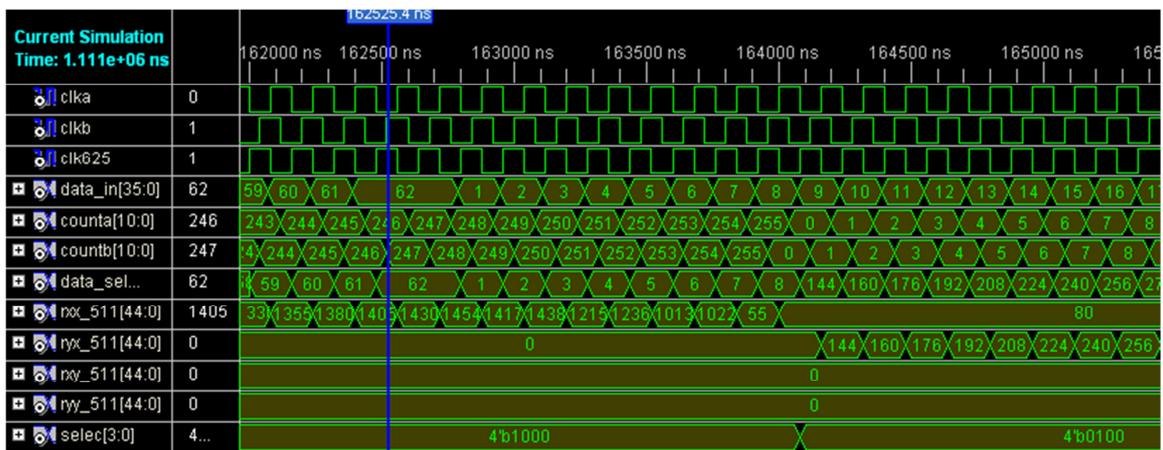


Figura V. 5.- Transición de Secuencialidad en el bus de salida entre dos correlaciones.

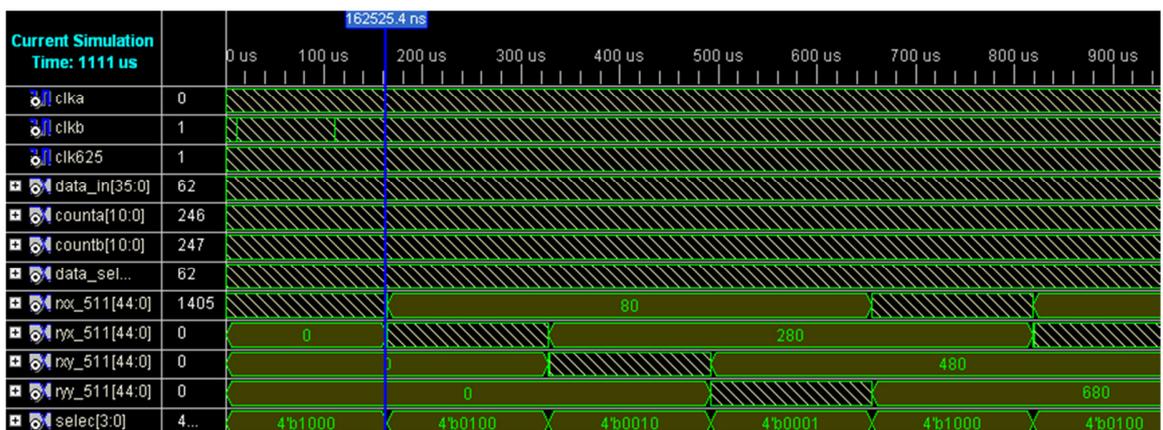


Figura V. 6.- Secuencialidad entre todas las correlaciones.

Cabe destacar que al término de haber expresado la auto-correlación Ryy, es necesario de una señal de *RESET*, esto debido a que esta FPGA no acumula datos en el tiempo de

V. Resultados y discusión

integración, sino que solo realiza las relaciones de correlación que se mencionaron en la sección 1.2 del capítulo IV. La memoria donde se almacenaron las correlaciones deben ser limpiadas para esperar las nuevas correlaciones posteriores.

La Tabla V. 5 resume los porcentajes de utilización de recursos dentro de esta FPGA.

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	789	9,312	8%
Number of 4 input LUTs	1,052	9,312	11%
Number of occupied Slices	678	4,656	14%
Number of Slices containing only related logic	678	678	100%
Number of Slices containing unrelated logic	0	678	0%
Total Number of 4 input LUTs	1,232	9,312	13%
Number used as logic	1,052		
Number used as a route-thru	180		
Number of bonded IOBs	82	158	51%
Number of RAMB16s	16	20	80%
Number of BUFGMUXs	9	24	37%
Number of DCMs	2	4	50%
Average Fanout of Non-Clock Nets	2.38		

Tabla V. 5.- Utilización de la FPGA-OUT.

Se puede apreciar que nuevamente esta FPGA, y al igual que la anterior, este diseño está claramente basado en el recurso de memoria, con un 80% del recurso de Block RAM. Esto no sorprende, pues éste último proceso en la correlación de este trabajo usa los espacios en memoria de la Block RAM para almacenar las correlaciones que llegan de las etapas previas.

En la Tabla V. 6 se muestran las señales con retardos máximos dentro de la programación de esta FPGA.

NET	Peor caso (lento)[ns]	Mejor caso (lograble)[ns]
XLXI_1/clkB	1,061	5,064
XLXI_2/clkB	1,168	5,087
clk_control	1,145	7,796
XLXI_2/XLXN_7	1,194	4,852
XLXI/XLXN_1	1,079	5,505
XLXI_1/XLXN_7	1,146	5,224
XLXI_1/XLXN_1	1,054	4,983

Tabla V. 6.- Retardos máximos FPGA-OUT (relaciones de correlación).

De la Tabla V. 2 es posible encontrar la frecuencia máxima (para la NET clk_control) para esta configuración de FPGA, dicho valor corresponde aproximadamente a 128.3 MHz.

4.- Ruteo Placa Digital

En esta sección se mostrará el resultado del ruteo del modelo de la Placa digital presentada en la Sección 1.7.5 del capítulo IV. Antes es importante mencionar que para desarrollar esta actividad se programó y parametrizó el programa SPECCTRA, de la empresa Cadence. Dicha parametrización consideró anchos de pistas, condiciones de señales diferenciales, distancias entre pistas y componentes, planos de tierra, planos de poder, condiciones eléctricas, entre otras. Todas ellas propias del proceso de auto ruteo. El resultado de este trabajo se muestra en la Figura V. 7.

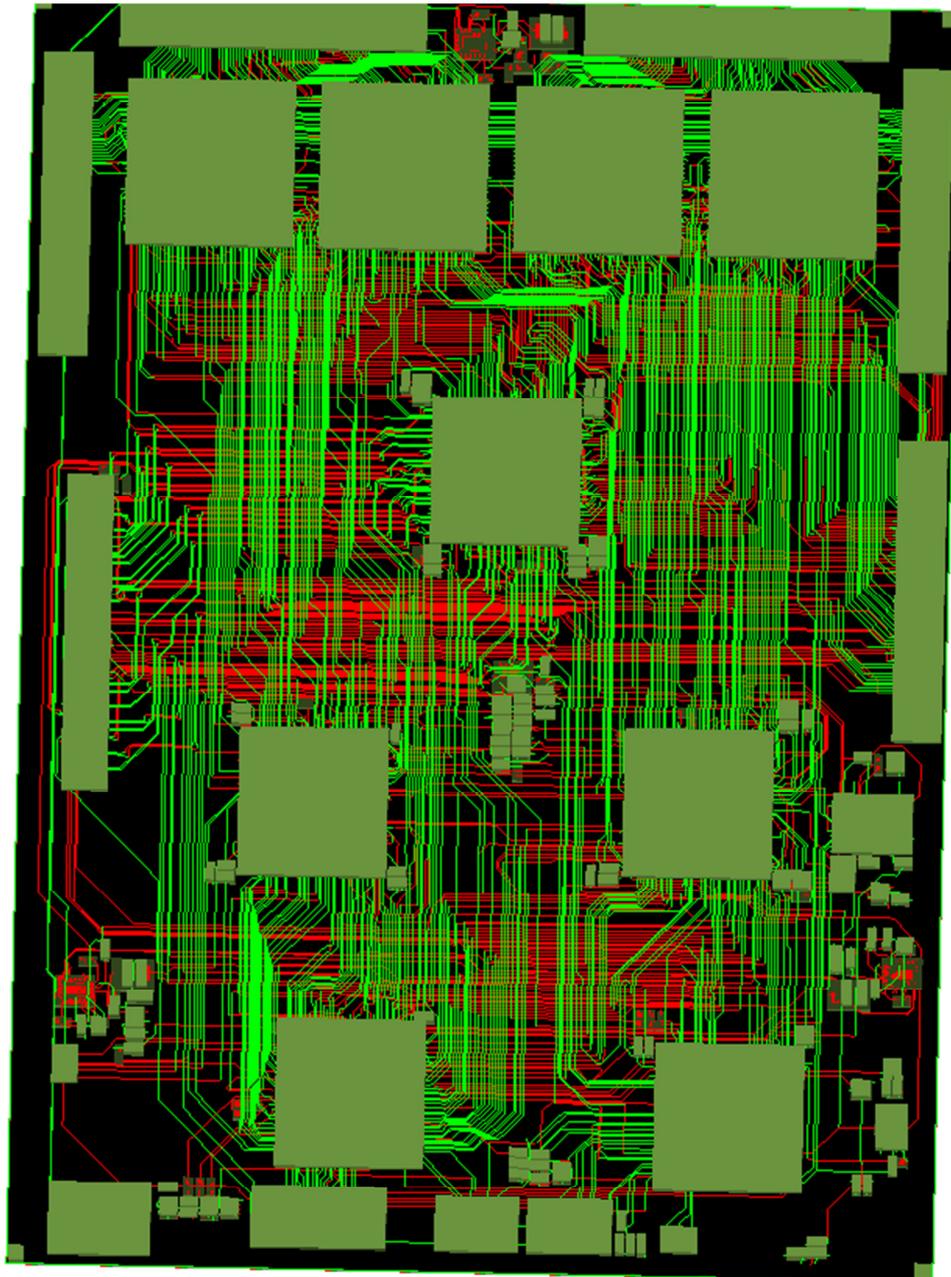


Figura V. 7.- Ruteo en cuatro *Layers* de la Placa Digital: Vista del TOP Layer.

En general para cada pista se trabajaron con anchos de 6 mils, con excepción de algunas señales de poder que tuvieron entre 8 a 23 mils. Para más detalle de dicha parametrización revisar el documento “PLACA_DIGITAL.brd” (archivo de PCB Editor) dentro del CD adjunto a esta memoria. En la se muestra como circulan las señales más destacadas dentro de la Placa Digital.

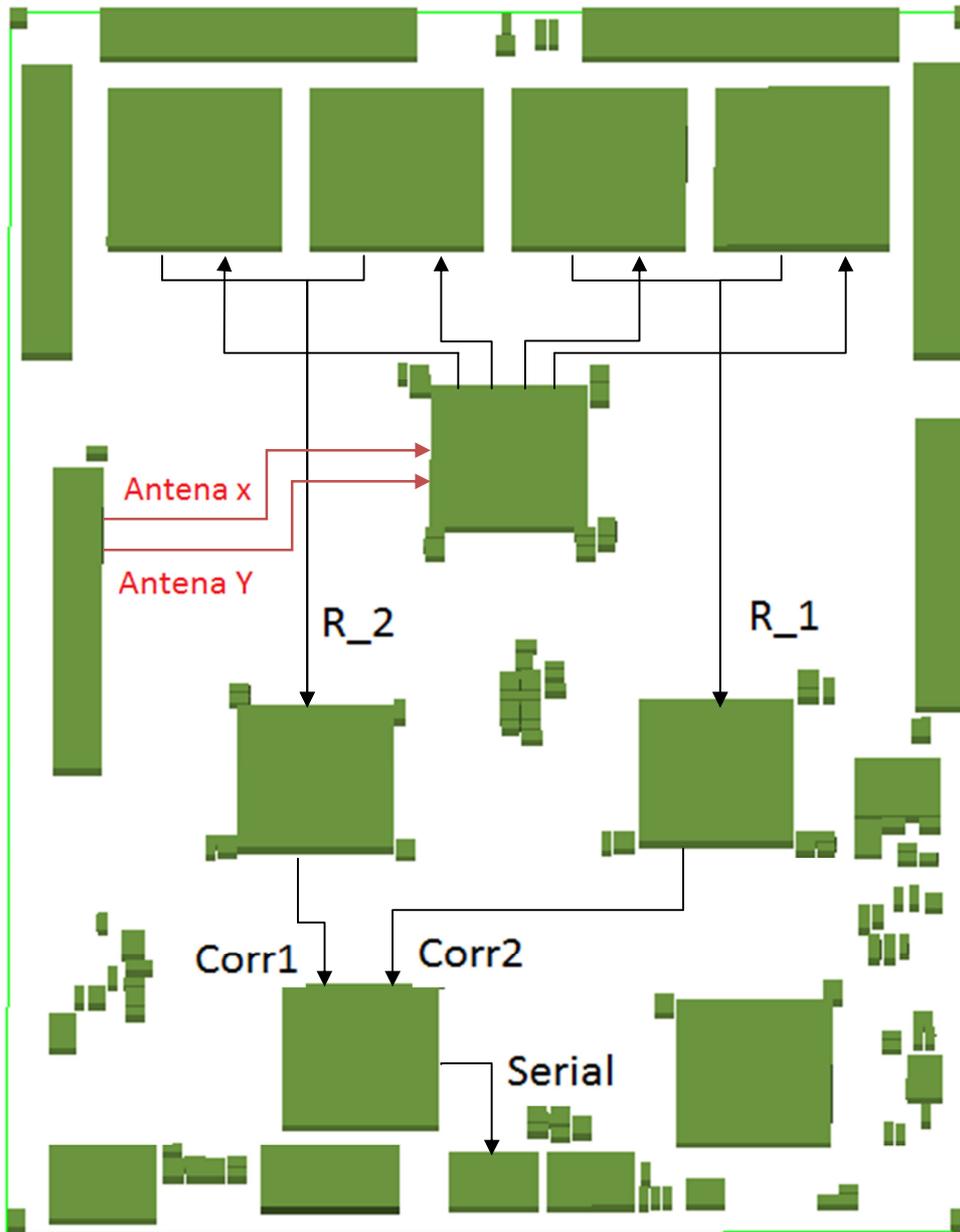


Figura V. 8.- Flujo de datos dentro de la Placa Digital.

- Antena X y Antena Y: Señales digitalizadas de las dos antenas. Ambas con transmitidas en formato LVDS.
- R_1 y R_3: Correlaciones expulsadas por el Banco ALMA1.
- Corr1 y Corr2: Segunda acumulación realizada por el Correlacionador.
- Serial: Señal serial que contiene las cuatro correlaciones cada una con 1024 canales.

V. Resultados y discusión

Las dimensiones aproximadas de esta placa son de 280.7 mm por 201.3mm. Y como se mencionó anteriormente esta placa contiene 4 *layers*: dos de ruteo y dos planos de poder (uno de exclusiva tierra digital y otro de voltajes regulados).

Uno de las grandes dificultades de rutear esta placa fue que es necesario tener mucho cuidado con el ruteo de señales diferenciales (en este caso LVDS). Una de las restricciones que ninguna otra señal (*wires*) debe pasar de forma paralela y por entre medio de las dos señales diferenciales. Además la separación entre estas señales debe estar contenida en un rango bien definido.

VI. Conclusiones

Primero cabe señalar que este trabajo servirá como base para los eventos siguientes dentro del proyecto en el cual está inmerso. Dichos trabajos consistirán en la construcción de las placas diseñadas y posterior proceso de pruebas, para que después puedan ser unidas al resto de los circuitos pertenecientes al proyecto, y desarrollar así las actividades interferométricas que se plantean en el Capítulo III.

Aunque este trabajo solo se propuso el diseño de dispositivos con fines radio-astronómicos, sí se pudo llegar a resultados satisfactorios para las etapas previas del proceso de construcción y montaje del Correlacionador y la placa ADC (revisar Anexo 1).

Con respecto a los objetivos generales de este trabajo se puede mencionar que se alcanzó a diseñar las estructuras principales que componen un Correlacionador de 1024 canales con 4 bits de cuantización. Con lo cual se pudo mostrar que con tecnologías al alcance de proyectos de docencia es posible dimensionar adecuadamente un proyecto con fines del ámbito de la Astronomía.

En cuanto a los objetivos específicos, se puede mencionar que se logró implementar circuitos análogo-digitales y circuitos configurables en software. Especialmente algunos circuitos pudieron ser validados mediante simulaciones con buenos resultados, alcanzando así los resultados esperados para las operaciones individuales que se solicitaban a cada estructura.

El diseño del Correlacionador tiene como gran alcance la posibilidad del monitoreo continuo y control de las actividades internas del proceso de correlación, por ejemplo, se puede dar una instrucción de status del Correlacionador, que dice si efectivamente este procesador está funcionando correctamente, o cuando va a estar listo el Correlacionador para empezar el proceso normal de sus actividades.

También se logró formular ideas claras sobre el dimensionamiento y la factibilidad de la construcción de los circuitos que se diseñaron en este trabajo. En este punto se logró discernir que por la cantidad de *Layers* de la Placa Digital, la posibilidad de construir esta placa en dependencias del DIE es escasa, por lo tanto será necesario mandarla a construir a una empresa especializada en la confección de PCB. Pero no así la construcción de la Placa ADC, que si bien es cierto contiene gran cantidad de conexiones, se logró con buenos resultados poder *rutearla* en dos planos, lo cual la hace factible de construirla en el DIE.

VI. Conclusiones

En el proceso de confección de los diseños se logró identificar características específicas del proceso de correlación, como el tiempo de integración, la ejecución de relaciones para el cálculo de las cuatro funciones de correlación: R_{xx} , R_{yx} , R_{xy} y R_{yy} , entre otras, las cuales son esenciales para conocer el buen funcionamiento de este procesador.

Los trabajos futuros que se plantean son optimizar en parte los módulos codificados en VHDL, en cuanto a la optimización de recursos internos de las FPGA, especialmente en la señales de sincronización como la lógica de control que administra cada dispositivo configurable. Pero en el afán de confeccionar un diseño robusto y flexible frente a futuras modificaciones, es que en la construcción de las placas se instalaron puntos de prueba y líneas de repuestos (*saves*) para que en un futuro se puedan utilizar para fines de test o del proceso directo de la correlación.

Los trabajos futuros deben centrarse en poder validar a cabalidad los diseños de programación y de Hardware, especialmente las PCB. Así poder construir las con total seguridad y poder realizar las pruebas de rigor para comprobar el buen funcionamiento del Correlacionador. Y finalmente poder hacer labores interferométricas, con fines educacionales, sobre los cielos de Santiago de Chile.

Por último es importante mencionar que con esta memoria se pudo confirmar las labores que antes se desempeñaron en el tema de dimensionamiento de un Correlacionador dentro de las dependencias del DIE [3]. Además corroborar que es posible imitar, en menor escala y con fines plenamente educacionales, el trabajo que desempeñan ingenieros de alto nivel que trabajan en proyectos mundiales.

Bibliografías

- [1] **A. Richard Thompson, James M. Moran, George W. y Jr. Swenson**, “*Interferometry and Synthesis in Radio Astronomy*”, Segunda edición.
- [2] **James Lequeux, E. Falgarone y C. Rytter** , “*The Interstellar Medium (Astronomy and Astrophysics Library)*”, Springer. Primera edición.
- [3] **Oscar Villagrán**, “*Diseño de un correlacionador para radioastronomía en vhdl*”, Memoria para optar al Título de Ingeniero Civil Electricista, 2010
- [4] Sitio Web para encontrar usos de contadores de fotones y cámaras CCD:
<http://www.astrored.org/enciclopedia/articulos/>
- [5] **Núria Tomas Corominas y Joan Antó Roca** , “*Optica Instrumental*”
- [6] **A. N. Záidel**, “*Técnica y Práctica de Espectroscopia*”. Primera edición.
- [7] Sitio Web para conceptos básicos de Espectroscopia:
<http://www.espectrometria.com/>
- [8] **José Ramón Donoso**, “*Implementación de un Radio Telescopio para la escuela de ingeniería y ciencias*”, Memoria para optar al Título de Ingeniero Civil Electricista, 2005.
- [9] **Peter J. Ashenden** , “*The Designer’s Guide to VHDL*”. Segunda edición.
- [10] **R. Jacob Baker**, “*Circuit Design, Layout, and Simulation*”. Segunda edición.
- [11] “*Conversores Analógica Digitales y Digital Analógicas*”, por Helmuth Thiemer. Mayo 2002.
- [12] **Walt Kester**, “*Analog-Digital Conversion*”. Primera edición.
- [13] Datasheet AD9211: www.analog.com/en/analog-to-digital-converters/ad-converters/ad9211/products/product.html.
- [14] Datasheet FXO LC73: www.datasheetdir.com/FXO-LC73+Oscillators.
- [15] Datasheet AD9513. www.analog.com/static/imported-files/data_sheets/AD9513.pdf.
- [16] Datasheet AD8350: www.analog.com/static/imported-files/data_sheets/AD8350.pdf.
- [17] Datasheet AD5252: www.alldatasheet.com/datasheet-pdf/pdf/98390/AD/AD5252.html.
- [18] Spartan-3E FPGA Family:
www.xilinx.com/support/documentation/spartan-3e_data_sheets.htm
- [19] ALMA1 Correlator ASIC Specification, Julio 11 año 2003. Por Joseph H. Greenberg y Raymond P. Escoffier.
- [20] Spartan-3 Generation Configuration User Guide (UG332). Edición Octubre 2009

Bibliografías

- [21] Datasheet PROM XCF16P:
<http://search.digikey.com/scripts/DkSearch/dksus.dll?Detail&name=122-1456-5-ND>.
- [22] Estimador de Potencia FPGA Spartan 3E:
www.xilinx.com/ise/power_tools/license_spartan3e.htm
- [23] Datasheet DC/DC:
search.digikey.com/scripts/DkSearch/dksus.dll?Detail&name=296-24569-1-ND.
- [24] Datasheet *Starter Kit Board*:
www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf.
- [25] Datasheet Regulador 1.8 V: focus.ti.com/lit/ds/symlink/reg1117.pdf.
- [26] Datasheet Regulador 3.3 V: focus.ti.com/lit/ds/symlink/tps73601.pdf.
- [27] Datasheet Regulador 5 V: focus.ti.com/lit/ds/symlink/tl1963a.pdf.
- [28] **Jaime Fariña**, “*Diseño y construcción de la etapa analógica de un interferómetro de dos antenas*”, Memoria para optar al Título de Ingeniero Civil Electricista, 2010.

Anexos

Anexo 1.- Placa ADC

Antes de describir cuales serán los componentes específicos que se escogieron, es importante, como en cualquier trabajo de diseño, planificar a nivel conceptual qué es lo que se necesita y la función o utilidad se le va a dar a lo desarrollado. Para ello se plantea la idea de crear diagramas de bloques para abordar las necesidades del proyecto que fueron descritas en el capítulo anterior.

Como se plateó previamente, es necesario que esta placa albergue dos conversores independientes de alta velocidad (en la siguiente sección se tratará más a fondo este tema), lo cual sugiere que dicha placa posea además un generador de sincronización (reloj) y amplificadores con ganancia modificable para la señales de entrada, provenientes de la placa analógica descrita en el capítulo anterior, luego con ello se logra un grado de flexibilidad en el diseño. La Figura VII. 1 resume lo mencionado.

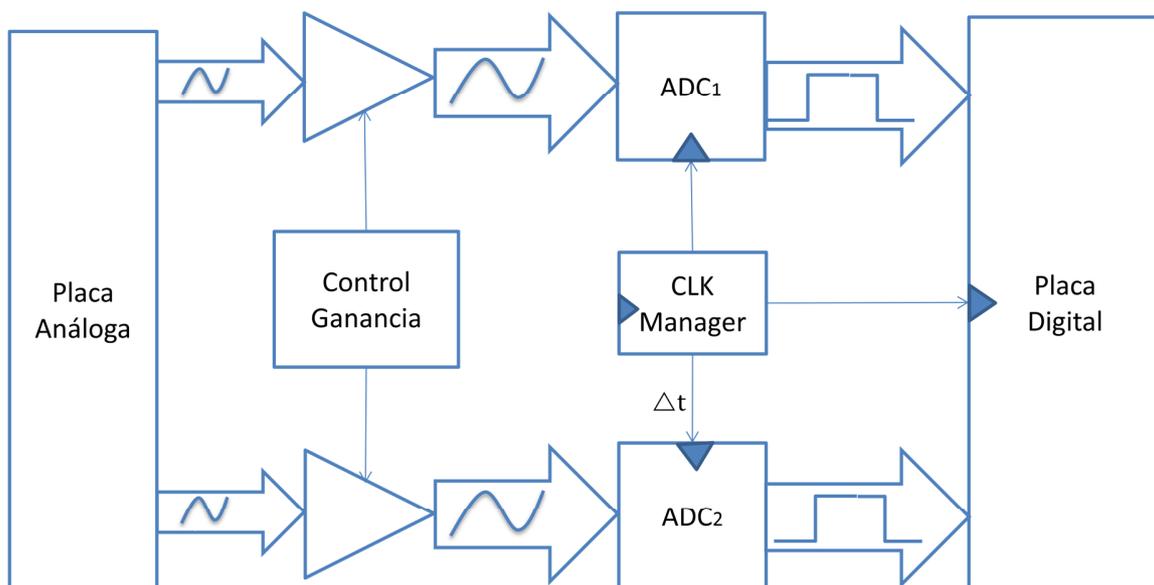


Figura VII. 1.- Esquema de diseño de la Placa ADC.

Cabe notar que tanto el módulo de control de ganancia como el “*CLK Manager*” (distribuidor de reloj de sincronización) tendrán que ser controlados por una placa externa, pero para fines de prueba de funcionamiento de esta placa habrá que diseñar una estrategia

para que esta placa pueda funcionar independientemente en un modo de “*Stand Alone*”, o bien, funcionamiento de prueba y test.

En el anterior esquema se omitió un bloque que hace mención al distribuidor de energía a los distintos dispositivos. Este corresponde al bloque de reguladores de voltaje, el cual entrega todos los voltajes continuos que cada dispositivo necesita para su normal funcionamiento. Por último se omitió los conectores que unirán esta placa con la Placa análoga y la Placa Digital (la cual se tratará su diseño en la sección 2 de este capítulo).

1.1.- ADC

El primer trabajo que fue necesario realizar, según el flujo de trabajo descrito en el capítulo anterior, fue el de diseñar la placa que albergará los dos conversores Analógica digital (uno para cada antena). Para ellos fue necesario partir por revisar el concepto de un ADC (ver sección 5.1 del capítulo II) y luego buscar en el mercado cuales son los dispositivos que cumplen con especificaciones de diseño del proyecto, la cuales se mencionan a continuación.

- ADC de alta frecuencia, del orden de los 100 MHz. Esto para obtener una mejor resolución angular de la radio fuente que se estudia que se apunta con las antenas, dependiendo de la línea de base (separación entre las dos antenas).
- Traducir la señal analógica de entrada en una representación de bit que supere los 4 bits, ya que con 4 bit se puede obtener una correlación cercana al 99% de eficiencia.
- Que posea un sistema de transmisión eficiente frente al ruido electromagnético, como puede ser señales diferenciales para altas frecuencias.
- Configurable vía un estándar de comunicaciones, como puede ser el SPI, I²C, serial y paralelo. para obtener varios modos de operación como flexibilidad de operación.

Con todos estos antecedentes se optó por escoger el conversor “AD9211” del fabricante “*Analog Devices*” [13]. Este dispositivo tiene tres distribuciones comerciales, es decir, se puede encontrar este mismo dispositivo con tres características máximas de operación, esta característica es la del mega muestreo por segundo (“*Mega Sample per Second*” o MSPS). Las variedades son de 200 MSPS, 250 MSPS ó 300MSPS, finalmente la alternativa que se escogió fue la de mayor muestreo (para cumplir mejor el primer requerimiento).

Otra característica importante de este dispositivo es el largo de la traducción de la señal analógica, que en este caso corresponde a 10 bit, representados cada uno de manera diferenciales. Y por último el bajo nivel de potencia que consume este dispositivo, que es cercano a los 437 mW como máximo, donde su voltaje de alimentación es de 1.8V.

Como se puede apreciar en la Figura VII. 3 el conversor se demora un poco más de cinco ciclos del reloj para traducir la información de la entrada (diagrama superior, mientras que la salida digital corresponde al diagrama inferior). Es importante mencionar que este dispositivo tiene la posibilidad de configurar la manera de expulsar los datos de salida. La que se mostró en Figura VII. 3 corresponde a una de las dos configuraciones posibles que se llama “*Single Data Rate Mode*”, donde el dispositivo mantiene la salida por la totalidad de un ciclo de reloj, esto quiere decir que los datos solo se capturan (por parte del receptor) en el cada canto positivo del reloj de lectura (DCO). Mientras que la otra configuración, que se llama “*Double Data Rate Mode*”, los datos se capturan tanto el canto positivo como en el negativo del reloj de lectura. Estos dos modos se pueden seleccionar por medio del puerto SPI del dispositivo. Antes de estudiar el puerto de configuración, se puede mencionar que existe una señal diferencial que “avisa” que la señal analógica esta fuera del rango operación del ADC, esta señal se conoce como “*Overrange*” (fuera de rango) y su nomenclatura es OR, donde se destaca que los rangos de voltaje de operación del ADC son 0.98 V a 1.5 V *peak-to-peak*.

La configuración de las distintas operaciones que tiene este dispositivo se realiza por medio del bus estándar de comunicación “*Serial Peripheral Interface*” (SPI) que permite al usuario configurar el conversor para funciones específicas u operaciones a través de un espacio de registro pre-estructurado dentro del ADC. Esto da al usuario una mayor flexibilidad para personalizar la operación del dispositivo en función de las distintas aplicaciones. En [13] (página 25), se muestra la tabla de memoria de este dispositivo, cada fila de esta tabla cuenta con ocho localizaciones de la dirección. El mapa de memoria es más o menos dividido en tres secciones: mapa de registros de configuración (direcciones 0x00 a 0x02), transferencias de mapa (dirección 0xFF) y el programa de registro (direcciones 0x08 a 0x2A. Para más información recurrir a [13].

Existen tres terminales que definen la interfaz de puerto SPI de este dispositivo. Éstos son los SCLK/DFS, SDIO/DCS y CSB. El SCLK/DFS (reloj serial) se utiliza para sincronizar el leer y escribir datos presentados al ADC. El SDIO/DCS (datos en serie entrada/salida) es un pasador de doble propósito que permite que los datos que se envíen y lean desde el interior de los registros de mapa de memoria. El CSB es un control que habilita o deshabilita la lectura y escritura ciclos. El flanco de bajada de la CSB, en relación con el flanco ascendente de SCLK, determina el comienzo de la estructura.

Mnemonic	Función
SCLK	sincroniza la función de lectura o escritura
SDIO	La función típica de este pin es una entrada y salida en función de la instrucción que van a enviarse y la posición relativa en el marco de tiempo.
CSB	Habilitador de lectura y escritura
RESET	inicializa el registro interno del ADC

Tabla VII. 1.- Puerto SPI del ADC

Durante cada fase de instrucción, una instrucción de 16-bit se transmite. Los datos a continuación, siguen la fase de instrucción y se determina por unas señales “ W_0 ” y “ W_1 ” bits (ver Figura 5.1 de [13]), que es 1 o más bytes de datos, así todos los datos se componen de las palabras de 8-bits. El primer bit de cada byte individual indica si se trata de un comando de lectura o escritura, esto permite la entrada de datos entrada/salida cambie la dirección de una entrada a una salida.

El diagrama de bloques de este ADC que se presenta en la Figura VII. 4, donde se expresa el funcionamiento interno del conversor A/D (para más detalle del funcionamiento interno de este dispositivo consultar a [13]).

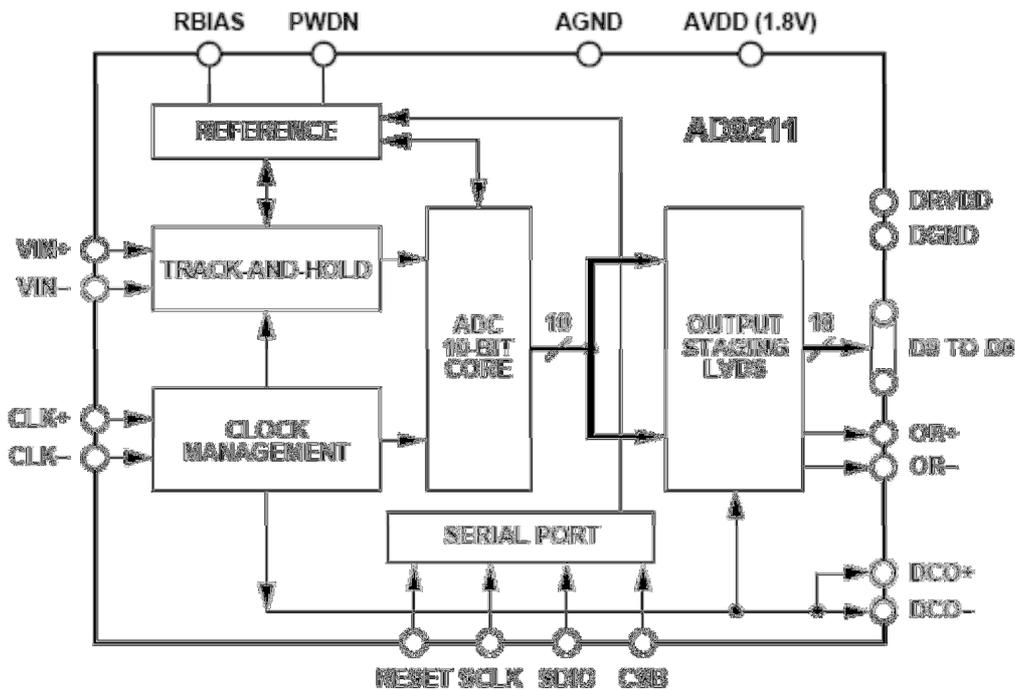


Figura VII. 4.- Diagrama funcional de bloques del ADC AD9211.

1.2.- Reloj de Sincronización

Como se escogió un ADC de 250 MSPS, es necesario encontrar un reloj que tenga una frecuencia de exactamente 250MHz, y además se necesita que las señales de sincronización sean transmitidas con el estándar diferencial, pues el ADC impone esta restricción. El dispositivo que se encontró es un dispositivo de montaje superficial (“*surface mount*”, o simplemente SM) nombrado “KC7050T-P3 Series”, del fabricante “KYOCERA”. Este dispositivo se muestra a continuación (para mayor información revisar [14]).

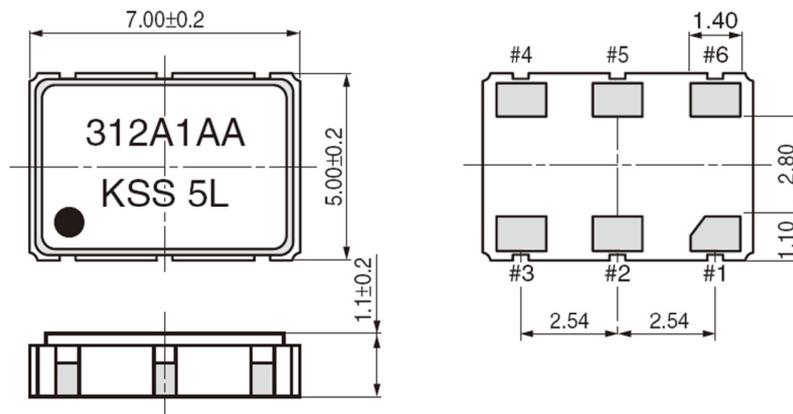


Figura VII. 5.- Encapsulado del Reloj de 250MHz.

Este chip contiene seis terminales, dos destina para salida diferencial (enumerado como #4 y #5), dos para poder (#3 destinado a tierra eléctrica o retorno de corriente y #6 para el suministro continuo de voltaje +3.3V) y uno para activación del dispositivo (#1, donde es necesario un voltaje de +3.3V para que este activo el dispositivo). Además cabe destacar que a este dispositivo no es posible modificar su frecuencia, por lo cual desde un primer momento (hasta alcanzar régimen permanente y #1 tenga voltaje +3.3V) registrará una frecuencia fija de 250MHz.

Un resumen de las especificaciones de la funcionalidad de cada pin (enumerado en la Figura VII. 5) se muestra en la Tabla VII. 2.

Pin/Pad	
1	Activar funcionamiento
2	No conectar
3	Tierra eléctrica
4	Salida
5	Salida complementada
6	Alimentación de 3.3V

Tabla VII. 2.- Especificación de terminales de Reloj.

En la Figura VII. 6 se muestra un esquema del circuito que se empleará en el diseño final para el reloj.

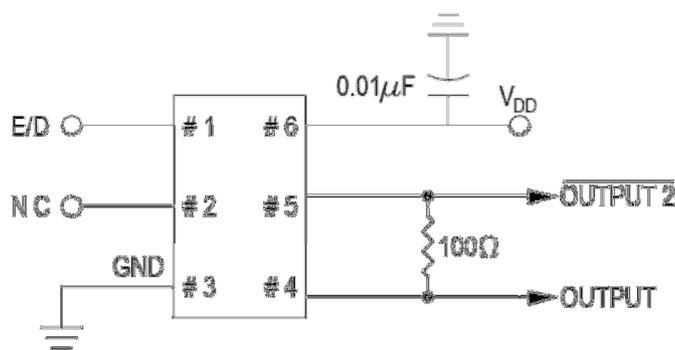


Figura VII. 6.- Circuito funcional de oscilador de 250MHz.

Como se puede apreciar en la Figura VII. 3 para este dispositivo es necesario dos elementos externos para su buen funcionamiento, estos son un condensador cerámico de de 0.01 micro Farad (o Faradio) y una resistencia SM de 100 ohm. En la práctica este dispositivo se controlará su operación de encendido y apagado, vale decir, “Enable” o “Disable” (E/D) solo con el suministro de energía, o sea, E/D estará conectado permanentemente a V_{DD} (+3.3V), con lo cual siempre estará funcionando siempre y cuando se alimente con energía.

Tal como se mencionó en la revisión bibliográfica, las señales diferenciales (como lo son el estándar LVDS o el LV-PECL) van acompañadas con su señal complemento y típicamente tienen una referencia media (con respecto a la tierra del circuito en cuestión) de 1.3V y una diferencia entre amplitudes de ambas señales de aproximadamente 0.6V “peak to peak”, lo que la convierte en uno de los estándares de señales digitales más bajas a nivel de voltaje, tal como se puede apreciar en la Figura VII. 4.

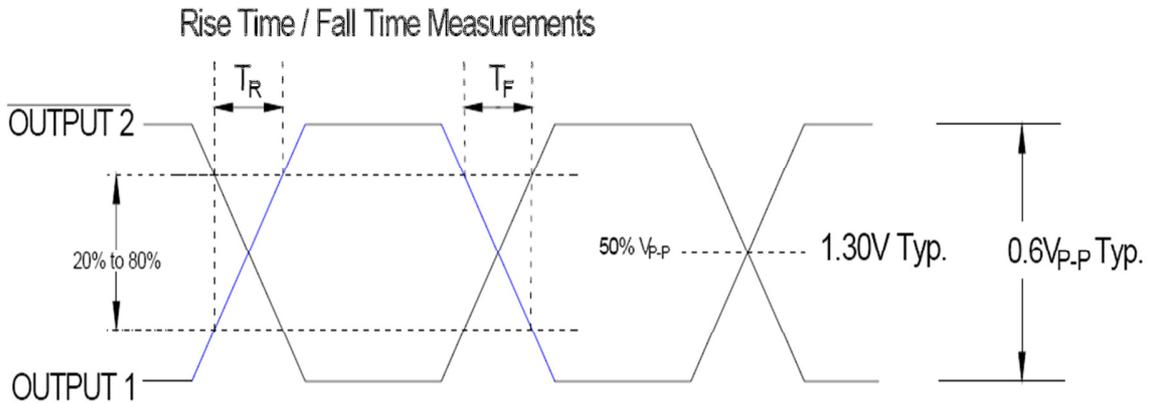


Figura VII. 7.- Transmisión diferencial LVDS.

1.3.- Distribuidor de Reloj

Ya se mencionó que este dispositivo recibe la señal de sincronización, y luego genera tres replicas de la señal de entrada. A cada una de ellas se le puede dividir su periodo pero tan sólo a una de ellas se puede aplicar un atraso, o simplemente “*delay*”, con respecto a las otras. El dispositivo que cumple con estas especificaciones es un producto del mismo fabricante del convertor Analógica Digital (“*Analog Devices*”) y su serie corresponde al AD9513, el cual se muestra a continuación (para mayor información revisar “*datasheet*” del fabricante [15]).

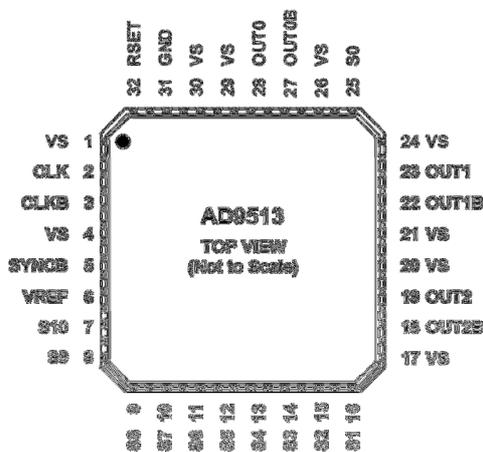


Tabla VII. 3.- Empaquetado del Distribuido de Reloj.

Como se puede apreciar en la Figura VII. 5 este dispositivo tiene, en comparación con los otros dispositivos a excepción del convertor A/D, una gran cantidad de terminales, esto debido a que además de todas las entradas y salidas ya mencionadas tiene líneas de control del “*delay*” o su fase con respecto al reloj de entrada.

El control de este chip se obtiene mediante la combinación de los terminales de configuración enumerados como S1 hasta el S10 con 3 diferentes voltajes. Estos voltajes pueden ser 0 V, V_{ref} (2/3 de 3.3 V, el cual se provee por medio del pin #6) y $V_{ref}/2$ (el cual se obtiene haciendo un divisor de voltaje de terminales que después se mencionarán). Por consideraciones del diseño y necesidades del trabajo muchos de los terminales de configuración permanecerán fijos, esto se resume en la siguiente tabla.

Pin Configuración	Voltaje fijo [V]	Consecuencia
S1	$(1/3)V_{ref}$	S1 y S1 iguales a $(1/3)V_{ref}$ provoca que las tres señales de salida posean estandar LVDS.
S2	$(1/3)V_{ref}$	
S5	0	S5 y S6 iguales a 0V provoca que OUT2 sea idéntico en frecuencia que el reloj de entrada.
S6	0	
S7	0	S7 y S8 iguales a 0V provoca que OUT1 sea idéntico en frecuencia que el reloj de entrada.
S8	0	
S9	0	S9 y S10 iguales a 0V provoca que OUT0 sea idéntico en frecuencia que el reloj de entrada.
S10	0	

Tabla VII. 4.- Configuración permanente del distribuidor de reloj.

Luego queda en evidencia que es posible manipular sólo tres de los diez terminales de configuración, éstos son S0, S3 y S4. El primero permite obtener un pequeño *delay* inicial de todas las salidas con respecto a la entrada, el resumen de los valores posibles se muestra en la siguiente tabla.

S0 [Vref]	Delay
0	Bypass
1/3	1.8 ns
2/3	6.0 ns
1	11.6 ns

Tabla VII. 5.- Configuración supeditada a S0.

Finalmente los otros dos terminales ocasionarán distintas configuraciones dependiendo del valor de S0, tales configuraciones se mencionan resumidas en la siguiente tabla.

S3[Vref]	S4[Vref]	OUT2 Delay (S0 ≠ 0)	OUT2 Phase (S0 = 0)
0	0	0	0
1/3	0	1/16	1
2/3	0	1/8	2
1	0	3/16	3
0	1/3	1/4	4
1/3	1/3	5/16	5
2/3	1/3	3/8	6
1	1/3	7/16	7
0	2/3	1/2	8
1/3	2/3	9/16	9
2/3	2/3	5/8	10
1	2/3	11/16	11
0	1	3/4	12
1/3	1	13/16	13
2/3	1	7/8	14
1	1	15/16	15

Tabla VII. 6.- Configuración supeditada a S3 y S4.

La fase (“*phase*”) que hace mención la anterior tabla se refiere a al desplazamiento del canto de subida del reloj de salida con respecto al de entrada, o sea, si la fase es 6 entonces la salida obtendrá su primer canto de subida después de seis cantos de subida del reloj de entrada. Mientras que el *delay* que se hace mención (cuando S0 es distinto de 0V) se refiere a cuánto tiempo (expresado en ciclos del reloj de entrada) se atrasará el reloj de salida. Por ejemplo, si S3=1 y S4=[(2/3)·Vref] esto ocasiona que el reloj de salida estará 0.6875 (11/16) partes del ciclo atrasado que el reloj de entrada.

El trabajo que realiza este dispositivo se puede visualizar y resumir en la Figura VII. 8, donde se esquematiza las posibles configuraciones de este dispositivo.

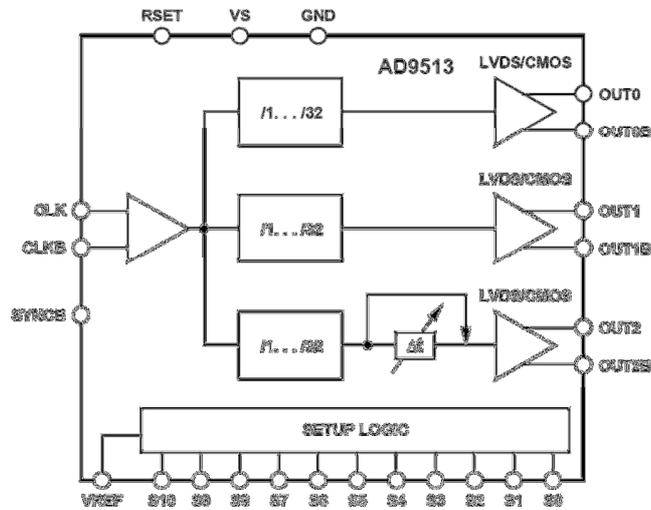


Figura VII. 8.- Diagrama de bloques del controlador de Reloj

Como se puede apreciar en la Figura VII. 8, solo una de las señales de salida es posible controlar su atraso, esta corresponde a OUT2 y OUT2B, y además es posible dividir el circuito de entrada hasta en 32 para todas las señales de salida. Para más detalle de este dispositivo consultar a [15].

1.4.- Amplificador Diferencial Analógico

Como se mencionó a principio de este trabajo, se emplearán dos conversores Analógica Digital, por lo cual es necesario usar dos amplificadores distintos para ambas señales analógicas de ambos dispositivos. El empaquetado del dispositivo elegido se muestra en la Figura VII. 9 (Para más detalle de este dispositivo revisar [16]).

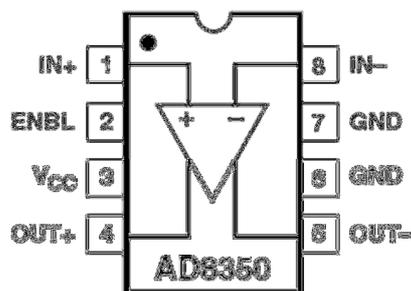


Figura VII. 9.- Diagrama funcional del Amplificador Analógico AD8350.

Como se puede apreciar este circuito integrado es mucho más simple que el anterior, pues sólo posee solo 8 terminales de los cuales dos son para la señal de entrada (señal diferencial), dos para energizar el dispositivo (GND y Vcc), una para la activación del dispositivo (ENBL) y finalmente otras dos para la salida también diferencial. La razón por

la cual se escogió este dispositivo es por el hecho que el fabricante garantiza una ganancia suficientemente grande (cerca a los 20dB) para la frecuencia de interés en esta etapa del proyecto que está en un rango de 400KHz hasta los 1.5MHz, tal como se muestra en la Figura VII. 10.

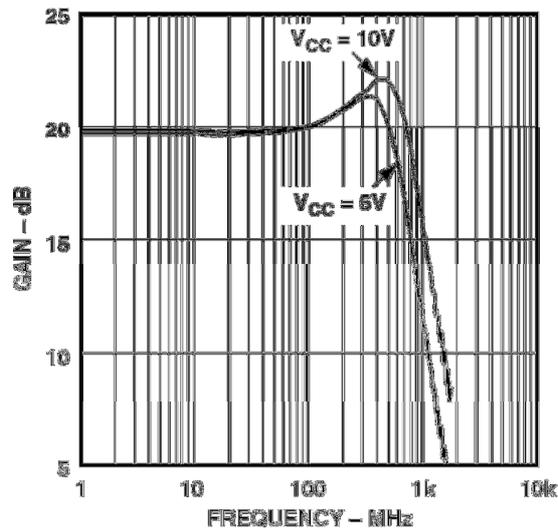


Figura VII. 10.- Característica de Ganancia del Amplificador Diferencial Analógico.

Cabe destacar que este dispositivo es posible polarizarlo o energizarlo con un voltaje de entrada que va desde los 5 V hasta los 10 V. Luego se escogió el voltaje de 5 V para alimentarlo, dado que se obtiene una curva de ganancia ajustada y estable para los fines de este proyecto.

En la siguiente sección se mencionará cómo controlar la ganancia de este amplificador mediante resistencias ajustables.

1.5.- Reóstato Digital

Tal como se mencionó, para controlar la ganancia del amplificador analógico se utilizarán unos reóstatos. Para tener mayor una precisa manipulación de la ganancia es que se desidió escoger reóstatos digitales. El empaquetado de los reóstatos digitales se muestra a continuación, donde la serie que se escogió fue la AD5252 del fabricante *Analog devices*. Para más detalle consultar [17].

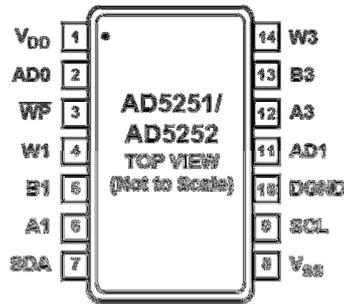


Figura VII. 11.- Diagrama pinout del Reóstato Digital AD5252.

Como se puede apreciar en la Figura VII. 11 este dispositivo tiene 14 terminales, dentro de los cuales se pueden encontrar 2 reóstatos independientes. La magnitud de dichas resistencias pueden alcanzar valores de 0 a 1 k Ω mediante 256 posiciones, o sea, éste reóstato digital permite 256 resistencias distintas entre 0 a 1k Ω de manera digital por el puerto I2C de este dispositivo (AD0, AD1 y ADA). La nomenclatura de los terminales de conexión uno de los reóstatos se muestra a continuación.

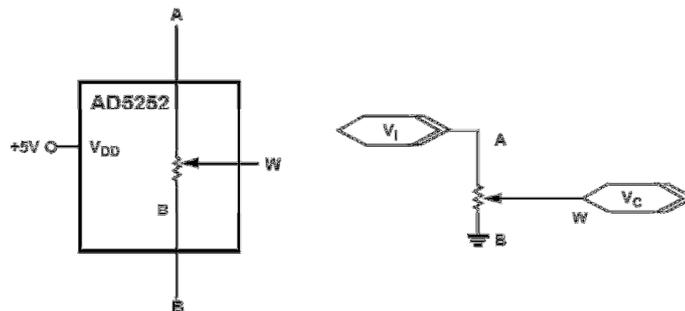


Figura VII. 12.- Conexiones del Reóstato Digital.

En la Figura VII. 12 se ilustra los extremos A, B y W, y además se muestra la sugerencia de conexión para manipular este dispositivo si solo se va a emplear dos extremos del reóstato, los cuales corresponden a los extremos A y W, mientras que el pin B se conecta a la tierra digital.

En la Figura VII. 13 se muestra el circuito donde se emplean dos reóstatos (llamados ambos como R_{SHUNT}) para lograr la amplificación.

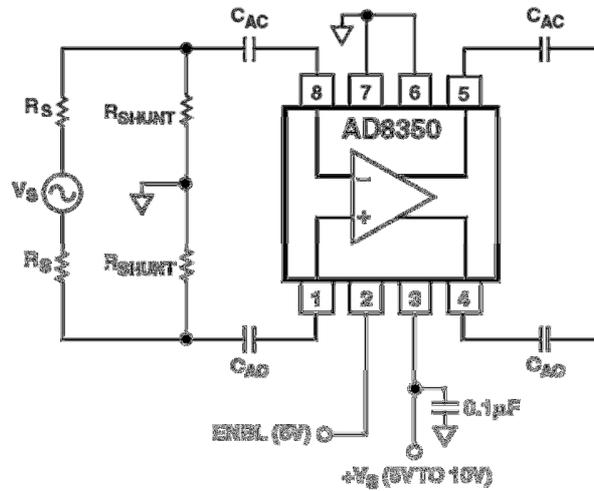


Figura VII. 13.- Circuito Amplificador Analógico con Reóstatos.

Luego en la Figura VII. 14 se muestra una gráfica donde se ilustra las magnitudes de amplificación para el circuito anterior para valores de $R_S=100\Omega$ y $C_{AC}=0.1\mu F$.

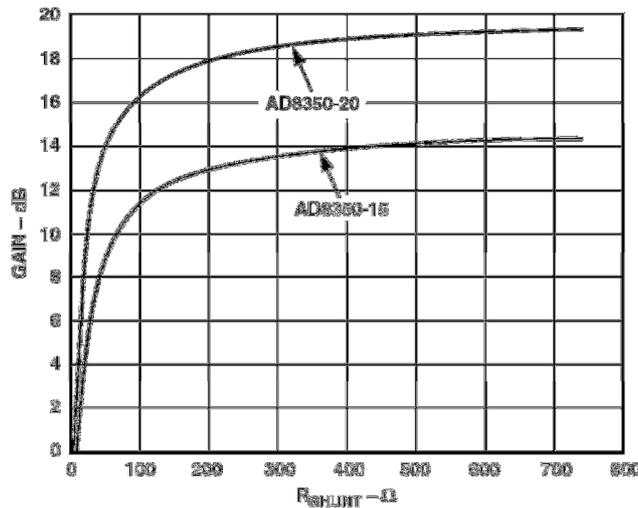


Figura VII. 14.- Ganancia del Amplificador diferencial para valores de los reóstatos digitales.

Con esta última gráfica se concluye que a partir de valores de los reóstatos digitales (ambos con igual resistencia) superiores a 200Ω es posible obtener una ganancia de 18dB y en aumento hasta valores cercanos a los 20dB. Para valores más concretos es posible apreciarlos en la Tabla VII. 7.

$R_{SHUNT}-\Omega$	IL-dB	Power Gain-dB	
		AD8350-15	AD8350-20
50	6.02	8.98	13.98
100	3.52	11.48	16.48
200	1.94	13.06	18.06
300	1.34	13.66	18.66
400	1.02	13.98	18.98

Tabla VII. 7.- Ganancia del amplificador para valores de los reóstatos.

1.6.- Reguladores de Voltaje

Habiendo escogido en su totalidad los dispositivos que cumplen con las exigencias de este diseño, sigue la elección de dispositivos que suministren de energía a todos ellos, éstos son los llamados reguladores de voltaje.

Los distintos reguladores fueron escogidos con la tecnología “*DROP-OUT*”, es decir, circuitos semiconductores basados en FET y con amplificadores diferenciales de baja potencia que actúa como amplificador de error. En detalle los dispositivos que se escogieron fueron tres, esto debido a que todos los chips que integran la placa de diseño tienen distintos niveles de exigencia de alimentación de energía.

- Voltaje de 1.8V: Se escogió el “REG117” de “*Analog Devices*”, este alimentará a los dos Conversores A/D, que es capaz de entregar a su salida una corriente máxima de 1^a. Para más detalle consultar [25].
- Voltaje de 3.3V: Se escogió el “TL1963A” de Texas Instruments, este alimentará al Reloj y al Controlador de Reloj, que es capaz de entregar a su salida una corriente máxima de 400mA. Para más detalle consultar [26].
- Voltaje de 5V: Se escogió el “TPS73633” de Texas Instruments, este alimentará al Amplificador Analógica y al Reóstato Digital, que es capaz de entregar a su salida una corriente máxima de 1.5^a. Para más detalle consultar [27].

En la Figura VII. 15 se muestra el empaquetado del regulador de 1.8V

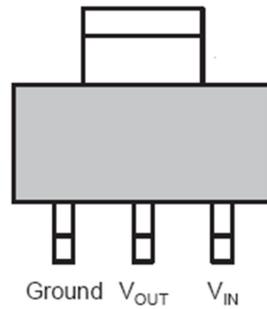


Figura VII. 15.- Empaquetado del Regulador de 1.8V.

Como se puede apreciar en la Figura VII. 15 el empleo de este dispositivo es muy simple pues solo posee tres terminales, uno para la tierra otro para la alimentación de entrada y finalmente la salida regulada de 1.8V. Este dispositivo entrega este voltaje estable cuando se construye el circuito representado en la Figura VII. 16.

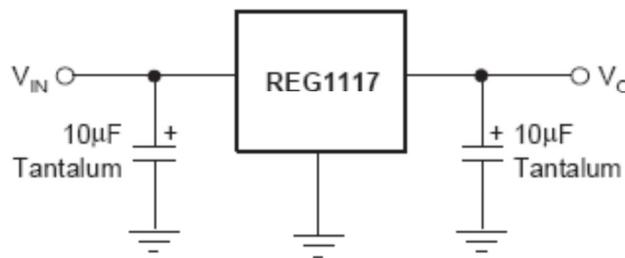


Figura VII. 16.- Circuito del Regulador de 1.8V.

El circuito para obtener 3.3V y el empaquetado del regulador que entrega dicho voltaje se muestra en Figura VII. 17.

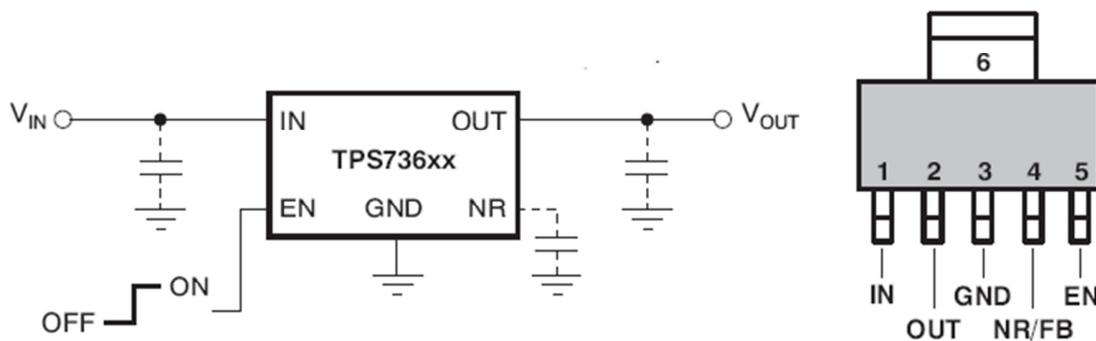


Figura VII. 17.- Circuito típico y *pinout* del Regulador de 3.3V.

Cabe destacar que el fabricante sugiere colocar condensadores de desacoplamiento con un valor de $0.1\mu\text{F}$, tal cual se puede apreciar en la Figura VII. 18, dichos condensadores permiten un mejor rizado de la salida frente a cambios bruscos de voltaje de entrada.

Por último, el regulador que suministra energía a los anteriores reguladores y además al amplificador y al reóstato digital se presenta en la Figura VII. 18 tanto como su circuito para obtener dicho voltaje.

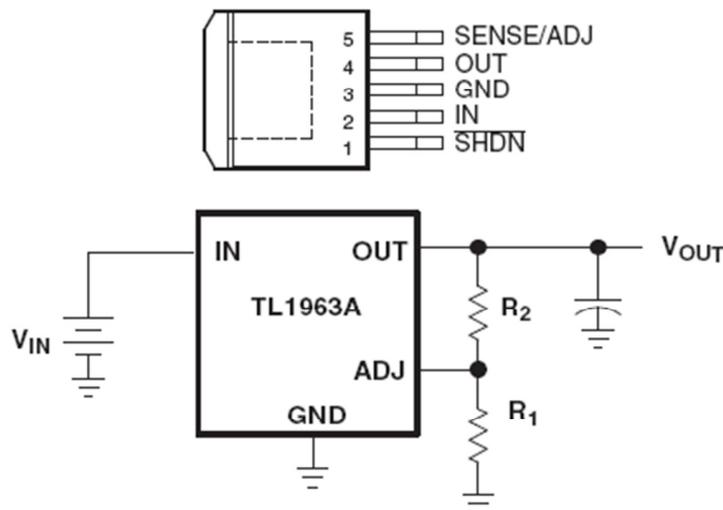


Figura VII. 18.- Empaquetado y circuito para obtener 5V.

Es importante mencionar que este dispositivo se utiliza en la modalidad de regulador ajustable, esto quiere decir que es necesario de elementos externos para obtener dicho voltaje regulado. Los elementos mencionados corresponden a las resistencias R_1 y R_2 , las cuales tienen que cumplir con la siguiente relación para obtener el voltaje deseado

$$5[V] = 1.21 \cdot \left(1 + \frac{R_2}{R_1}\right) + 3[\mu\text{A}] \cdot R_2$$

$$\rightarrow \frac{R_2}{R_1} = 3.131455$$

En base a esta última ecuación se escogieron: $R_1 = 100\Omega$ y $R_2 = 312\Omega$, con lo cual se obtendrá un error cerca del 6% en el voltaje regulado, pero esto está dentro del rango de error para los dispositivos a los cuales va alimentar.

1.7.- Circuito esquemático de la Placa ADC

Los diagramas que en esta sección se desplegarán, fueron confeccionados en el programa “*Design Entry CIS*” de la empresa fabricante de software *Cadence*. La cual dedica gran parte de sus trabajos manufacturación de software para la confección de PCB y complementos de diseño. Para mejor comprensión de los diagramas dentro de la placa, a las conexiones relevantes se le han asignado nombre que hacen referencia a la conexión que lleva a cabo, o simplemente, a que pin están conectadas. Además esta asignación permite (dentro del programa) que no existan “*wires*” (alambres o simplemente conexiones esquemáticas) explícitos que crucen reiteradamente los esquemas lo cual entrega un orden y mejor entendimiento de los distintos esquemas.

1.7.1.- Esquema del ADC

En la Figura VII. 19 se muestra el esquema del conversor analógico digital, donde se logra apreciar la agrupación total de terminales:

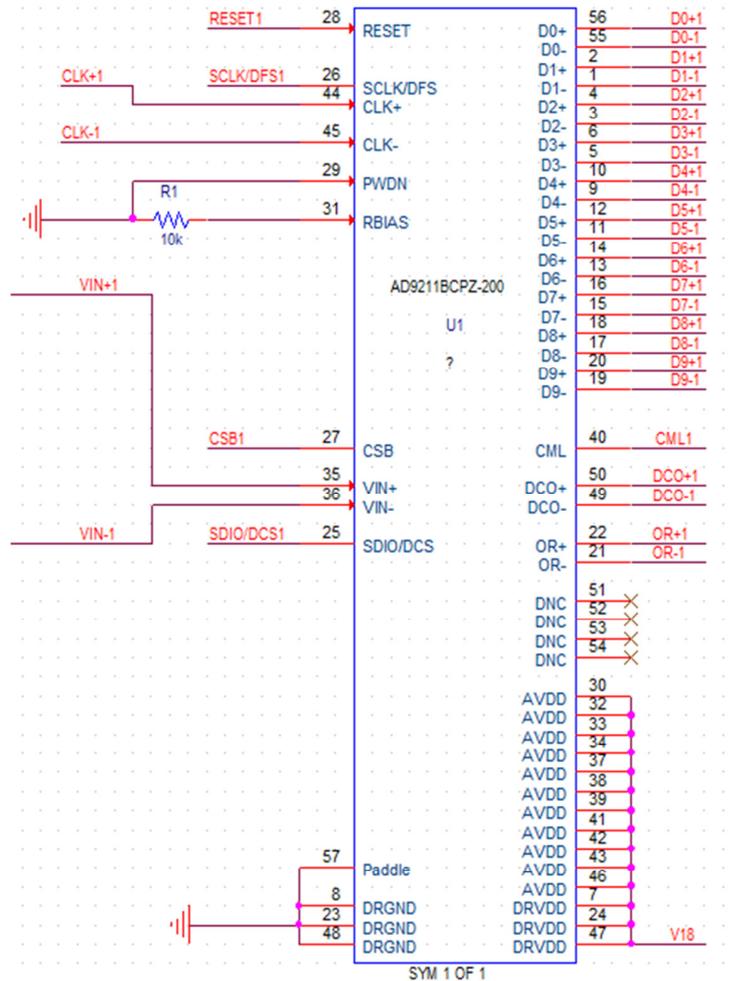


Figura VII. 19.- Circuito esquemático ADC.

La distribución de terminales se hizo de manera que sea entendible y ordenada la distribución de señales de entrada, salida, conexiones de poder y configuración. Es posible notar que en el lado izquierdo se posicionan las señales de entrada (diferenciales de entrada de reloj y de señal analógica) y las de control del chip que en este caso es por medio de un puerto SPI (revisar Sección 5.1 del Capítulo II para más información) y además de las tierras digitales (DRGND).

Mientras que a la derecha se ubican las salidas diferenciales para cada uno de los diez bits del convertor ADC (desde D0 hasta el D9). También se muestra en ese mismo bloque el reloj de lectura de los bits (DCO, también diferencial), el “Overrange” (OR), “Common Mode Output” pin y por último los terminales que no se conectan, o bien, “do not connect” (DNC).

1.7.2.- Esquemático circuito amplificador ADC

En la Figura VII. 20 se ilustra el circuito que se usará para amplificar la señal analógica que ingresa al ADC.

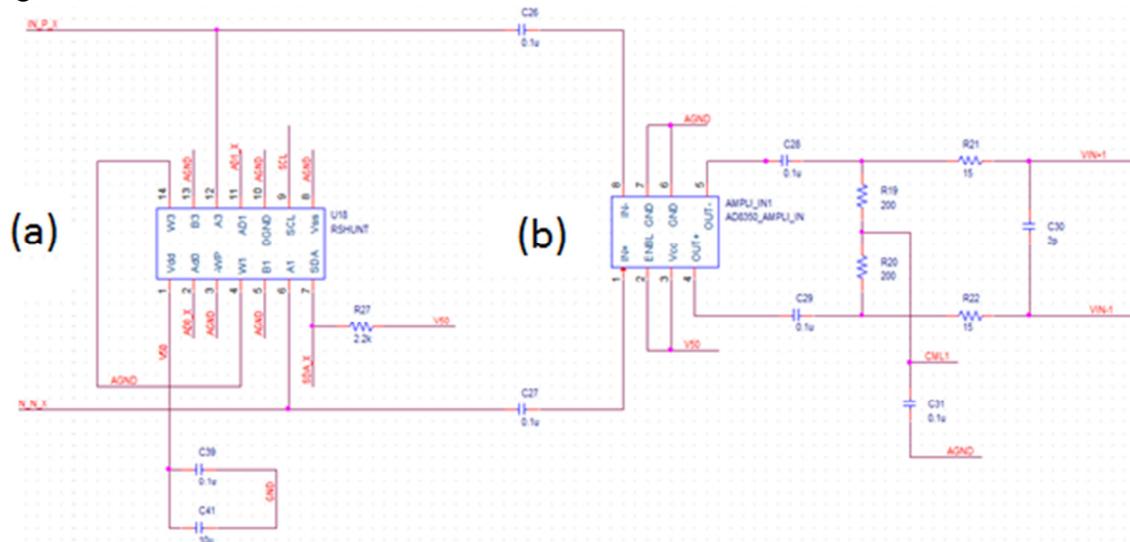


Figura VII. 20.- Circuito esquemático de Amplificación ADC. (a): Resistencia Digital. (b): Amplificador de Ganancia.

Esta última figura se basa en la implementación a nivel de bloques de la Figura IV.13 de este mismo trabajo, en donde se menciona que se utilizarán dos resistencias, llamadas Resistencias “*Shunt*”, las cuales por medio de divisores de voltajes externos ejecutan un control dentro del circuito amplificador (Figura VII. 13). Además es bueno recordar que estas dos resistencias *Shunt* están embebidas en un solo encapsulado, el cual corresponde a un dispositivo que controla estas dos resistencias por medio de un puerto I²C (revisar Sección 1.5 de este Capítulo).

Por último es importante referirse al circuito que se muestra en la parte derecha (b), especialmente el que corresponde a las señales de salida del amplificador. Éstas se enfrentan a unas resistencias y condensadores como se puede apreciar mejor en la Figura VII. 21.

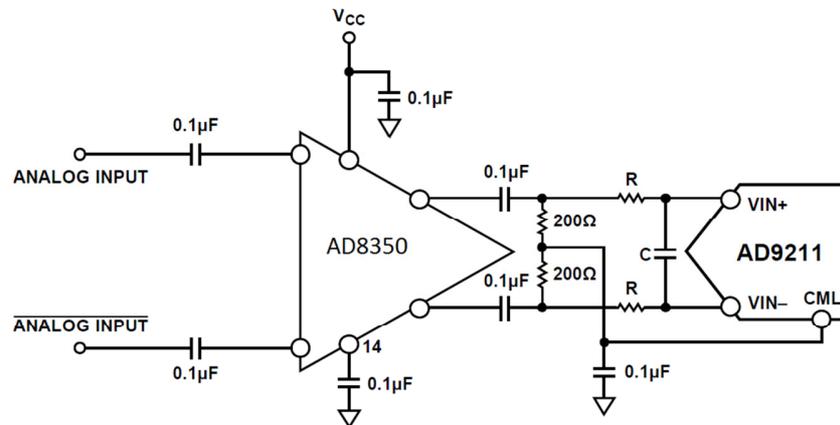


Figura VII. 21.- Circuito de Voltaje de modo común.

Este diseño se realiza debido a la naturaleza de las señales analógicas que ingresan al conversor, como se muestra en la , para la señales diferenciales LVDS es necesario entregar una referencia a la cual se va a trabajar, es decir, se debe proporcionar el voltaje al cual las dos señales complementarias estarán oscilando (el punto medio entre dos máximos de voltaje). El circuito anterior pretende mediante las resistencias de $200\ \Omega$ entre las líneas (sugerencias del fabricante) establecer el voltaje de modo común (CML) entre el ADC y el amplificador, para que las señales analógicas tengan la misma referencia y así solucionar el problema que el amplificador entregue un CML, a priori, desconocido, con el peligro de que se refiera a un voltaje que el ADC no admita y ocasione desperfectos. El siguiente circuito que le sigue, antes de hacer unión al ADC, simplemente es un circuito que filtra ruido de alta frecuencia, mediante resistencias en serie y un condensador en paralelo entre las dos terminales diferenciales.

Por último para este esquema, es importante recordar que como en este trabajo se pretende realizar el procesamiento digital de un interferómetro de dos antenas, es necesario duplicar este circuito (tanto el amplificador como el conversor A/D), para así digitalizar dos señales que serán procesadas en el Correlacionador de la Placa Digital.

1.7.3.- Circuito esquemático de sincronización

En la Figura VII. 22 se muestra la implementación esquemática que se implementó para proporcionar a este diseño de una sincronización para el óptimo funcionamiento del ADC:

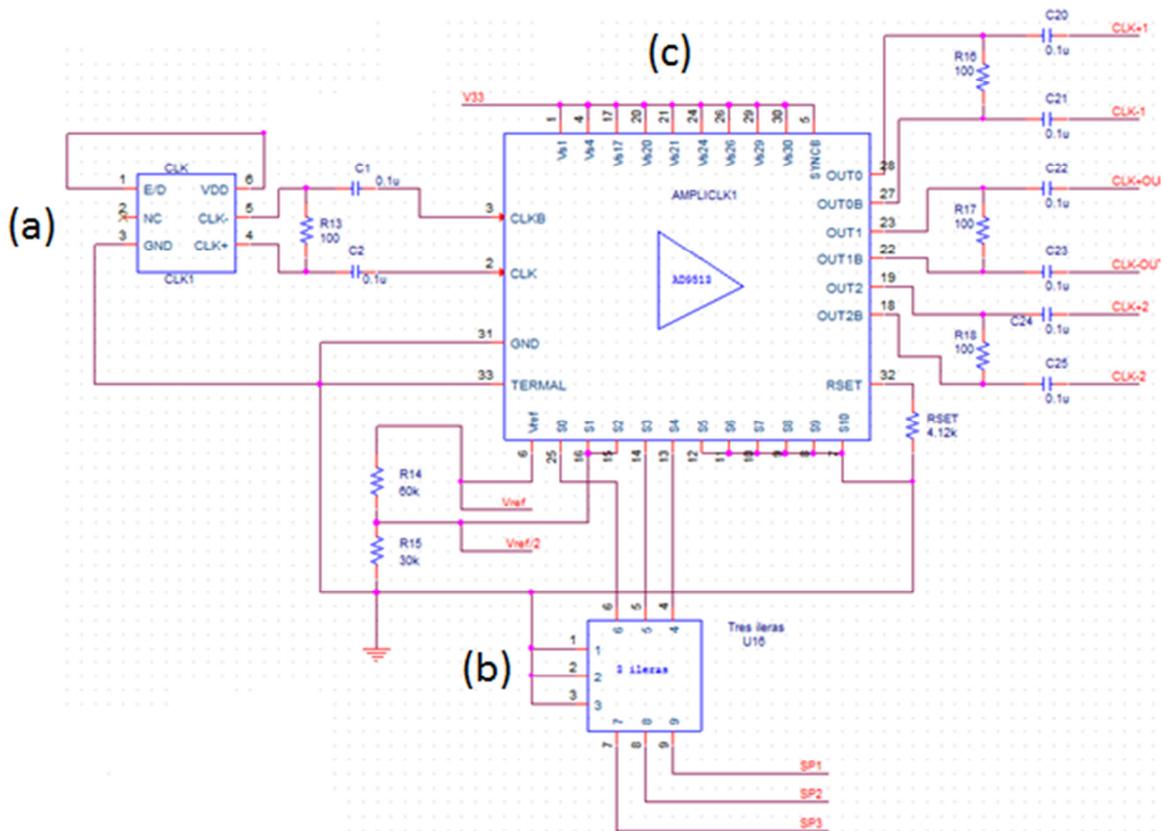


Figura VII. 22.- Circuito de sincronización. (a): Cristal oscilador. (b): Selector de configuración del distribuidor del Reloj. (c): Distribuidor de Reloj.

En la Figura VII. 22 se logra distinguir tres grandes bloques, estos corresponden a el cristal oscilador (a), el circuito que triplica la señal de sincronizador (c) y finalmente un bloque que corresponde a seis pin *header* que sirven como selector para la configuración de la entidad que triplica el reloj (b).

El cristal oscilador necesita un circuito muy sencillo para su óptimo funcionamiento, que vale decir que es permanente en cuanto a que siempre está activo y que trabaja siempre a una misma frecuencia de 250 MHz; dicho circuito se trata de los simples circuitos para señales diferenciales, o sea, una resistencia (generalmente de 100 Ω) entre ambos complementos, y en ocasiones se colocan condensadores (de 0.1μF) en serie para eliminación de ruido en la líneas.

Luego esta señal de sincronización, creada por el oscilador, es dirigida mediante dos terminales a la entrada diferencial del circuito que replica (en tres) esta señal, dos de las cuales se dirigen a cada uno de los ADC y otro es exportado a la Placa Digital. Estas tres señales son exportadas a cada dispositivo mediante transmisión de señales LVDS por lo cual necesitan una resistencia en paralelo y condensadores en las líneas al igual como se

mencionó para el cristal oscilador. La configuración de este dispositivo es la que se especifica en la sección IV. 1.3 de este capítulo, donde esencialmente se menciona que para este trabajo se modificarán tres terminales de configuración los que componen el selector, el cual sencillamente permite dos medios de operación, el primero corresponde a la configuración por defecto de la placa (sin retraso y transmisión LVDS), mientras que la segunda configuración de este selector corresponderá a que el controlará el “*triplicador*” de reloj sea un dispositivo externo a esta placa. O sea, los terminales que determinan la configuración se exportarán a la siguiente placa. El dispositivo y la configuración externa se explicarán en el siguiente capítulo del diseño de la Placa Digital.

1.7.4.- Reguladores y Conectores

En la Figura VII. 23 se muestran los esquemas de los circuitos que corresponderán a los circuitos que proporcionarán energía a los diferentes circuitos dentro de la Placa ADC, y tal como se mencionó en la Sección 1.6 de este mismo capítulo.

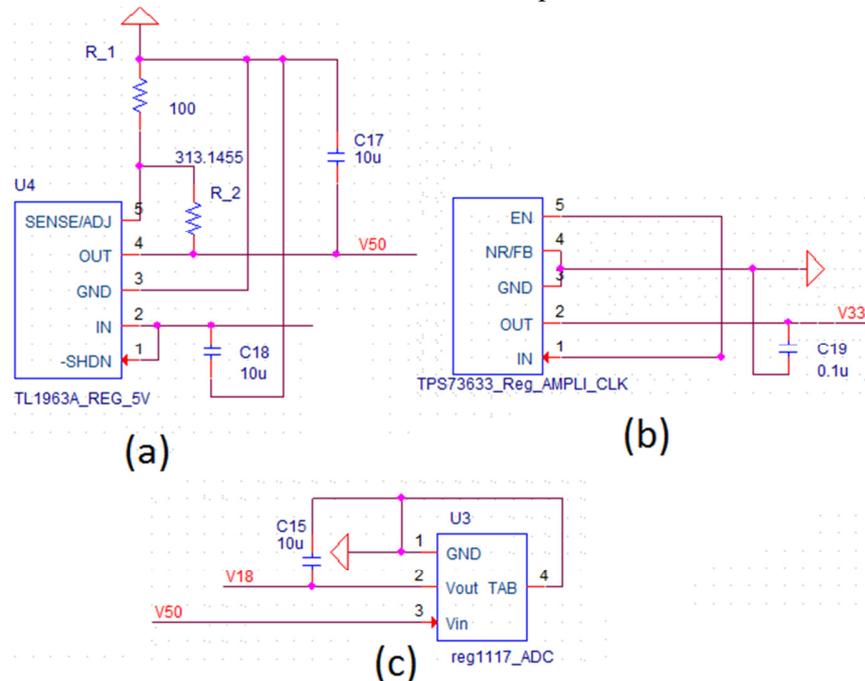


Figura VII. 23.- Circuitos esquemáticos de los Reguladores: (a) Regulador de 5 V; (b) Regulador de 3.3 V; (c) Regulador de 1.8 V

Como se puede apreciar en la Figura VII. 23 y además en la sección 1.6, estos reguladores fueron reguladores de voltaje constante, a excepción del regulador de 5 V el cual es ajustable por medio de unas resistencias externas de una precisión 0.1% cada una para obtener una mayor precisión en el divisor de voltaje que controla los terminales de control del regulador. Además, se usaron condensadores de desacoplo para eliminar posibles

variaciones en el tiempo del voltaje regulado, el valor de dichos condensadores fueron fue elegido los que se mencionaban en cada *datasheet*.

Ya con la explicación de los distintos dispositivos y su unión esquemática hecho, es posible crear lo que se conoce como “*NetList*” que corresponde a la relación directa que se tiene entre los esquemas que se han mencionados a esta hora en este capítulo y el circuito impreso, o bien, PCB (“*Printed Circuit Board*”).

1.7.5.- Circuito Impreso de la Placa ADC

Una actividad que se debe realizar antes de realizar la *NetList* es la confección de los diferentes “*FootPrints*” de cada dispositivo. Para emplear el *software* de Cadence para la confección de PCB es necesario usar una herramienta del *software* “*Layout*” para la hechura de dichos *FootPrints*, o bien, es posible encontrarlos mediante el “*Case/Package*”(empaquetado de los chips) en la web de manera gratuita. Según sea el caso en la Figura VII. 24 se muestra el resultado el posicionamiento, conocido comúnmente “*Placing*”, de los *FootPrints* en un área que corresponderá a la región del PCB del la Placa ADC.

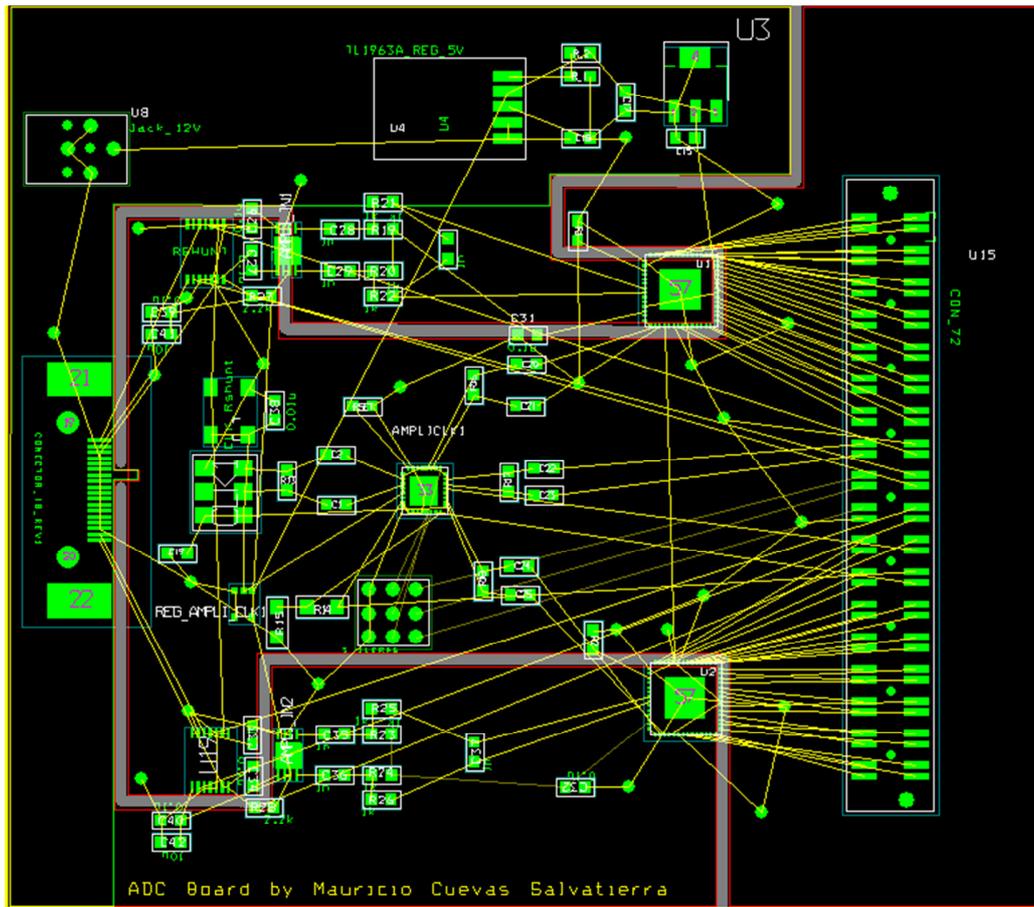


Figura VII. 24.- PCB sin unir electricamente los componentes.

Esta placa por regla de diseño (construirla en la FCFM) se construirá en dos capas de cobre, llamadas “TOP Layer” y “BOTTOM Layer”. Las conexiones que de color verde están en el TOP y en las rojas en el BOTTOM. Además se aprecia que existe una línea gris que corta el fondo negra de la placa, ésta corresponde a la franja que cortará el cobre (tanto de TOP como de BOTTOM) en dos áreas. Dichas áreas estarán formadas por una cubierta de cobre que constituirán los dos planos de tierra (tierra eléctrica analógica y digital). Estas dos tierras eléctricas se unieron mediante una franja de cobre de aproximadamente 1 mm de ancho y 2 mm de largo para ambos planos.

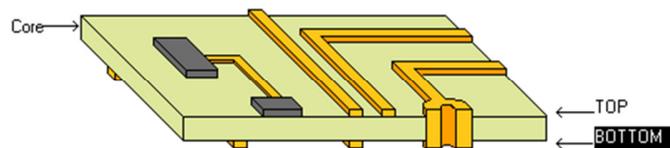


Figura VII. 25.- Representación de un PCB de dos capas.

Esta técnica de unir dos componentes de retorno de la corriente tiene generalmente una base empírica, la cual señala que de esta forma se reduce considerablemente el ruido de *switching* característico de circuitos digitales en circuitos analógicos, el cual en este caso contiene la información que será digitalizada, y por lo tanto es necesario mantener lo mejor alejado o aislado este tipo de ruido.

En la Figura VII. 26 se muestra una figura que ilustra el enrutamiento efectuado a la anterior placa (en la Sección Anexos se mostrará con mayor detalle las dos capas de ruteo de este PCB).

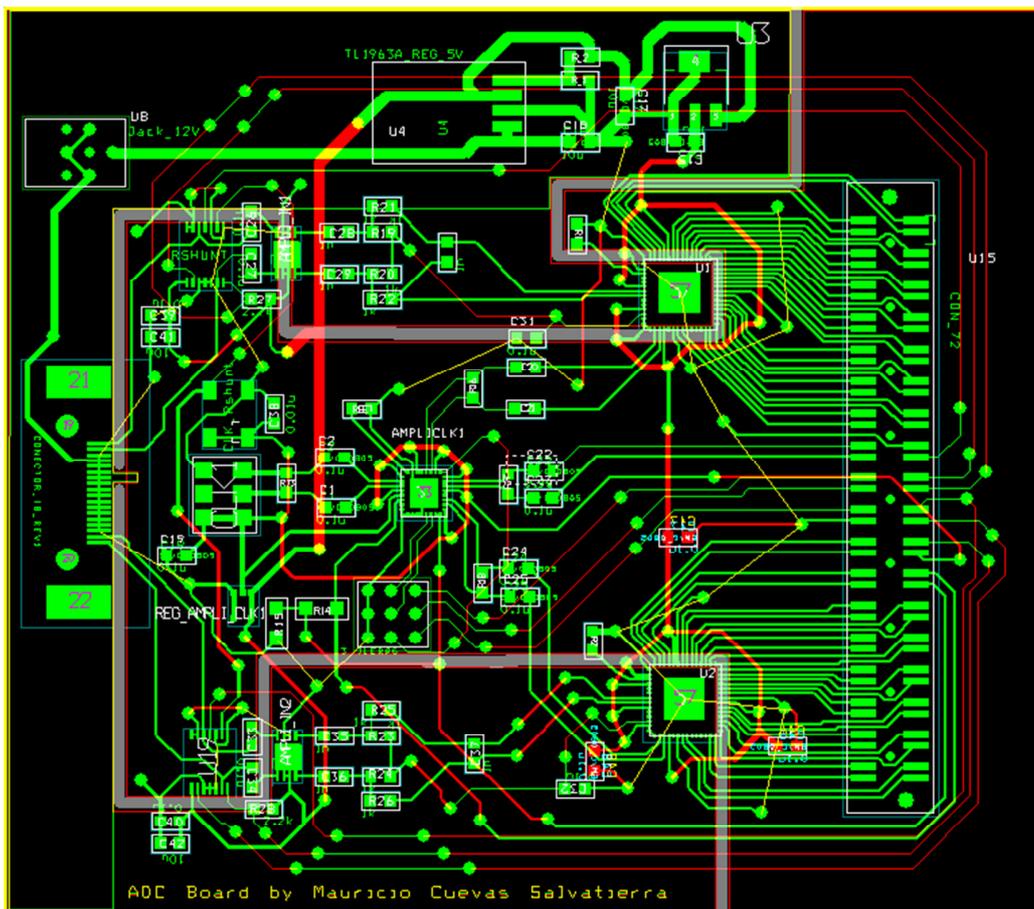


Figura VII. 26.- PCB Conversor ADC con conexiones eléctrica entre dispositivos.

2.- Anexo 2: Acrónimos utilizados en este texto

ALMA	:	<i>Atacama Large Millimeter Array.</i>
ADC	:	Conversor Analógico Digital.
FCFM	:	Facultad de Ciencias Físicas y Matemáticas.
MI	:	Medio Inter estelar.
DIE	:	Departamento de Ingeniería Civil electricista.
PCB	:	Print Circuits Board.
HDL	:	<i>High Description language.</i>
ASIC	:	<i>Application-specific integrated circuit.</i>
EM	:	Electro-magnética.
CLB	:	<i>Configurable Logic Blocks.</i>
IOB	:	<i>Input/Output Blocks.</i>
Blocks RAM	:	<i>Random access Memory.</i>
DCM	:	<i>Digital Clock Manager.</i>
HDL	:	<i>High Description Language.</i>
VHDL	:	<i>Very High Description Language.</i>
PCB	:	<i>Printed Circuit Board.</i>
LVDS	:	<i>Low Voltaje Differential Signaling.</i>

3.- Anexo 3: Planos de ruteo de la Placa ADC.

TOP Layer:

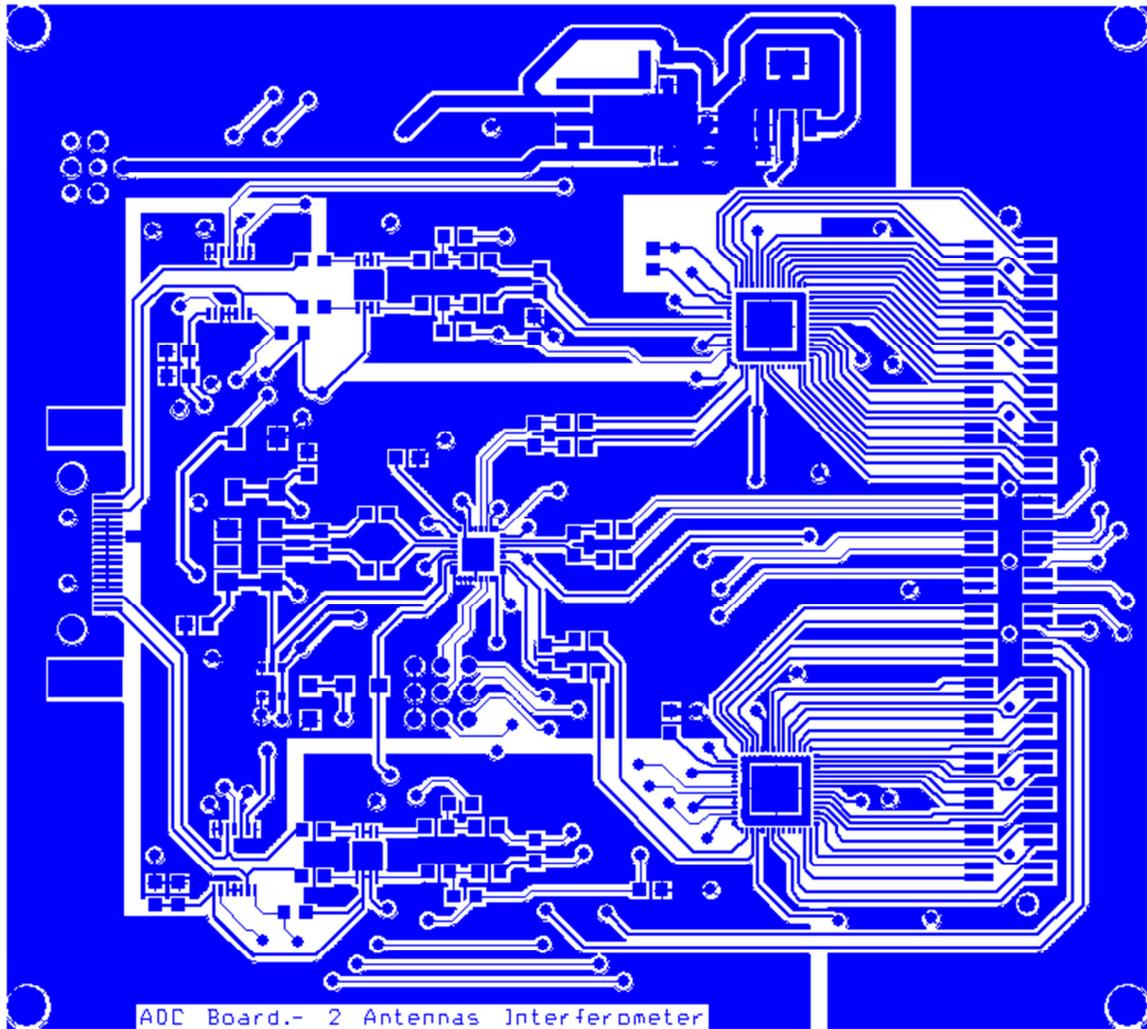


Figura VII. 27.- Top Layer de la Placa ADC.

BOTTOM Layer:

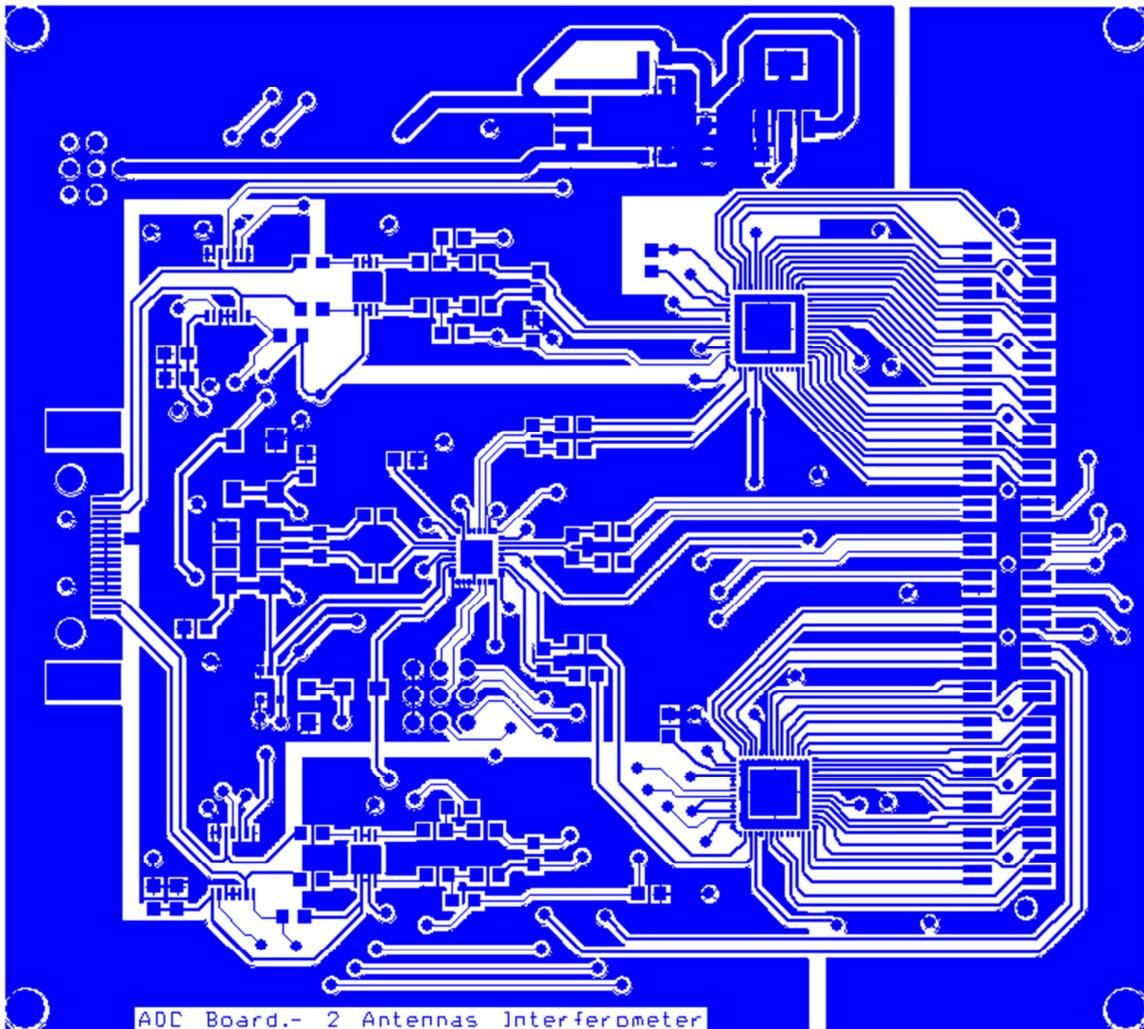


Figura VII. 28.- BOTTOM Layer de la Placa ADC.

4.- Anexo 4: Programa en C en EDK, FPGA-CONTROL.

```
int main(void){
    Xuint8 RecvBuffer=0;
    Xuint8 tmp;
    Xuint8 tmp2;
    Xuint8 send_iic;
    int ptr;
    ptr=(IICADDRESS_X);
```



```
else if(RecvBuffer == 6){ //si se dirige a SPI_Y

    ptr=(SPIADDRES_Y);
    XIo_Out8(ptr + 0x80, tmp);
}
else if(RecvBuffer == 7){
//si se dirige a SPI_X y SPI_Y
    ptr=(SPIADDRES_X);
    XIo_Out8(ptr + 0x80, tmp);
    ptr=(SPIADDRES_Y);
    XIo_Out8(ptr + 0x80, tmp);
}

else if(RecvBuffer == 8){
//si se dirige a puerto de CONTROL, pero hay dos puertos //
    tmp2= XUartLite_RecvByte(UARTADDRES);
    XGpio_mSetDataDirection(PARALELOGPIO, 1, (tmp | tmp2));
}
}
}

return 1;
}
```
