

**UNIVERSIDAD DE CHILE
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA**

**DISEÑO Y CONSTRUCCIÓN DE UN TRANSMISOR DE FRECUENCIA MODULADA,
PARA RADIODIFUSIÓN SONORA, CON TECNOLOGÍA DDS**

**MEMORIA PARA OPTAR AL TÍTULO DE
INGENIERO CIVIL ELECTRICISTA**

EMERSON SEBASTIÁN MADRID LORCA

**PROFESOR GUÍA:
MAURICIO BAHAMONDE BARROS**

**MIEMBROS DE LA COMSIÓN:
NICOLÁS BELTRAN MATURANA
HELMUTH THIEMER WILCKENS**

**SANTIAGO DE CHILE
JULIO 2010**

RESUMEN DE LA MEMORIA
PARA OPTAR AL TÍTULO
DE INGENIERO CIVIL ELECTRICISTA
POR: EMERSON MADRID LORCA
FECHA: 01/07/2010
PROF. GUÍA: SR. MAURICIO BAHAMONDE BARROS

**“DISEÑO Y CONSTRUCCIÓN DE UN TRANSMISOR DE FRECUENCIA
MODULADA, PARA RADIODIFUSIÓN SONORA, CON TECNOLOGÍA DDS”**

El avance tecnológico en los medios de radiodifusión durante las últimas dos décadas ha sido realmente asombroso. Se cuenta con una normativa digital para televisión que permite transmisión en alta definición y múltiples contenidos simultáneos en una misma estación emisora. De manera similar, en el caso de la radiodifusión sonora, la norma digital para onda media y onda corta otorga una calidad antes impensada. Un factor decisivo que posibilitó estos avances fue la invención de los Sintetizadores Digitales Directos (DDS).

Este trabajo presenta el desarrollo de un prototipo de transmisor de frecuencia modulada basado en DDS. Para concretar este proyecto fue necesario estudiar en profundidad varios aspectos relevantes del tema, entre los que se destacan: fundamentos teóricos de DDS y su aplicación práctica, metodología de modulación digital de frecuencia, normativa para transmisores de radiodifusión FM, y técnicas de electrónica analógica en radiofrecuencias.

Una vez ideado el prototipo se procedió a investigar las componentes electrónicas que ofrece el mercado para obtener un diseño realizable, accesible económicamente y acorde a las exigencias de la legislación vigente, el que posteriormente fue diseñado de manera modular, facilitando la utilización del hardware obtenido en proyectos futuros.

Dado los costos involucrados en el proyecto y la disponibilidad en el mercado de sintetizadores PLL de excelente calidad, se concluye que las ventajas de los sistemas DDS para transmisión FM analógica no justifican la inversión completa. Esto se debe al elevado costo de la electrónica encargada de programar la frecuencia del DDS en tiempo real.

A pesar de lo anterior, en este trabajo se implementó la electrónica del prototipo de sin considerar el sistema de programación del DDS, dado su elevado costo. Así, se cuenta con un transmisor convencional operativo, obtenido con el mismo hardware diseñado para el transmisor con DDS heterodino de doble conversión, y una plataforma de síntesis digital directa operativa, aptos para futuros proyectos.

Agradecimientos

A mi familia, por haber creído en mí siempre. A mi hermana, hermanos y padres, por enseñarme a ser perseverante - como buen guacarhuino -. ¡y a toda mi gente linda!. Un agradecimiento especial para mi abuelita Martita, que ha sabido entregarme valores que me acompañarán siempre.

También a los Fernández Freire, por el apoyo, cariño y confianza que me han dado. A la tía Irma y sus buenos consejos. Doy gracias a la vida por la oportunidad que me dio de compartir con esta maravillosa familia.

Es muy importante dedicarles un párrafo al inigualable equipo humano que me dió la bienvenida a esta Escuela: Bienestar Estudiantil. Sra. María Eugenia, srta. Carmen, sra. Lucía, Natalia, Paola,... ustedes sí que ponen el corazón en su trabajo!. ¡Sigán siendo como son!.

Agradezco también a la buena gente que he conocido en este Departamento: compañeros de clase y amigos (as), por las buenas vivencias; y a los profesores que con mucha paciencia han compartido sus conocimientos y experiencias.

Finalmente, hago un reconocimiento a ti, Rocío. Muchas gracias por corresponderme de la mejor forma, por tu apoyo incondicional e infinita paciencia, especialmente en este trabajo de título.

Índice General

Índice General	4
Capítulo 1 - Introducción	7
1.1 Motivación.....	8
1.2 Transmisores de frecuencia modulada en el mercado.....	9
1.3 Descripción del problema a solucionar.....	10
1.4 Objetivos.....	11
1.4.1 Objetivos generales.....	11
1.4.2 Objetivos específicos.....	12
1.5 Estructura de la memoria.....	12
Capítulo 2 - Conceptos básicos	14
2.1 Generalidades sobre transmisores FM para radiodifusión.....	15
2.2 Fundamentos teóricos de Sintetizadores Digitales Directos.....	17
2.3 Frecuencias espurias generadas en DDS.....	20
2.3.1 Resolución del DAC y velocidad del reloj.....	20
2.3.2 Efecto del truncamiento de número de fase.....	23
2.3.3 No linealidad del DAC.....	25
2.3.4 Transitorios de conmutación en DAC.....	25
2.3.5 Jitter y Ruido de Fase.....	26
2.3.6 Otras fuentes de espurias.....	26
2.4 Modulación digital de frecuencia.....	27
2.5 Características básicas de DDS comerciales.....	29
2.5.1 Alimentación.....	30
2.5.2 Sistema de Reloj.....	30
2.5.3 Velocidad de programación y refresco.....	31

2.5.4	Modos de operación.....	31
2.6	Hardware para programación.....	32
Capítulo 3 - Alternativas de diseño		34
3.1	Requerimientos exigidos al equipo.....	34
3.2	Sintetizador de frecuencias	35
3.2.1	DDS operando a frecuencia portadora.....	35
3.2.2	DDS operando en sistema heterodino.....	37
3.3	Etapas analógicas de RF	38
3.3.1	Amplificadores de RF.....	39
3.3.2	Medidor de Relación de Onda Estacionaria	40
3.4	Circuitos de control y monitoreo	41
3.5	Generador de Banda Base.....	42
3.6	Fuente de alimentación	42
Capítulo 4 - Diseño del transmisor.....		44
4.1	Restricciones.....	44
4.2	Idea de funcionamiento.....	45
4.3	Sintetizador de Frecuencias	48
4.3.1	Plataforma DDS – DSP basada en AD9851 para generar FI_1	49
4.3.2	Módulo PLL	51
4.3.3	Mezcladores de RF	54
4.3.4	Filtros.....	55
4.4	Etapas Analógicas de Radiofrecuencia.....	59
4.4.1	Amplificadores de RF.....	59
4.4.2	Medidor de relación de onda estacionaria.....	60
4.4.3	Sistema de protección ante RF reflejada excesiva.....	62
4.5	Circuitos de control y monitoreo	63
4.6	Otros circuitos.....	65
4.7	Consideraciones sobre el gabinete	66

Capítulo 5 - Conclusiones	68
5.1 Avances.....	69
5.2 Futuras mejoras.....	70
5.3 Comentarios finales	71
Bibliografía.....	73
Anexo A - Plataforma DDS basada en AD9852.....	74
Anexo B - Costos del prototipo.....	76
Anexo C - Esquemáticos	78
Anexo D - Transmisor implementado.....	90
Anexo E - Glosario.....	92

Capítulo 1

Introducción

El avance de las telecomunicaciones dentro de los últimos 50 años ha sido vertiginoso, y los medios de radiodifusión tradicional no se han quedado atrás. Las clásicas radios de onda media y onda corta ya cuentan con emisiones en normativa digital que le otorgan una calidad antes impensada, y la televisión digital permite entregar servicio de alta definición con múltiples contenidos transmitidos desde una misma estación en forma simultánea. También para emisoras de radiodifusión en frecuencia modulada se cuenta con una norma digital que no ha prosperado por motivos principalmente económicos.

Para estar al día con estas tecnologías, viéndolo desde el punto de vista de ingeniería, es necesario comprender más a fondo los desarrollos de la electrónica que hay detrás de estos avances. En ese afán de crecer en el conocimiento y no ser meros compradores de “cajas negras”, es que en el presente trabajo se pretende obtener un prototipo de transmisor de frecuencia modulada para radiodifusión sonora basado en la nueva tecnología para generar señales de radiofrecuencia: los Sintetizadores Digitales Directos (DDS). En los capítulos siguientes se analiza el trasfondo teórico de esta técnica, y se aporta experiencia en el diseño y construcción de equipos de radiofrecuencia en bandas de VHF.

1.1 Motivación.

Desde la infancia, el estudiante memorista ha estudiado y experimentado en actividades relacionadas con la radioafición, entre las cuales destaca el diseño y construcción de transceptores de pequeña potencia (QRP en la jerga) y sistemas de antenas, impulsado siempre por un enorme interés por la electrónica y la física detrás de los sistemas de comunicación inalámbrica. En un principio los conocimientos se adquirieron de forma autodidacta, teniendo muchos vacíos teóricos que ahora, con la formación universitaria, han sido resueltos adecuadamente. Es así como actualmente, contando con todos los conocimientos necesarios, el desarrollo del transmisor FM con DDS representa un desafío personal en que se aplicará la técnica adquirida en la escuela de ingeniería y aquella que la experiencia ha otorgado.

Otro foco de interés en este tema es la gran cantidad de proyectos a los cuales sin duda será muy útil la tecnología DDS, entre los cuales se destacan los siguientes:

- En radioastronomía permitirá el diseño de receptores de precisión asombrosa, ya que si se utiliza un sistema DDS como oscilador local en equipos heterodinos puede obtenerse una resolución del orden de los pHz.
- Para las nuevas normas digitales de radiodifusión, facilitará la implementación de los sintetizadores de frecuencias con cualquier tipo de modulación a una alta tasa de transmisión de datos.
- Hará posible la construcción de equipos de comunicaciones en las bandas más bajas de espectro, pues la gran precisión de un DDS permite modular dentro de un ancho de banda estrecho. Así se desarrollará tecnología local para comunicaciones submarinas o equipamiento científico para investigar fenómenos geofísicos.
- El amplio rango de operación de algunos modelos de DDS sin necesidad de cambiar el hardware asociado permitirá concebir equipos de medición como Analizadores de Espectro o de Redes.

En la eventualidad de llevarse a cabo alguno de estos proyectos en la Universidad, ya se cuenta con este trabajo como base para empezar a conocer la tecnología, así como con los diseños de circuitos impresos concebidos para experimentación.

1.2 Transmisores de frecuencia modulada en el mercado.

Los transmisores de FM vienen de los tiempos en que la electrónica era en base a válvulas (también conocidas como tubos, o válvulas termoiónicas). En aquella época nacieron las empresas que hoy son líderes mundiales en el mercado, como es el caso de Harris Corporation y Broadcast Electronics en EE.UU..



Figura 1.1 Transmisor FM valvular 40 kW de Broadcast Electronics (EE.UU.).

Desde la década de 1940 la técnica preferida para sintetizar la frecuencia portadora es el uso de lazos enclavados en fase (PLL), pero con el desarrollo de nuevas tecnologías la tendencia apunta hacia la Síntesis Digital Directa (DDS).

Es así como las principales firmas ya cuentan con líneas de transmisores basados en DDS y, en los últimos años, desarrollos con esta técnica han comenzado a realizarse fuera de las fronteras estadounidenses.



Figura 1.2 Transmisor FM DSP – DDS 25 W de R.V.R. (Italia).

En el presente trabajo se aborda, por primera vez en el país, el tema de los Sintetizadores Digitales Directos a nivel teórico y también la elaboración de un prototipo de transmisor comercial.

1.3 Descripción del problema a solucionar

El método tradicional para controlar la frecuencia de portadora es el llamado “lazo cerrado de fase” o PLL (por sus siglas en inglés), aplicado a todo tipo de equipos transmisores desde fines de la década de 1940. Sin afán de detallar el funcionamiento de un PLL, se indicará la problemática de este método de síntesis cuando se trata de moduladores de frecuencia.

Uno de los bloques fundamentales de todo PLL es el Oscilador Controlado por Voltaje (VCO) que para radiofrecuencias en la banda de VHF (en la cual se ubica la FM comercial) se construye en base a un circuito resonante LC, donde L es constante y C es un capacitor variable por tensión, o varicap. La frecuencia de resonancia en un circuito LC está dada por la ecuación 1.1.

$$f_{osc} = 1/2\pi \cdot (LC)^{-1/2} \quad \text{Ecuación 1.1}$$

Para modular en frecuencia, al varicap se aplica un voltaje cuyas componentes continua y de muy baja frecuencia (inferior a 20 Hz) establecen de forma permanente una frecuencia central de operación del VCO, mientras que las componentes de frecuencia más elevada hacen que la portadora se mueva en torno a la central, permitiendo la modulación.

El problema está en que la frecuencia de salida no es una función lineal del voltaje de control (como se esperaría del un VCO ideal), debido a la no linealidad de la ecuación 1.1 y la curva de los varicap, como la mostrada en la figura 1.3.

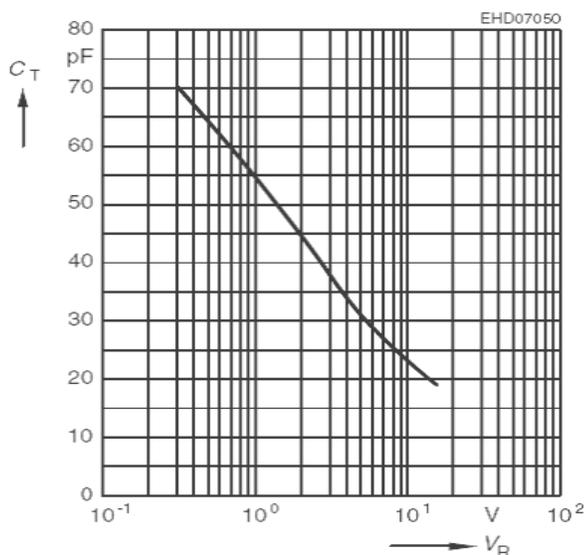


Figura 1.3 Capacitancia vs. Voltaje Inverso en diodo varicap BB804.

Se ha considerado como ejemplo el varicap BB804 de Infineon Technologies, usado comúnmente en sintetizadores de VHF. Como se aprecia, claramente no se puede esperar que la

frecuencia de salida del VCO sea lineal con el voltaje de control, introduciendo distorsión en la señal modulada y, debido a esto, aumentando la distorsión armónica (THD) del audio transmitido por equipo.

Otra problemática de los VCO es que la inductancia del circuito resonante suele ser sensible a vibraciones mecánicas del gabinete, que si no se protege adecuadamente, produce el efecto llamado “microfonía”, porque se hace sensible a sonidos que la hacen deformarse (por ende, variar la inductancia) con la consecuente modulación en frecuencia. De este modo, además de la señal moduladora, aparece a la salida una componente de ruido mecánico.

Mediante el desarrollo de sintetizadores digitales directos es posible eliminar ambas problemáticas de buena forma, aunque la complejidad y el costo del transmisor crecen considerablemente. Como se ve más adelante, se hará necesario el uso de PLL sin modular (por lo que no introduce THD en la modulación), que se protegerá convenientemente para no producir microfonía.

1.4 Objetivos

Los objetivos generales representan el foco principal de este trabajo de título, mientras que los específicos indican las metas parciales que llevan al cumplimiento de lo anteriormente planteado.

1.4.1 Objetivos generales

Como objetivos generales que se espera cumplir en este trabajo se plantean los siguientes:

- a. Diseñar y construir un prototipo de transmisor de frecuencia modulada, para radiodifusión sonora, utilizando la tecnología de Síntesis Digital Directa. Se espera obtener etapas de radiofrecuencia funcionales y una plataforma DDS.
- b. Realizar un estudio acabado de los DDS, tanto teórico como práctico, de modo que futuros desarrollos en esta área cuenten con un trabajo en el cual basarse.
- c. Aportar con la experiencia de un diseño práctico al desarrollo de circuitos de radiofrecuencia VHF en la Universidad.

1.4.2 Objetivos específicos

Para concretar el proyecto que se plantea en los objetivos generales se debe cumplir con diferentes objetivos específicos, los cuales se mencionan a continuación:

- a. Estudiar en profundidad el proceso de Síntesis Digital Directa y Modulación Digital en Frecuencia.
- b. Definir los requerimientos sobre cada etapa del equipo y decidir las componentes a utilizar.
- c. Diseñar y construir el hardware analógico y digital según lo dispuesto en las etapas precedentes.
- d. Programar los dispositivos que sea necesario.
- e. Revisar comportamiento del equipo para verificar cumplimiento de la normativa.

1.5 Estructura de la memoria

El documento está compuesto por cinco capítulos, que se describen brevemente a continuación:

El capítulo muestra la motivación de este trabajo y se indica la problemática que soluciona la tecnología DDS en transmisores de frecuencia modulada. Finalmente se señalan los objetivos y la estructura de la memoria.

El capítulo 2 trata generalidades sobre transmisores de FM. Luego la teoría DDS y modulación digital de frecuencia. Posteriormente se señala características de DDS comerciales de Analog Devices Inc. y sus alternativas de programación.

El capítulo 3 describe las diferentes opciones en el diseño de cada etapa del transmisor.

El capítulo 4 muestra el diseño del prototipo a construir, basado en las restricciones de componentes y costos.

El capítulo 5 analiza los resultados obtenidos en cuanto al cumplimiento de los objetivos planteados, indicando los trabajos pendientes y futuras mejoras.

Al final de este trabajo impreso se tiene algunos de los anexos: descripción de la plataforma AD9852, costos del prototipo, esquemáticos principales y glosario de siglas. Este último facilita la lectura de la memoria.

En el CDROM se entrega otros anexos que no se imprimieron a fin de evitar aumentar el volumen de la memoria de forma excesiva. También se entrega los archivos Eagle de la electrónica desarrollada.

Capítulo 2

Conceptos básicos

El desarrollo de tecnología de semiconductores de alta velocidad, como los *High Electron Mobility Transistor* HEMT y los *Gallium Arsenic Field Effect Transistor* GaAsFET han dado el pie para al advenimiento de la microelectrónica digital de elevada tasa de procesamiento. En la actualidad es posible sintetizar de manera digital señales de radiofrecuencia, mediante la implementación de Osciladores Numéricamente Controlados NCO y conversores digital – análogo de muy alta velocidad de conversión.

En este capítulo se muestra aspectos generales de transmisores de frecuencia modulada para radiodifusión sonora. También se describe la teoría de modulación digital de frecuencia y se detalla la técnica digital para síntesis de señales, llamada Síntesis Digital Directa (DDS). Se hace un estudio profundo de sus fundamentos y se entrega una visión general de las componentes electrónicas disponibles en el mercado para esta tecnología.

2.1 Generalidades sobre transmisores FM para radiodifusión.

La tecnología convencional utilizada en transmisores de frecuencia modulada proviene de la década de 1940, y corresponde a sintetizadores controlados mediante lazo enclavado de fase (PLL) que actualmente posee la gran mayoría de los transmisores en operación. Los bloques de radiofrecuencia representan un delicado diseño analógico, cuyas etapas de potencia se hacen en base a transistores bipolares (poca potencia) o MOSFET (alta potencia), y en algunos modelos comerciales aún se usa amplificadores valvulares (como los clásicos EIMAC, de potencias superiores a 1 kW como el mostrado en la figura 1.1).

Cada diseño debe atenerse a la normativa regulatoria vigente, disponible en la Subsecretaría de Telecomunicaciones (www.subtel.cl) para Chile, indicada en el Anexo F. Esta norma se basa, a su vez, en la dictada por la Federal Communications Commission (www.fcc.gov) de Estados Unidos.

Básicamente, el transmisor consta de 3 bloques básicos que se describen a continuación:

Generador de Banda Base: ingresan señales analógicas correspondientes a los canales de audio en alta calidad - izquierdo (L) y derecho (R) – y el canal de audio en baja calidad SCA (opcional); junto al bus de datos correspondiente al Radio Data System (RDS). Con estas señales se genera una compuesta, llamada MPX, la cual modula la frecuencia en la etapa sintetizadora de radiofrecuencia. Para más detalle ver Anexo G.

Sintetizador de Radiofrecuencia: se genera la frecuencia portadora de RF, que es modulada con la señal MPX proveniente del generador de banda base.

Etapas analógicas de RF: la señal proveniente del sintetizador de frecuencias es amplificada y filtrada para ser enviada al sistema radiante. Incluye un circuito realimentado de protección ante niveles elevados de potencia reflejada.

En la figura 2.1 se muestra el diagrama de bloques básico de un transmisor de frecuencia modulada, indicando las señales que tienen como entrada y salida en cada etapa de manera muy simplificada. El generador de banda base entrega la señal compuesta que contiene las subportadoras de audio y datos, que pueden estar en un bus digital o como señal analógica según sea el hardware de esta etapa, la cual pasa a modular la frecuencia de salida generando una señal modulada en frecuencia de banda ancha, debido a su elevado índice de modulación.

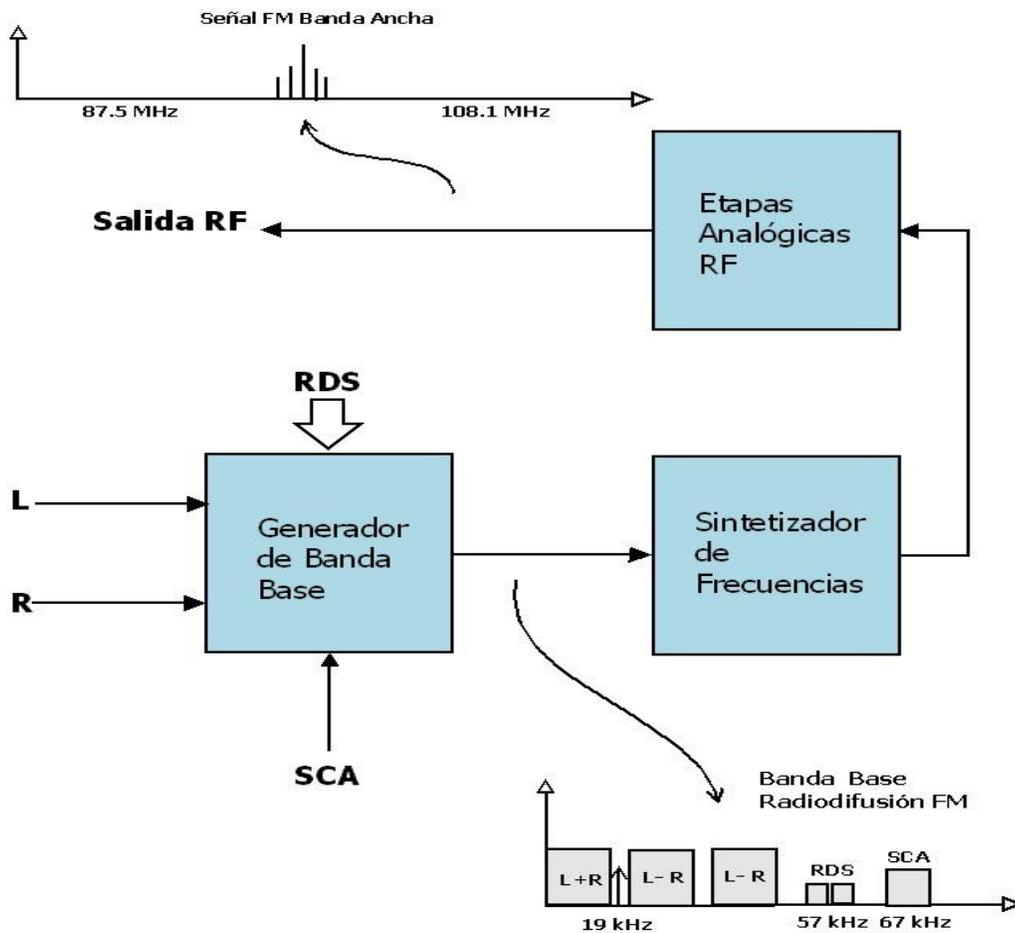


Figura 2.1 Diagrama de bloques básico de un transmisor de FM.

Observar que en el generador de banda base se tiene entradas analógicas de audio (L y R de alta calidad, y SCA de baja calidad) y digital (RDS) que son procesadas para generar una señal compuesta MPX, que puede ser digital o analógica según el tipo de sintetizador de frecuencias que posea el transmisor.

En la salida de RF al sistema de antenas se tiene una portadora modulada en frecuencia de “banda ancha”. Esta denominación se refiere al elevado índice de modulación aplicado en radiodifusión FM. Por ello se aprecian múltiples bandas laterales que abarcan normalmente hasta ± 90 kHz de la frecuencia central con una amplitud por encima de los -80 dBc.

Además de los bloques mostrados en la figura 2.1, el transmisor debe contar con indicadores de distintas variables de estado. También se agrega la electrónica para controlar la frecuencia de salida y potencia de forma sencilla. En fin, las funcionalidades extras dan valor agregado al equipo y facilitan su comercialización.

2.2 Fundamentos teóricos de Sintetizadores Digitales Directos

Los Sintetizadores Digitales Directos (DDS en adelante por sus siglas en inglés) destinados a operar en la generación de señales sinusoidales se caracterizan por tener como núcleo de su funcionamiento los llamados Osciladores Controlados Numéricamente (NCO por sus siglas en inglés).

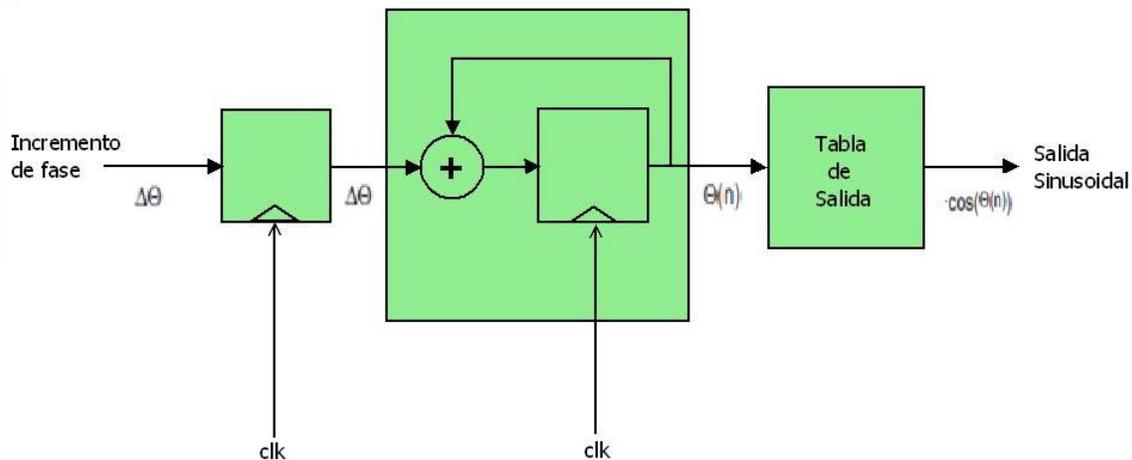


Figura 2.2 Diagrama de bloques de un NCO.

En la figura 2.2 se muestra el esquema básico de un NCO. Se distinguen 2 grandes bloques constituyentes: acumulador de fase y tabla de salida. El acumulador de fase corresponde a un registro que contiene un número binario almacenado cuyo largo depende de la resolución de fase del NCO. Por otro lado, la tabla de salida son registros programables cuyas direcciones de memoria se asocian a un determinado número binario que recibe como entrada (número de fase) [2].

En palabras simples, el funcionamiento de este dispositivo se puede resumir en las siguientes etapas:

Primero: El NCO como entrada recibe un número binario llamado “Incremento de Fase” (o “Número de Frecuencia”) $\Delta\theta$. Este es almacenado en el registro acumulador de fase. Y segundo: En el ciclo siguiente, el valor contenido en el acumulador de fase pasa a la salida y también se realimenta sumando nuevamente el valor contenido en $\Delta\theta$. Se almacena el nuevo valor en el acumulador de fase. Luego el ciclo se repite.

De esta forma, a la salida del Acumulador de Fase se tiene un bus de datos que contiene un número binario que en cada periodo se incrementa en $\Delta\theta$, y una vez que llega a su valor máximo vuelve a cero.

Es posible hacer la analogía de este proceso al giro de un faser, donde el valor cero coincide con un ángulo 0° y el valor máximo del acumulador de fase corresponde a los 360° . Se tiene una salida periódica de la fase.

Cada valor de fase se entrega como dirección de memoria a la tabla de salida. Esta tabla recibe a la entrada el número de fase y entrega la amplitud asociada a dicha fase. La amplitud puede ser programada, por ejemplo, con la correspondiente a una función seno o coseno; teniendo así un oscilador sinusoidal controlado digitalmente. Mediante el valor de $\Delta\theta$ se tiene una forma de definir la frecuencia de salida del NCO.

Un DDS corresponde a la implementación del NCO que, en algunos casos, contiene la lógica necesaria para efectuar diferentes funciones predefinidas. En adelante se menciona DDS en vez de NCO.

Una manera más clara de ver cómo opera el DDS es la que se grafica en la figura 2.3, donde se aprecia el faser que gira a saltos de longitud M .

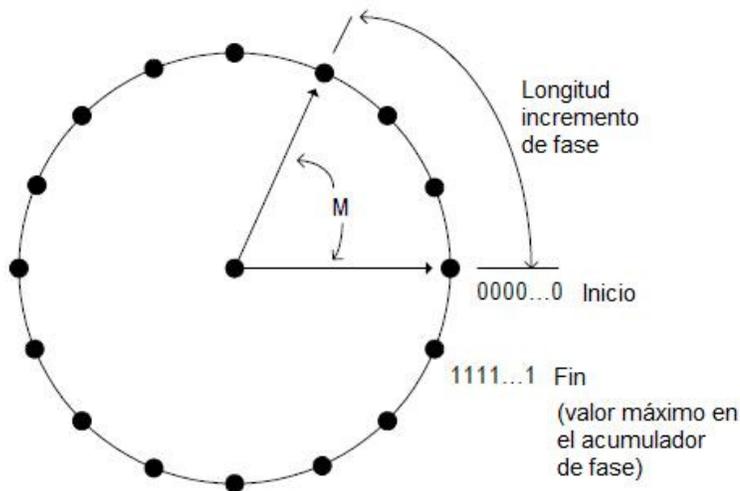


Figura 2.3 Funcionamiento DDS en representación fasorial.

De este modo, la frecuencia a la salida está dada por la siguiente expresión:

$$f_{OUT} = \frac{M \cdot f_{CLK}}{2^N} \quad \text{Ecuación 2.1}$$

Donde:

f_{OUT} = frecuencia de salida

N = largo en bits del acumulador de fase

M = número de incremento de fase $\Delta\theta$

f_{CLK} = frecuencia del reloj

Como la señal digitalizada tiene una determinada tasa de muestras definida por la frecuencia del reloj, a la salida de la DDS se tiene frecuencias imágenes dadas por las sumas y restas de múltiplos de la frecuencia de muestreo f_S y la fundamental f_{OUT} .

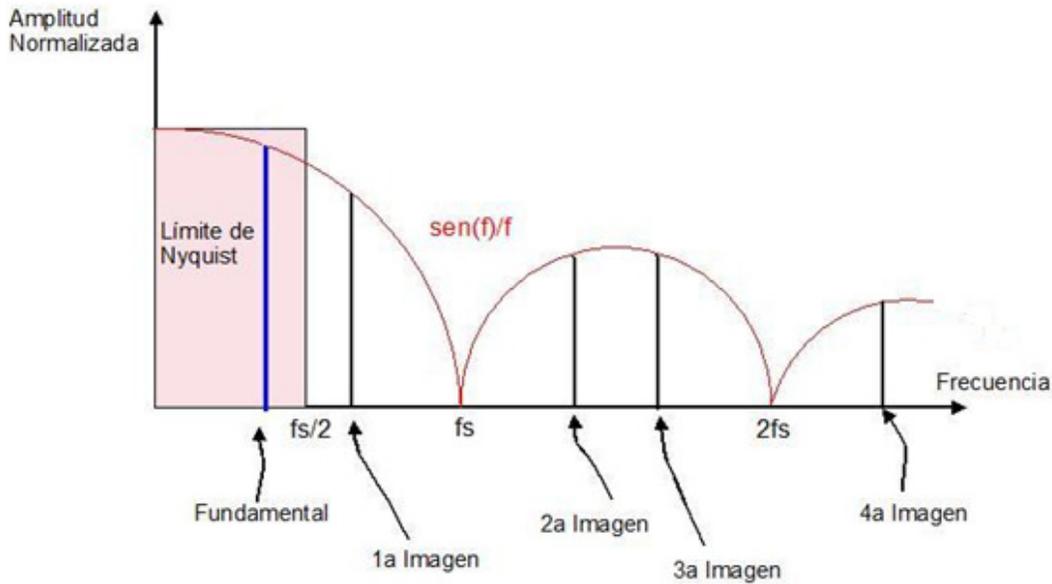


Figura 2.4 Frecuencias imágenes a la salida del DDS.

Así se tiene:

$$f_{imagen} = k \cdot f_s \pm f_o \quad \text{Ecuación 2.2}$$

Con k número natural, f_o frecuencia portadora y f_s la de muestreo (reloj en la mayoría de los casos). Este efecto también se hace evidente cuando se modula la portadora de RF. La velocidad de muestreo de la señal moduladora genera frecuencias imágenes, por lo que es un dato importante a considerar en el diseño del transmisor. Por otro lado, programando la tabla de salida se tiene control sobre la amplitud asociada a cada valor de fase, permitiendo la modulación en forma arbitraria.

2.3 Frecuencias espurias generadas en DDS

Una conclusión directa del análisis funcional del DDS es la presencia de frecuencias imágenes deducibles del criterio de Nyquist las cuales, según la aplicación, requieren ser filtradas. Desafortunadamente no son las únicas frecuencias espurias generadas, ya que hay otros fenómenos que afectan la pureza espectral del sintetizador [1]. A continuación se describe cada uno de ellos.

2.3.1 Resolución del DAC y velocidad del reloj

El proceso de conversión de una señal de Digital a Análoga, se obtiene como resultado una aproximación de la señal original. Analizando, a modo de ejemplo gráfico, la conversión digital a análoga de la figura 2.5 se observa que la señal original se puede escribir como la suma entre el valor digital entregado al conversor más el error de conversión $e_q(n)$, con lo cual:

$$e_q(n) = x(n) - x_q(n) \quad \text{Ecuación 2.4}$$

Donde $x(n)$ es la señal original y $x_q(n)$ es la señal cuantizada. Notar en la ecuación 2.4 que este error introducido en la señal digital se traduce en la adición de ruido.

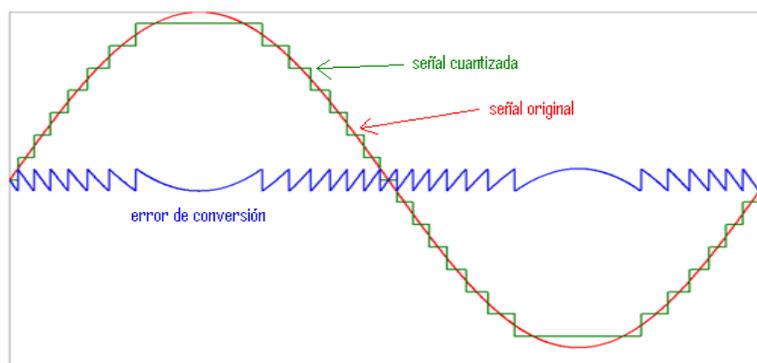


Figura 2.5 Ruido de cuantización (error de conversión).

Se define como Δ el paso entre niveles de cuantización consecutivos. Para el análisis matemático, se considera los siguientes supuestos, razonables para este estudio:

- El error $-\Delta/2 < e_q(n) < \Delta/2$ se distribuye uniformemente dentro de dicho rango.
- La secuencia $e_q(n)$ es un ruido blanco (i.e. no están correlacionados para diferentes valores de n).

- La secuencia del error no está correlacionado con la secuencia de la señal de entrada.
- La secuencia de entrada tiene media cero y es estacionaria.

Como el error se mantiene en el rango $-\Delta/2 < e_q(n) < \Delta/2$ el valor medio es cero y la potencia de ruido en toda la banda de Nyquist está dada por la varianza del error, como se indica en la ecuación 2.5.

$$P_n = \sigma_e^2 = \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 p(e) de = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12} \quad \text{Ecuación 2.5}$$

Para una señal sinusoidal $x(t)$ de amplitud máxima $A = 2^{B-1} \cdot \Delta$, la potencia P_x para un conversor de B bits se obtiene de:

$$P_x = \frac{1}{2\pi} \int_0^{2\pi} x^2(t) dt = \frac{1}{2\pi} \int_0^{2\pi} (2^{B-1} \Delta)^2 \text{sen}^2(t + \theta) dt = \frac{4^B \Delta^2}{8} \quad \text{Ecuación 2.6}$$

Luego,

$$SNR = 10 \log \frac{P_x}{P_n} = 10 \log \frac{4^B \Delta^2 / 8}{\Delta^2 / 12} = 10B \cdot \log(4) + 10 \cdot \log \frac{3}{2} \approx 1.76 + 6.02B$$

Ecuación 2.7

El cálculo precedente se realiza cubriendo la banda de Nyquist. Si se incrementa la frecuencia de muestreo, esta potencia de ruido se distribuye en un rango de frecuencias mayor, mejorando la SNR.

$$\text{Mejoramiento debido a Oversampling} = 20 \log \left\{ \frac{F_{os}}{F_s} \right\} \quad \text{Ecuación 2.8}$$

Donde F_s es la frecuencia de Nyquist y F_{os} es la sobremuestreda. De este modo, mejor será la SNR cuanto mayor sea el reloj del DDS. En la ecuación 2.8 se muestra el mejoramiento del SNR de un DAC (o ADC) sobremuestreado, suponiendo que opera con una señal sinusoidal ajustada a su máximo de escala.

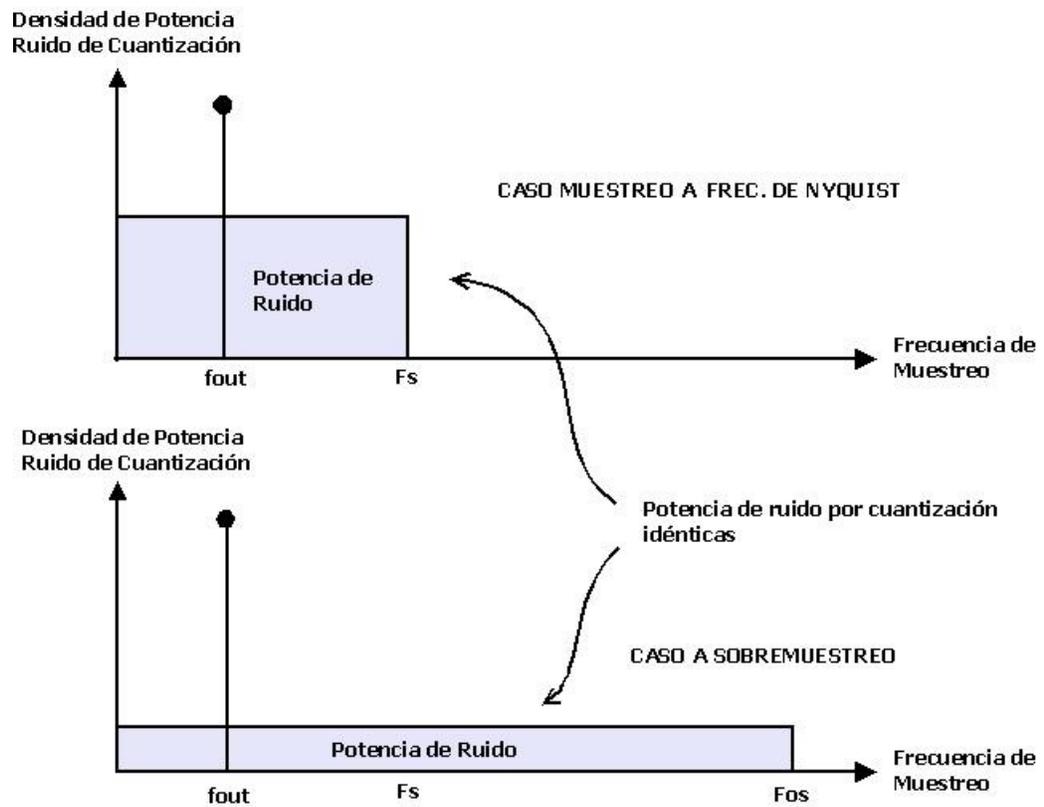


Figura 2.6 Potencia de ruido de cuantización.

Luego, el SNR para el ancho de banda en el rango de Nyquist si $f_{OUT} = F_s/2$ queda:

$$SNR = 1.76 + 6.02 \cdot B + 20 \log \left\{ \frac{F_{os}}{F_s} \right\} \quad \text{Ecuación 2.9}$$

Notar que la potencia de ruido es constante. Si la señal digital que entra al conversor disminuye su amplitud el ruido permanece constante, mientras que la componente de frecuencia fundamental disminuye, con lo que la SNR empeora (disminuye).

En circuitos integrados DDS la resolución de salida suele ser de 10 bits o 12 bits comúnmente, y de 14 bits en DDS de elevado costo. En todos los casos el SNR es menor a 75 dB con reloj a F_s , lo cual no necesariamente significa que el circuito integrado no sea apropiado para la aplicación (ver normativa en Anexo F). Esto es porque el SNR aquí mostrado se refiere a la razón de potencias entre la señal y el ruido en todo el rango de Nyquist. Un mejor indicador es la gráfica con el SFDR entregado por el fabricante.

2.3.2 Efecto del truncamiento de número de fase.

Es común tener acumuladores de fase de hasta 48 bits, lo que se traduce en $2^{48} - 1 \approx 2 \times 10^{14}$ valores diferentes del número de fase (TW). A su vez, cada uno de estos debería asociarse a un valor de amplitud de salida almacenado en la memoria, ocupando decenas de Terabytes!. Como es imposible llevarlo a la práctica se procede a considerar sólo los bits más significativos del TW.

Este truncamiento produce una incoherencia en la conversión fase – amplitud a la salida del DAC, generando frecuencias espurias. En la figura 2.7 se aprecia el fenómeno.

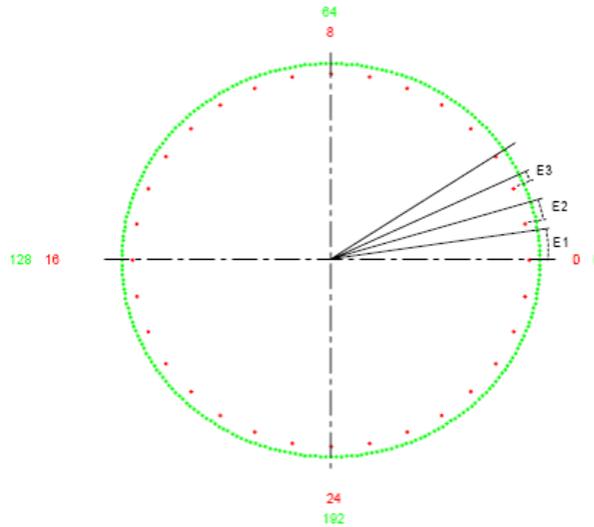


Figura 2.7 Ejemplo de NCO con truncamiento de número de fase

Suponemos un acumulador de fase de 8 bits (señalado con los puntos de la circunferencia externa) que se ha truncado a sus 5 bits más significativos al momento de realizar la conversión fase – amplitud. Nótese que la diferencia entre el valor ideal de amplitud y el truncado presentan un error variable de forma periódica.

Se define:

A = tamaño del acumulador de fase [bits]

P = tamaño del número de fase después de truncado [bits]

TW = número de frecuencia

En DDS comerciales, comúnmente se cumple que $(A - P) \geq 4$. En tal caso, la magnitud de la espuria más alta está dada por:

$$\text{Magnitud mayor espuria por truncamiento} = -6.02P \quad \text{Ecuación 2.10}$$

Que corresponde a la frecuencia asociada al número de fase:

$$\text{Número de fase mayor espúrea por truncamiento} = \text{MCD}\{TW, 2^{A-P}\} = 2^{A-P-1} \quad \text{Ecuación 2.11}$$

Donde $\text{MCD}\{x,y\}$ es el Máximo Común Divisor entre los números x e y .
Notar que si el número de fase satisface:

$$\text{MCD}\{TW, 2^{A-P}\} = 2^{A-P} \quad \text{Ecuación 2.12}$$

No hay espurias por truncamiento de fase, ya que el error de conversión es constante.

La distribución de las frecuencias espurias está definida por la repetición de las secuencias de desfase entre la amplitud real y la ideal. La cantidad de ciclos de reloj necesarios para dicha repetición está dado por:

$$\text{Tasa Repetición Secuencia} = \text{GRR} = 2^A / \text{MCD}\{TW, 2^A\} \quad \text{Ecuación 2.13}$$

El cual es enorme si se trata de DDS cuyo largo de TW (cantidad de bits que componen el número de fase) es grande, por ejemplo, 48 bits, como lo es el caso del chip AD9852.

Podemos observar los B bits truncados como un número de fase equivalente, donde se define $B = A - P$, el cual trunca el número de fase original según el valor contenido en un acumulador de fase de B bits con un número de fase equivalente dado por:

$$ETW = T \text{ módulo } 2^B \quad \text{Ecuación 2.14}$$

Así, el número de acarreo (*overflows* en inglés) ocurridos en cada período de GRR se muestra en la ecuación 2.15:

$$\text{Número de overflows} = \frac{\text{GRR} \cdot \text{ETW}}{2^B} \quad \text{Ecuación 2.15}$$

En el dominio del tiempo ETW es una secuencia con un periodo de $2^B/\text{ETW}$ ciclos de reloj, y el valor de ETW se repite cada 2^{B-1} ciclos de reloj. Pasando a la frecuencia, esto se traduce en 2^{B-2} frecuencias discretas, que corresponden a la mitad de la cantidad de puntos de la secuencia en el dominio del tiempo. Dichas frecuencias son las espurias.

La fundamental de las frecuencias debidas a este efecto está en:

$$\text{Frecuencia fundamental por truncamiento} = \frac{ETW}{2^B} \cdot F_S \quad \text{Ecuación 2.16}$$

Y el espectro consiste en 2^{B-1} armónicas separadas $\frac{ETW}{2^B} \cdot F_S$, por lo que son fáciles de filtrar, dada su lejanía con la fundamental.

2.3.3 No linealidad del DAC.

Es imposible construir un DAC ideal. Siempre hay error entre la salida entregada y la correspondiente al valor cuantizado, lo que genera espurias armónicas a la frecuencia de salida cuyas amplitudes dependen de qué tan no lineal sea el DAC. En ocasiones se utilizan pues pueden ser útiles si se desea generar frecuencias altas, superiores al reloj de la DDS. Afectan la calidad de señales moduladas digitalmente en amplitud.

2.3.4 Transitorios de conmutación en DAC.

Como la estructura interna del DAC no es ideal [5], se presentan asimetrías en la conmutación de estados en la lógica interna del DDS, contribuyendo a la generación de distorsión armónica. Tienden a ocurrir a la frecuencia fundamental de salida del DAC.

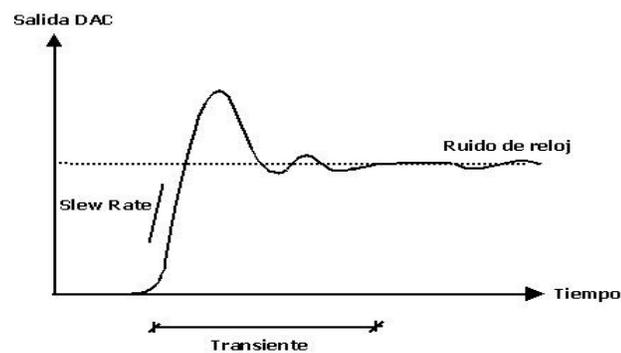


Figura 2.8 Transiente en la conmutación del DAC.

2.3.5 Jitter y Ruido de Fase.

La frecuencia de reloj del chip DDS puede presentar variaciones instantáneas que se traducen en corrimientos en la frecuencia de salida y generación de ruido. Este fenómeno se denomina Jitter. Las principales causas del Jitter son 3:

Ruido térmico. Denominado en la física como “Ruido de Johnson”, se produce por el movimiento aleatorio de los electrones en las redes cristalinas de los conductores. Se puede representar mediante un voltaje de ruido:

$$V_{ruido} = \sqrt{4 \cdot k \cdot T \cdot R \cdot B} \quad \text{Ecuación 2.17}$$

Donde V_{ruido} es RMS, k es la constante de Boltzman ($1.38 \cdot 10^{-23}$ Joules/°K), T es la temperatura en grados Kelvin, R es la resistencia en Ohmios y B es el ancho de banda analizado. Notar que no depende de la frecuencia donde se centre el análisis ya que se trata de ruido blanco.

Acoplamiento a fuentes externas. Ya sea a EMI o a fuentes de ondas electromagnéticas cercanas también genera Jitter en el reloj del DDS. Por ello debe blindarse el circuito y usar pistas cortas en el PCB.

Jitter propio del reloj. Como no es ideal el oscilador externo, también genera espurias por jitter. Por ello debe utilizarse osciladores de gran estabilidad [6].

Por otro lado, el **ruido de fase** se debe a la distorsión de la forma de onda en los divisores de frecuencia en un PLL, principalmente, que es traspasada al comparador de fase generando variaciones rápidas del voltaje de control en el VCO. El ruido está obedece a la relación $20 \log (F_{OUT} / F_{CLK})$, quedando en evidencia que a medida que el factor de multiplicación crece, se incrementa el ruido de fase.

2.3.6 Otras fuentes de espurias.

El acoplamiento entre la señal de reloj del DAC y la existente en otra etapa del circuito puede generar modulación de amplitud en la señal de salida, fenómeno muy notorio cuando no se han ubicado correctamente los condensadores entre los pines de alimentación y los planos de tierra, lo que se manifiesta en bandas laterales. Se evita siendo prolijo en el diseño del PCB, por ejemplo, procurando que pistas con alta velocidad de conmutación no induzcan, ya sea de forma capacitiva o inductiva, interferencia en las pistas analógicas [7].

2.4 Modulación digital de frecuencia

Para estudiar la modulación digital de frecuencia, primero se debe recordar el fundamento del caso analógico. Una señal FM se describe mediante la ecuación 2.18.

$$FM(t) = A \cdot \cos\{\left[\omega_C + k_f \cdot V_m(t)\right] \cdot t + \theta_0\} \quad \text{Ecuación 2.18}$$

Donde A es el voltaje peak de salida del oscilador, ω_C es la frecuencia de la portadora y θ_0 la fase inicial. La constante k_f es la tasa de variación de la frecuencia dado un voltaje de modulación $V_m(t)$.

En la figura 2.1 se observa que para una DDS la fase está dada por la relación mostrada en la ecuación 2.19.

$$P(n \cdot T) = T \cdot \sum_{j=1}^n M(j) + P_0 \quad \text{Ecuación 2.19}$$

Donde:

P = salida del acumulador de fase

P_0 = contenido del acumulador inicial

$T = 1 / F_{CLK}$ = periodo de reloj

M = suma del número de fase de portadora y modulación

n = ciclo en curso

Descomponiendo la expresión anterior, se tiene:

$$P(n \cdot T) = T \cdot \sum_{j=1}^n [M_C + M_m(j)] + P_0 \quad \text{Ecuación 2.20a}$$

Con M_C es el número de frecuencia correspondiente a la portadora y M_m a la moduladora.

Con lo cual:

$$P(n \cdot T) = T \cdot M_C + T \cdot \sum_{j=1}^n M_m(j) + P_0 \quad \text{Ecuación 2.20b}$$

Que corresponde a la discretización de la relación obtenida en la modulación analógica de frecuencia mostrada en la ecuación 2.21, donde θ es la fase y $\omega = d\theta/dt$ la frecuencia angular.

$$\theta(t) = \omega_C \cdot t + k_f \cdot \int_0^t V(\tau) d\tau + \theta_0 \quad \text{Ecuación 2.21}$$

Notar que la contraparte discreta de t y θ son $n \cdot T$ y P , respectivamente. El incremento discreto más pequeño de la fase P es $M/2^N$, con lo cual la frecuencia de salida se puede escribir como:

$$F_{OUT} = \frac{\Delta P}{\Delta T} = \frac{M/2^N}{1/F_{CLK}} = \frac{F_{CLK} \cdot M}{2^N} \quad \text{Ecuación 2.22}$$

Donde N es el número de bits del acumulador de fase. Notar que coincide con la ecuación 2.1 para el NCO. Debido al teorema de Nyquist, la frecuencia máxima de salida es aquella cuyo número de fase asociado es 2^{N-1} que corresponde a la mitad de F_{CLK} .

$$M \leq 2^{N-1} \quad \text{Ecuación 2.23}$$

Por otro lado, la desviación máxima por modulación se indica en la ecuación 2.24.

$$\Delta F_{max} = \frac{F_{CLK}}{2^{N-L}} \quad \text{Ecuación 2.24}$$

L es la posición del bit más significativo del número de fase modulador. La desviación mínima realizable es la correspondiente a la resolución en frecuencia del sistema DDS, es decir:

$$\Delta F_{min} = \frac{F_{CLK}}{2^N} \quad \text{Ecuación 2.25}$$

Para estudiar el espectro de salida de un sistema modulador digital en frecuencia debe considerarse las soluciones de las ecuaciones de Bessel para diferentes índices de modulación m .

$$m = \frac{\Delta f_c}{f_{m(max)}} \quad \text{Ecuación 2.26}$$

Con Δf_c la desviación máxima de portadora y f_m la frecuencia de la señal moduladora. Luego, los términos que se hacen significativos de las soluciones de Bessel indican la importancia de cada componentes de bandas laterales, que son múltiplos de la frecuencia moduladora y, en el caso digital, los alias de la frecuencia de refresco también tendrán bandas laterales en el espectro (para detalles de cómo calcular ancho de banda ver [15]). Es importante tomar en cuenta en el análisis espectral la existencia de alias debido a la frecuencia de refresco de la banda base.

Ya analizados los fundamentos teóricos de los DDS y de la modulación digital de frecuencia, se resume la ventaja de la nueva tecnología en transmisores para radiodifusión en la tabla 2.1.

	FM Analógica por PLL	FM modulado con DDS
Ruido FM	Bueno	Bueno
Respuesta en Frecuencia	Bueno	Excelente
Linealidad	Bueno (requiere sintonizarse)	Excelente
Microfonía	Pobre (requiere aislación mecánica)	Excelente
Espurias	Poco	Mucho (requiere filtros críticos)
Complejidad	Baja	Moderada a Alta
Costo	Bajo	Moderado a Alto
Compatibilidad digital	No (requiere conversión)	Si

Tabla 2.1 Cuadro comparativo entre métodos FM.

Notar que se soluciona el problema de la distorsión armónica de la modulación, permitiendo la transmisión de audio en alta fidelidad con resolución tan alta (sobre 16 bits, inclusive) que no es distinguible por receptores convencionales. Por otro lado, la complejidad del diseño y los costos asociados a la manufactura de un equipo transmisor de FM con DDS muy probablemente hacen no justificable el uso de DDS en esta aplicación. Esto se analiza en el capítulo 5.

2.5 Características básicas de DDS comerciales.

En la actualidad hay pocos fabricantes que ofrecen DDS en el mercado. Podemos mencionar a Intersil e Intel, pero sin duda que el mejor posicionado es Analog Devices Inc. con su línea AD9XXX.



Figura 2.9 DDS AD9852AST de Analog Devices Inc.

A continuación se mostrará características básicas que permiten decidir la DDS a utilizar en una determinada aplicación, mencionando también consideraciones prácticas que deben tenerse en cuenta al momento de diseñar el hardware.

2.5.1 Alimentación

La mayor parte de las DDS comerciales operan a voltaje estándar CMOS de 3,3 V, requiriendo fuentes separadas para su circuitería interna analógica y digital. Modelos más antiguos operan con 5 V, compatibles con TTL, y para los nuevos circuitos integrados de frecuencias del orden de los GHz se requieren 1,8 V.

La potencia consumida va desde decenas de milivatios hasta unos pocos vatios. La regla general dice que cuando crece la frecuencia de operación aumenta el consumo, dada la mayor disipación en las capacitancias internas. Así, también se hace necesario liberar al ambiente de forma adecuada el calor generado en el dispositivo, para lo cual se tiene diferentes packages cuya resistencia térmica se indica en las hojas de datos.

Cabe mencionar que para la elaboración del PCB, en algunos casos es extremadamente necesario separar los planos de tierra digital y análogo, debido a que corrientes parásitas generadas por las conmutaciones en la parte digital introducen ruido en las etapas analógicas, con lo que el SNR disminuye notoriamente. La razón de aquello es que las armónicas de las conmutaciones generan diferencias de tensión sobre el plano de tierra, que pueden ser de gran amplitud si la frecuencia es elevada. Es el caso del chip AD9852. Por otro lado, hay otros que son menos sensibles al ruido como el AD9851.

Se considera que para DDS cuya frecuencia de reloj sea superior a 200 MHz, diseñar el PCB con planos de tierra analógico y digital separados representa una mejora del SNR significativa, por lo que se recomienda hacerlo. Para relojes inferiores la mejora del SNR es despreciable, resultando indiferente separar los planos de tierra.

2.5.2 Sistema de Reloj

Dado que el reloj interno del chip DDS define la tasa de operaciones que se realizarán, y además coincide con la velocidad de conversión del DAC, la frecuencia máxima de salida estaría dada por el criterio de Nyquist y sería igual a la mitad de la frecuencia de dicho reloj. En la práctica, es posible sintetizar hasta aproximadamente el 40 % de la velocidad del reloj. Por tal razón, a mayor frecuencia de reloj se puede sintetizar señales de RF de bandas más altas. Notar que también las armónicas de salida del DAC pueden aprovecharse si se filtran de forma selectiva.

La introducción de la señal de reloj realiza mediante la inyección directa a frecuencia de reloj interno, o a través de la aplicación de una señal de menor frecuencia que es multiplicada internamente por un PLL. Esta última opción tiene el inconveniente de incrementar el ruido de fase existente a la salida del DDS debido al que induce los divisores internos de frecuencia y el comparador de fase del PLL, principalmente.

Es importante tener en cuenta que la estabilidad del sistema DDS depende de la referencia de reloj con la cual opera. Especialmente si el PLL interno multiplica por un factor grande, como puede ser el caso del chip AD9852ASV operando con una referencia de 15 MHz multiplicada por 20 para llegar a un reloj de 300 MHz, las desviaciones por temperatura de la referencia se verán multiplicadas por 20 en el reloj interno del circuito integrado.

2.5.3 Velocidad de programación y refresco

En algunas aplicaciones es necesario enviar información en tiempo real a través de la señal generada por el DDS, programado digitalmente. Se hace necesario que la (o las) variable (variables) que transportan dicha información sean refrescadas a una tasa adecuada para dicho propósito. Para ello, definida la tasa de modulación, deben escribirse los registros necesarios y consecuentemente refrescarse las variables a la salida del DDS.

Algunos circuitos integrados DDS permiten programación serial, otros paralela y/o ambas. Los puertos seriales suelen ser PCI compatibles de 2 o 3 hilos por lo que pueden ser programados directamente con un computador que disponga del software apropiado, pero la velocidad de refresco de los datos no es muy alta. Por otro lado, los que tienen un puerto paralelo ofrecen una elevada tasa de refresco, llegando inclusive a los 100 Mbps. En el capítulo 2.6 analizaremos diferentes maneras de programar el DDS.

2.5.4 Modos de operación

En las más variadas aplicaciones se requiere sintetizadores de señales de RF, y es según esto que en los DDS se incluye la lógica necesaria para que el NCO implementado opere convenientemente. Entre los modos de operación típicos se menciona los siguientes:

- Modo tono simple: la DDS genera una frecuencia fija de salida. Se usa en la mayor parte de los equipos de comunicaciones modulados en amplitud (DBL, BLU, etc.) como la mayoría de los transceptores de HF. Si la tasa de refresco de frecuencia es rápida, permite modulación en frecuencia.
- Modo BPSK: se programan 2 frecuencias en la DDS y mediante un bit de control la salida conmuta entre ambas. Permite modulación binaria en frecuencia.

- Modo de rampa BPSK: se programa 2 frecuencias, y la transición a la salida se hace de forma lineal, con incrementos programados. Es posible hacer barridos en bandas determinadas, facilitando su aplicación en equipos como analizadores de espectro, radares, etc.

En circuitos integrados DDS como el AD9851 se cuenta solamente con el modo en tono simple, en cambio en el AD9852 se tiene, además del modo simple, todos los mencionados anteriormente y otros adicionales. No se detallará este punto pues se considera necesario sólo considerar según lo que se quiera diseñar.

2.6 Hardware para programación

Si bien el chip DDS es autónomo en la generación de la portadora de RF, es necesario programarla externamente según la aplicación, haciéndose evidente la necesidad contar con un sistema de programación capaz de realizar su labor a una tasa de bits adecuada al equipo en que se va a utilizar.

Para equipos transmisores de radiodifusión sonora en frecuencia modulada, la velocidad de programación de la DDS debe ser tal que permita modular la banda base. Más aún, debido al fenómenos de frecuencias imágenes de Nyquist mostrado en cap. 2.2 es un requisito necesario que la tasa de refresco (correspondiente a la de muestreo de la banda base) sea superior al rango de frecuencias que cubre el transmisor, es decir, de 20.6 MHz de modo que no haya imágenes dentro de la banda de emisión y así filtrarlas con hardware externo a la DDS. Las alternativas principales a evaluar son 2:

- Procesadores Digitales de Señales DSP: económicamente convenientes y de fácil programación si se trata de baja tasa de bits a la salida. Esta restricción en la velocidad se debe a que la generación de la banda base se hace por software y con ello las operaciones se realizan en una secuencia, cuyo paso a paso ocurre a la velocidad de reloj.
- Implementación en FPGAs: de costo más elevado, tiene la gran ventaja de permitir altas velocidades de proceso. Al ser un hardware diseñado específicamente para realizar las operaciones lógicas pertinentes de forma paralela es la mejor alternativa para obtener la tasa de refresco deseada.

Lo recién indicado representa una regla general, ya que hay DSP que operan a una velocidad tal alta que permiten refrescar a tasa tal que las frecuencias imágenes caen fuera de la banda. Por otro lado, la implementación del hardware con FPGA es más compleja. Ambos presentan un nivel de complejidad similar en cuanto a programación.

No todos los DDS permiten un refresco de frecuencia a 20,6 MHz, y los pocos que satisfacen esta condición son de costo muy elevado. Como se verá en el Capítulo 3, la opción a implementar puede ser de baja velocidad si se filtra adecuadamente. Esta opción es económicamente viable y se adopta en el prototipo.

Capítulo 3.

Alternativas de diseño

Ya vista las nociones básicas sobre transmisores de FM para radiodifusión y sintetizadores digitales directos, en el presente capítulo se propone alternativas para construir el prototipo en cuestión. Previo a ello, se indica los requerimientos que se planea satisfacer.

3.1 Requerimientos exigidos al equipo

El diseño y construcción de un transmisor completo de FM comercial es un trabajo arduo que requiere de más de un año de desarrollo, donde interactúan especialistas en diferentes áreas afines. Por ello, en este trabajo sólo se espera obtener un prototipo de transmisor, sobre el cual se continuará trabajando a posterioridad para llegar a satisfacer los requerimientos del mercado.

A continuación, el análisis se centra en el sintetizador de frecuencias y etapas analógicas. Para la banda base solo se espera contar con un generador estereofónico. En la tabla 3.1 se muestra las características exigidas por normativa a las etapas de radiofrecuencia.

Característica	Valor
Rango de frecuencias	87,5 MHz ~ 108,1 MHz en pasos de 100 kHz
Estabilidad de frecuencia	± 1 kHz
Atenuación de armónicas	> 70 dB
Emisión de espurias	< - 80 dBc
Impedancia de Salida	50 Ω

Tabla 3.1 Requerimientos exigidos al diseño.

Notar que cumple con lo señalado en el Anexo F (ver CDROM), pero el rango de frecuencias comienza en 87,5 MHz y no en 88,1 MHz. Esto es para cubrir la banda utilizada en la mayor parte de los países de Europa y América.

Se espera una potencia de salida de 10 vatios y un monitoreo de las variables: frecuencia de salida, desviación instantánea, potencia RF directa a antena, potencia reflejada, corriente y voltaje en etapa de salida, y temperaturas críticas.

3.2 Sintetizador de frecuencias

Basándose en un Sintetizador Digital Directo como dispositivo modulador de frecuencia, son 2 las opciones para diseñar el sintetizador de frecuencias dadas las propiedades señaladas en el capítulo 2. En los párrafos siguientes se muestran dichas alternativas:

3.2.1 DDS operando a frecuencia portadora

Si se cuenta con un circuito integrado DDS cuya frecuencia de reloj sea superior a la establecida por el Teorema de Nyquist, que en la práctica es del orden de 2,5 veces la más alta frecuencia a sintetizar ($2,5 \cdot 108,1 \text{ MHz} = 270,25 \text{ MHz}$), y que además permita una tasa de refresco lo suficientemente elevada como para que los alias debidos al muestreo de la banda base estén fuera de la banda de radiodifusión para poder ser filtrados en las etapas analógicas, es posible usar esta configuración.

La banda de FM comercial tiene un rango de $108,1 - 87,5 = 20,6 \text{ MHz}$, con lo que para asegurar que ningún alias del muestreo de banda base esté dentro de la banda la tasa de refresco de la frecuencia debe ser mayor a 20,6 MSPS. La mayoría de los ADC y CODEC disponibles en el mercado no operan a tan alta tasa, por lo cual es necesario sobremuestrear intercalando datos interpolados (por ejemplo por una función spline) entre cada muestra de la banda base. Aquello requiere de hardware de alta velocidad para procesamiento, como una FPGA (proceso por hardware), asociada a un DDS apropiado para tan alta tasa de refresco de frecuencia como los de mayor reloj interno en la serie AD9XXX que además generen un ruido por debajo de lo permitido por la normativa (- 80 dBc). Esto conlleva la exigencia de hardware de alta complejidad en diseño del circuito impreso y de componentes específicas de gran estabilidad, obviamente incluyendo blindajes electromagnéticos donde corresponda.

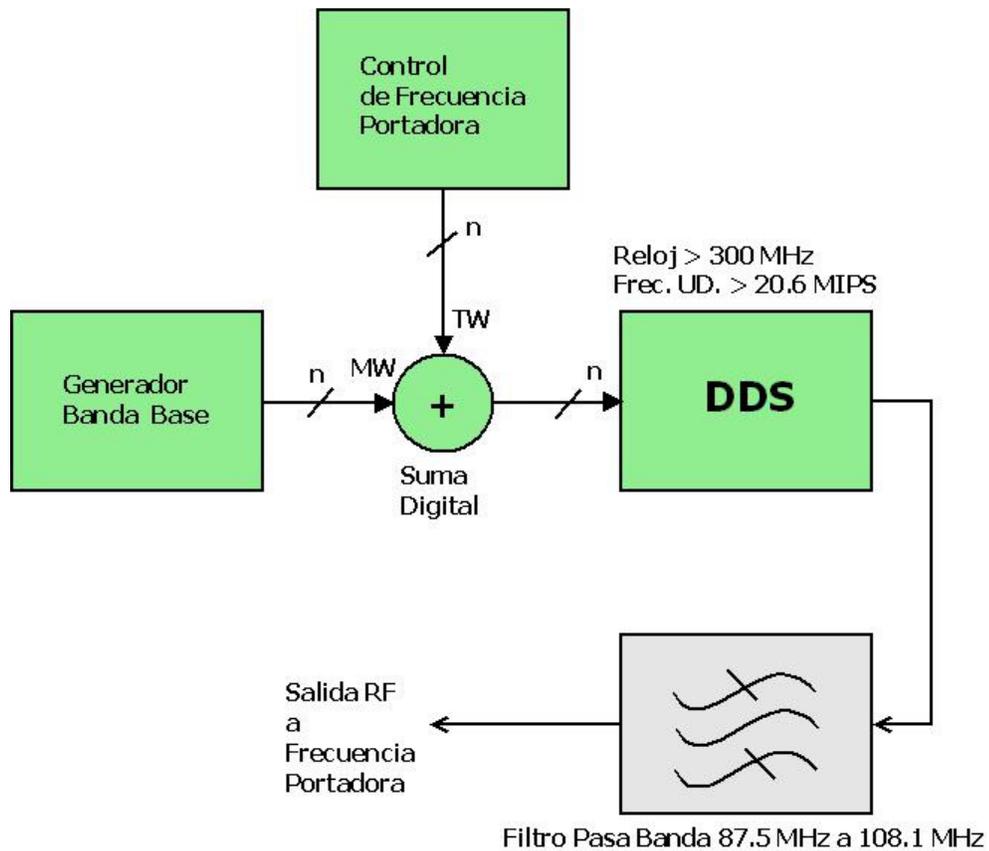


Figura 3.2 DDS operando a frecuencia de portadora

En la figura 3.2 se muestra a nivel de bloques cómo se realiza esta configuración. El generador de banda base entrega un número de desviación angular modulador (MW) que es sumado al correspondiente a la frecuencia de portadora (TW), los cuales se cargan en los registros correspondientes del DDS para mover la portadora según la desviación instantánea. MW debe estar ajustado para desviar, en máxima inspección, la frecuencia en ± 75 kHz de la portadora.

Los circuitos integrados DDS disponibles en el comercio que satisfacen las condiciones antes señaladas son, entre otros, con 1 GHz de reloj el AD9957 y AD9910. El problema está en que el SFDR es inferior a 80 dB, con lo que están fuera de norma. El único que satisface el SFDR es AD9858, que carece de PLL interno, por lo que la referencia externa debe ser de 1 GHz, encareciendo la electrónica y elaboración del PCB.

Para esta configuración, es fundamental contar con DDS cuyo reloj interno sea elevado, y también con SFDR mayor a 80 dB. Esta última condición la suelen satisfacer sólo los DDS que no incluyen PLL interno, por lo que debe ponerse un reloj externo de alta velocidad que además debe presentar un jitter muy bajo.

3.2.2 DDS operando en sistema heterodino

Se pretende usar el DDS para generar una frecuencia intermedia FI que es filtrada por un resonador cerámico o filtro de cristal. Así se eliminan los alias del muestreo de banda base y también otras espurias que pudieran estar fuera del canal de transmisión.

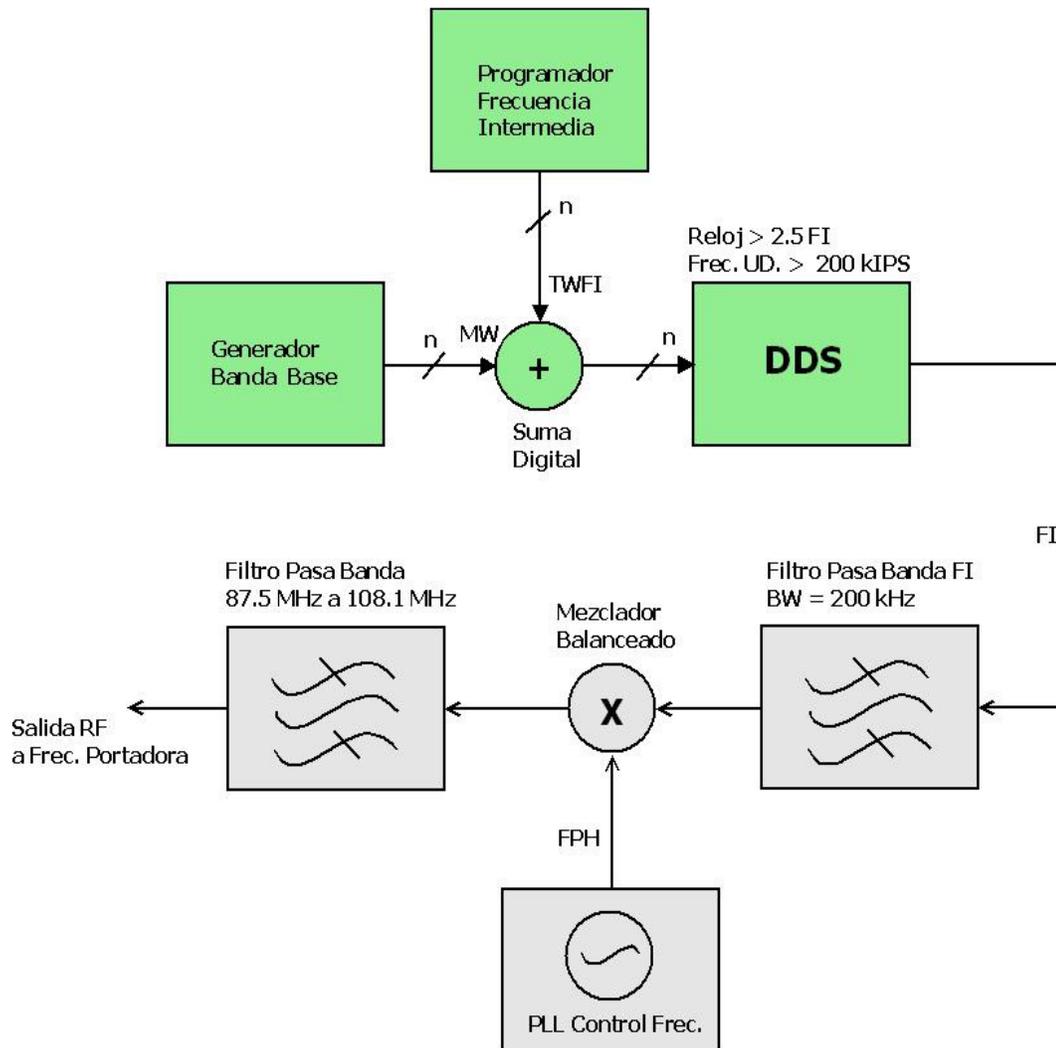


Figura 3.3 DDS en sistema heterodino

En la figura 3.3 se tiene el generador de banda base entregando números de modulación angular, que son sumados al valor correspondiente a la frecuencia intermedia. Al ser fija, la FI puede filtrarse con precisión utilizando filtros cerámicos tipo SAW o a cristales de cuarzo. Luego, mediante un modulador doblemente balanceado, se mezcla con una frecuencia no modulada y limpia de espurias (FPH) para obtener la frecuencia portadora.

En el mercado hay filtros cerámicos y de cuarzo pasa banda de un gran número de polos para bandas estrechas. Así, si la frecuencia central es tal que coincide con la FI y el ancho de banda permite el paso solamente de las bandas laterales que permite la normativa, la FI se puede mezclar para llegar a la portadora sin tener impurezas en el espectro.

La gran ventaja de este diseño es permitir una tasa menor de refresco de la banda base, con lo que es posible utilizar un códec de audio común y un DSP para controlar la DDS, pues la salida del DDS es de frecuencia fija (FI) y filtrada. Por otro lado, tiene la desventaja de perder precisión en la frecuencia de salida, ya que los PLL no son tan estables y requieren cuidados mecánicos especiales para evitar microfonía. Si se utilizara un chip DDS como oscilador local sería posible tener una altísima precisión y estabilidad de frecuencia, pero esta tendría que ser de una elevada frecuencia de reloj y resolución del DAC para evitar introducir otras espurias dentro de la banda, elevando el costo.

El mezclador doblemente balanceado en su salida contiene el producto de las entradas, y como ambas están centradas en cero (señal alterna de media nula), la salida tiene componentes suma y resta con las entradas suprimidas, y múltiplos de cada una como subproductos. Por ello, la FI debe ser tal que dentro de la banda de interés se tenga solamente una de dichas componentes. Valores típicos adoptados en equipos comerciales son 45 MHz y 70 MHz.

Con esta tasa de refresco del orden de los cientos de kHz, las posibilidades de implementación son muchas. Prácticamente todas las DDS de Analog Devices de programación paralela cuya frecuencia es superior a 2,5 veces la FI elegida son candidatos para este tipo de configuración. Un ejemplo de ello es el chip AD9851, cuyo reloj opera a 125 MHz 3,3 V, siendo de bajo costo su implementación en comparación a otras alternativas.

La programación en tiempo real de la frecuencia de salida se puede realizar usando un DSP de los típicos utilizados en procesadores de audio. Destaca la serie TMS320C6000 de Texas Instruments, sobredimensionados para esta aplicación, con lo que abre la posibilidad de implementar mediante software el generador de banda base.

3.3 Etapas analógicas de RF

Consta de etapas amplificadoras de potencia y filtros que mantienen las armónicas dentro de la norma. También hay un sistema de control de ganancia que protege el transistor de salida cuando la potencia reflejada en la carga es muy elevada.

3.3.1 Amplificadores de RF

En amplificadores de radiofrecuencia, especialmente en bandas superiores a 50 MHz, el diseño se vuelve crítico. La electrónica discreta no sirve porque la longitud de onda de las señales tratadas se hace comparable a las dimensiones físicas de la electrónica. Se debe tener cuidado especial en la elaboración del PCB de cada sub-etapa.

Este equipo usa modulación angular por lo que no es necesaria linealidad en las etapas amplificadoras, ya que la amplitud de la señal no lleva información. Esto trae una ventaja enorme, pues los amplificadores no lineales de conmutación son de elevadísimo rendimiento. Por ello, en etapas de potencia de RF de modulación angular se suele implementar amplificadores clase C, teniendo para una misma potencia de salida menor consumo eléctrico y menor disipación térmica que un amplificador lineal.

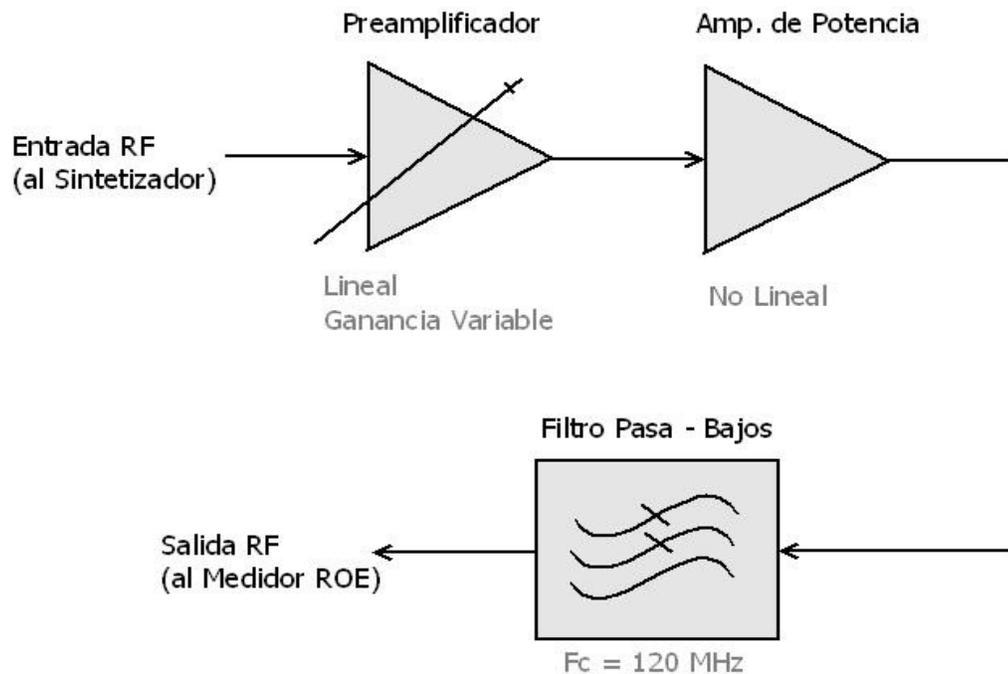


Figura 3.4 Diagrama de bloques etapas de amplificadoras de RF

Como dispositivo de conmutación en amplificadores de potencia RF se usa principalmente MOSFET Mejorados de alta velocidad del tipo LDMOS. También hay transistores bipolares, pero su uso está disminuyendo. Las potencias van desde unos pocos milivatios hasta centenas de vatios.

Para elegir un transistor se considera la potencia de salida, ganancia a la frecuencia de operación, package, disponibilidad en el mercado nacional y costo. Hay que tener presente la posibilidad de que este se quemé, siendo necesario obtener un repuesto rápidamente.

En el preamplificador se requiere elevar la potencia desde la que entrega el sintetizador de frecuencias hasta la que necesita la etapa de potencia como excitación. Para ello se usa transistores o módulos de RF de bajo ruido, quedando este siempre por debajo de los -80 dBc.

Los amplificadores de señal pequeña son clase A y de ganancia controlada por tensión, para tener la posibilidad de regular la potencia de salida a gusto del usuario o como función de protección. Esto se puede conseguir variando la corriente de base en alguna de las etapas, o bien controlando la corriente de colector. La primera opción suele ser más aplicable por ser estable y generar menor modulación transitoria de amplitud en comparación a la segunda.

3.3.2 Medidor de Relación de Onda Estacionaria

Consta de un acoplador direccional, cargas fantasmas y circuitos detectores de envolvente que entregan a la etapa de control voltajes proporcionales a la potencia directa y reflejada que se propaga entre el transmisor y la línea de transmisión hacia la antena.

En el [11] se describe el funcionamiento de los acopladores direccionales. A continuación se aborda las alternativas de diseño que se tiene para este medidor de relación de onda estacionaria.

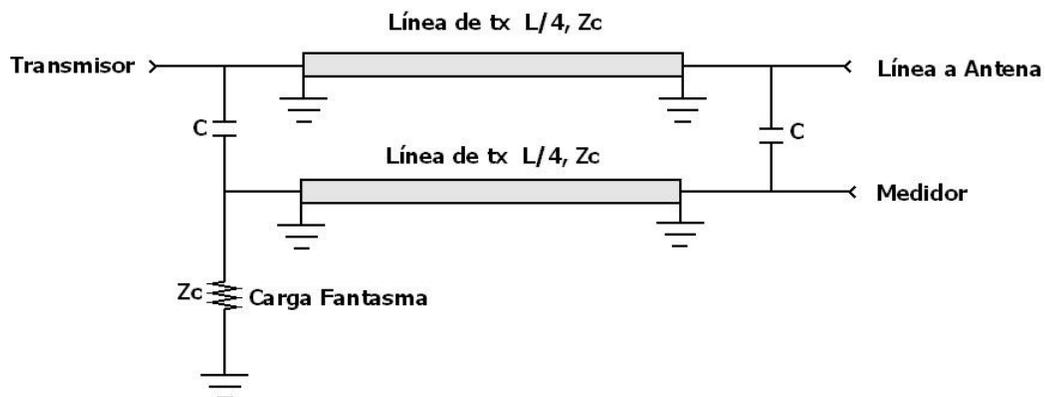


Figura 3.5 a) Acoplador directivo de $\lambda/4$

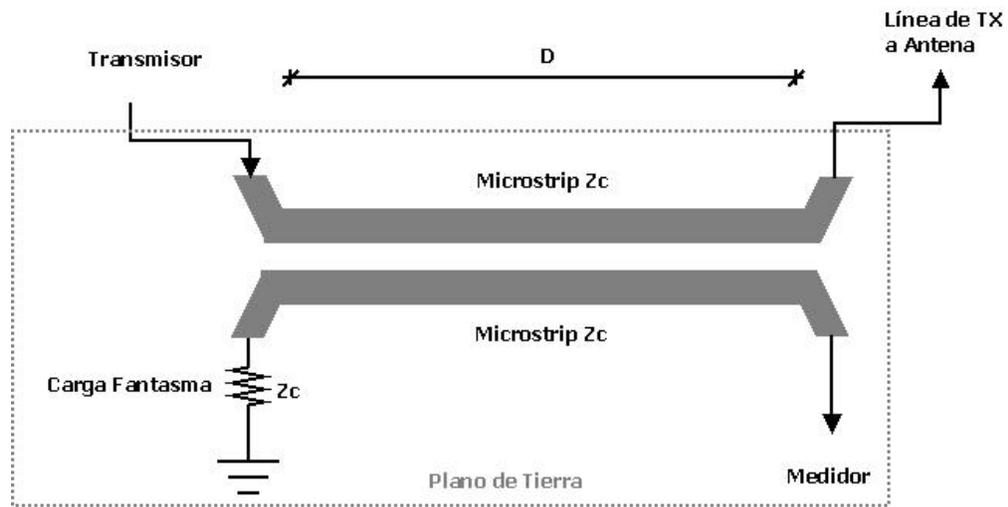


Figura 3.5 b) Acoplador por microstrip o stripline

En la figura 3.5 se tiene 2 tipos de acopladores direccionales que se usan en gran parte del espectro de radio, en particular en VHF. En (a), el factor de acoplamiento depende únicamente del valor de C y su longitud es igual a un cuarto de la longitud de onda; mientras que en (b) el acoplamiento depende de la longitud (medida en λ) y la separación de las pistas. El primero tiene la ventaja de permitir un gran factor de acoplamiento y alta directividad, pero ocupa demasiado espacio y sus características varían mucho con la frecuencia. Por otro lado, el segundo tiene mayor ancho de banda, pero menores directividad y acoplamiento, ocupando menos espacio.

La muestra de voltaje se hace pasar por un detector de envolvente basado en un diodo de germanio de alta velocidad, cuya salida es filtrada en un circuito RC. La tensión obtenida se envía a la etapa de control.

3.4 Circuitos de control y monitoreo

Es fundamental que el usuario del equipo pueda configurar el transmisor para operar en la frecuencia portadora asignada a la estación, y que una vez realizado aquello tenga acceso a monitorear las variables fundamentales de operación. Se ha propuesto que la interfaz usuario – transmisor sea un display LCD, LEDs que indiquen el estado y botones de control.

Las variables que se deben medir en tiempo real, según la normativa (ver Anexo F), son:

- Frecuencia portadora central
- Potencia de RF directa a la carga (antena)
- Potencia reflejada al transmisor

- Corrientes y voltajes en la etapa final de RF

Y se agregará la lectura de:

- Desviación instantánea de portadora
- Temperaturas críticas del equipo

Lo cual se puede conseguir de innumerables maneras, como por ejemplo usando un microcontrolador o DSP con ADC incluido. Con 10 bits de resolución ya es suficiente para la lectura de estas variables analógicas.

Si en la etapa de síntesis de frecuencia, el dispositivo que programa la DDS tiene gran poder de procesamiento también puede encargarse del control y monitoreo del transmisor. Esto requiere un análisis cuidadoso de la cantidad de operaciones implicadas en cada proceso de lectura de variables y despliegue de información.

También puede usarse microcontroladores de bajo costo, pues para esta aplicación hay algunos modelos cuyas características lo permiten. Deben contar con entradas analógicas y los pines de uso general suficientes para conectar los periféricos. Corresponde a la opción de menor costo en tiempo de desarrollo.

3.5 Generador de Banda Base

Se desea obtener una señal compuesta estereofónica para modular la frecuencia en la etapa de sintetizadora de RF. Las alternativas son muchas, partiendo por un DSP (que puede ser el mismo que programa el DDS), implementar un generador de banda base en una FPGA o usar circuitos integrados especializados en esta aplicación. En la red hay ejemplos basados en DSP de Analog Devices de la línea ADSP-21XX, que se usan muy frecuentemente en procesadores de audio: codificadores estéreo, efectos de audio. También puede utilizarse circuitos integrados específicos para ello.

3.6 Fuente de alimentación

En el equipo se requerirá diferentes niveles de voltaje según el circuito a alimentar, y para la etapa de salida las corrientes son considerables, pudiendo llegar a 3 amperios en condiciones normales de operación, cuando la relación de onda estacionaria es cercana a 1 : 1 (impedancias adaptadas → potencia de salida al máximo). Debe ser confiable y además tener baja emisión de

interferencia electromagnética (EMI), a fin de no introducir ruido en las etapas de audio y RF analógica.

Las opciones son 2:

- i) Fuente conmutada: es de elevado rendimiento, alta corriente y operan en un amplio rango para voltajes de entrada. Suelen generar mucha EMI y pueden llegar a ser complejas en diseño y construcción, especialmente porque requieren un cuidadoso ruteo del PCB para evitar accidentes.
- ii) Fuente lineal: el rendimiento es bajo, y también pueden operar a alta corriente con la consiguiente disipación de calor. Son silenciosas y confiables, además de fáciles de implementar.

La fuente se conecta a la red de $220\text{ V} \pm 5\%$, y debe estar preparada para operar permanentemente. También es fundamental que cuente con protección mediante fusibles y una buena conexión a tierra, que se conecta al gabinete metálico del transmisor.

Capítulo 4

Diseño del transmisor

A continuación se aborda el proceso de diseño del prototipo de transmisor de frecuencia modulada considerando la disponibilidad de componentes electrónicas según criterios económicos, la instrumentación dispuesta por el Laboratorio de Electrónica de la Universidad y el tiempo de trabajo permitido para este desarrollo.

4.1 Restricciones.

De las alternativas mostradas en el capítulo 3, claramente hay algunas que significan bastante menos trabajo en cuanto a diseño y construcción de hardware. Sin duda se haría de esa forma para tener un equipo con mayor confiabilidad y de menor volumen, pero el mundo real es dominado por el criterio económico y en este proyecto no es posible evitarlo. Se debe considerar las siguientes restricciones:

- i) PCB de 2 capas máximo y resolución mínima de 12 mils, ya que se utilizará la máquina disponible en el laboratorio de electrónica de la Universidad.
- ii) DDS con reloj externo menor a 150 MHz: los osciladores de frecuencias superiores a dicha frecuencia son bastante costosos, por lo que se requiere un DDS de baja tasa de reloj o con un PLL interno que permita obtener el reloj deseado mediante una fuente externa multiplicada.
- iii) Velocidad de los conversores A/D para banda base: los códec de audio operan a tasas del orden de 44 kSPS, y los ADC de 16 bits a 1 MSPS máximo, a precio razonable.
- iv) Sistema de programación de DDS: utilizar un DSP que permita la tasa de refresco de frecuencia en la DDS apropiada para modular la banda base, o bien realizar el mismo proceso mediante hardware en una FPGA cuyo costo sea razonable.
- v) Proveedor exclusivo fuera de Chile es Digikey.

De lo anterior se puede concluir que:

- Por (i) no es posible utilizar DDS muy rápidas porque no se dispone de capas dedicadas a la tierra analógica y digital (AGND – DGND), fuente de poder analógica y digital (DVDD – AVDD), y pistas de señales. Requiere un mínimo de 3 capas para realizarse.
- Por la condición (iii) no es posible utilizar un DDS operando a frecuencia de portadora, ya que se tendría alias de la banda base dentro de la banda de FM. Se podría hacer si la electrónica que programa la DDS fuese de velocidad tan alta que mediante interpolación (preferentemente con una función spline) permitiera elevar la frecuencia de muestreo de banda base por sobre el límite técnico de 20,6 MSPS (condición (iv)). Además la DDS debería ser capaz de refrescar su frecuencia de salida a tal tasa.
- Dada la condición (v) sólo se dispone de filtros de ancho de banda adecuados a la frecuencia de 10,7 MHz, la típica FI en receptores de FM.

4.2 Idea de funcionamiento

Por lo señalado en cap. 4.1, especialmente en lo referente a la disponibilidad de filtros de frecuencia intermedia de alta precisión solamente para 10,7 MHz, la única forma de obtener un espectro de salida conforme a la normativa vigente es implementando un sistema heterodino de doble conversión.

Necesariamente la primera frecuencia intermedia debe ser de 10,7 MHz para filtrar las espurias muy cercanas a la portadora. Entre estas espurias están las generadas por los alias de muestreo de banda base, el jitter de reloj y ruido de fase del PLL si es que corresponde al DDS escogido.

Para evitar que en los procesos de mezcla en el segundo proceso de conversión se genere más de una componente de frecuencia dentro del rango 87,5 MHz a 108,1 MHz, la segunda frecuencia intermedia debe ser superior a 20,6 MHz. Los filtros requeridos se sintetizan con componentes discretas cuyo ajuste se hace midiendo con instrumentos de precisión.

En la figura 4.1 se muestra el diagrama de bloques del transmisor, excluyendo la fuente de poder, circuitos de control y monitoreo digital. El funcionamiento se describe en los párrafos de las páginas subsiguientes, que incluyen figuras donde aparece el espectro esperado.

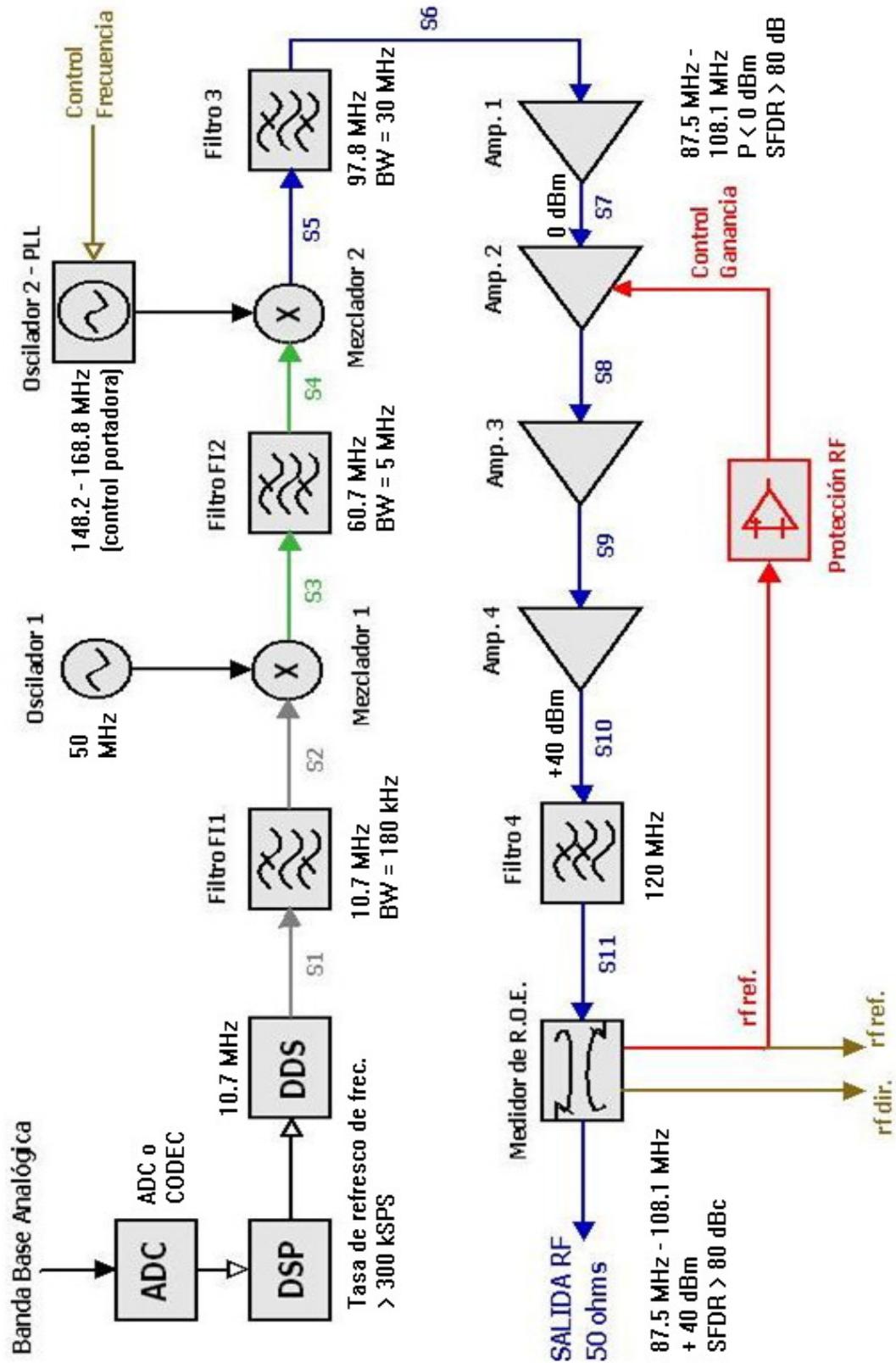


Figura 4.1 Diagrama de bloques del transmisor diseñado

La banda base analógica ingresa a un ADC (o CODEC, de preferencia) que permite procesarla en el DSP, encargado de programar la frecuencia de salida del DDS. Está centrada en $FI_1 = 10,7 \text{ MHz}$ y es modulada según la banda base, teniendo un máximo de desviación de $\pm 75 \text{ kHz}$ (señal S1).

El filtro de la primera frecuencia intermedia debe ser tal que permita el paso de las bandas laterales dentro del rango indicado anteriormente, y que filtre los alias del muestreo de banda base, quedando bajo los $- 80 \text{ dBc}$. Para eliminar los alias del muestreo de banda base se usa el filtro 1 como se muestra en la figura 4.2., donde la línea roja señala que la frecuencia es fija. En ancho de banda ideal es de 180 kHz (ver normativa en Anexo F).

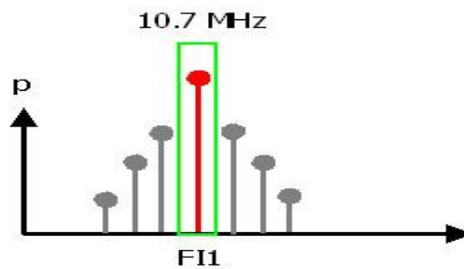


Figura 4.2 Filtrado de FI_1

La señal modulada, libre de espurias (S2) es mezclada con la proveniente del Oscilador 1 (frecuencia fija) de modo de obtener una segunda $FI_2 = 60,7 \text{ MHz}$. Con ello, el oscilador fijo debe tener una frecuencia de $60,7 - 10,7 = 50 \text{ MHz}$, que se considera libre de espurias (se justifica más adelante, en la fig. 4.10).

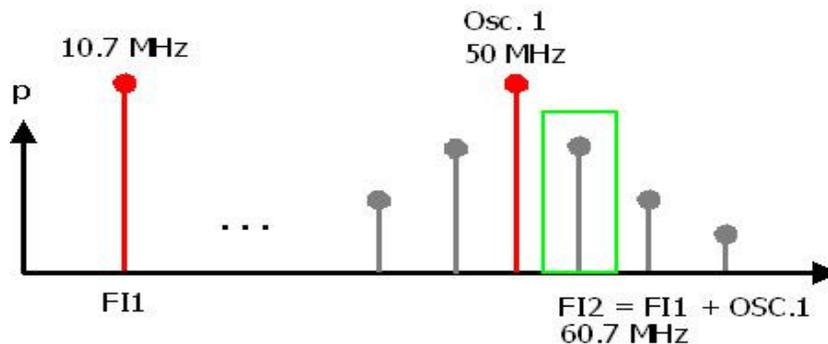


Figura 4.3 Primer proceso de conversión de frecuencia

Notar que al Filtro de FI₂ tiene un mayor ancho de banda, pues las espurias están separadas en más de 20 MHz, que al ser construido en base a componentes discretas (condensadores e inductancias) requiere de ajuste y permite tolerancias razonables en las componentes. Se obtiene la señal S4, de 60,7 MHz sin espurias y modulada.

Para llegar a la frecuencia portadora se procede a mezclar la señal S4 con la proveniente de un VCO controlado por PLL, cuyo rango de frecuencias va desde 148.2 MHz a 168.8 MHz de modo que la frecuencia $f_{PLL} - FI_2$ de S5 está entre 87,5 MHz y 108,1 MHz.

En S5, las frecuencias espurias están fuera del rango 60 MHz – 140 MHz, por lo cual son fáciles de filtrar mediante un arreglo de componentes discretas. En la figura 4.4 se aprecia el resultado de este proceso, donde la frecuencia de control de portadora se señala en azul, indicando que es ajustable.

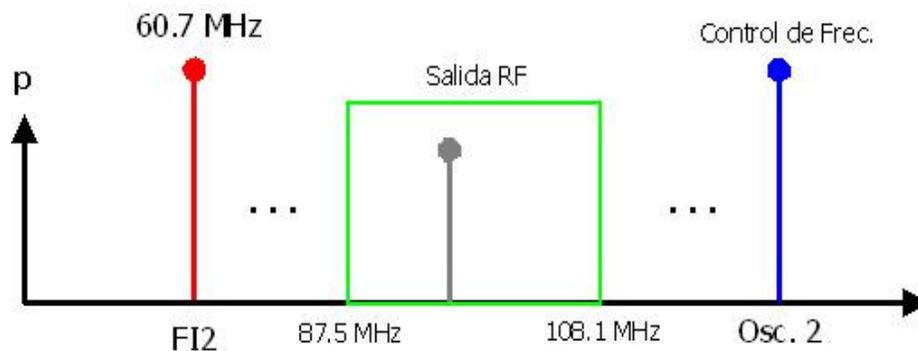


Figura 4.4 Segundo proceso de conversión a portadora

La señal limpia obtenida en S6 es apta para ser amplificada en las etapas siguientes. Se amplifica linealmente hasta S7. Posteriormente se amplifica con ganancia variable (controlada por el sistema de protección contra RF reflejada excesiva) para obtener S8. S9 y S10 son amplificados de forma no lineal, generando armónicas, múltiplos de la fundamental que son filtradas por el Filtro 4.

4.3 Sintetizador de Frecuencias

Se compone de los circuitos electrónicos encargados de generar la frecuencia portadora con un bajo nivel de potencia, del orden de 0 dBm en este caso. Incluye la plataforma DDS y la electrónica de los procesos heterodinos, además de los procesadores digitales de refresco de frecuencia en tiempo real.

4.3.1 Plataforma DDS – DSP basada en AD9851 para generar FI₁

Se pretende obtener un generador de frecuencia intermedia modulado en frecuencia, a tasa mayor o igual a 300 kSPS¹ con 16 bits en audio. La resolución mínima en frecuencia debe ser de 2 Hz² y la frecuencia central de 10,7 MHz.

- (1) Como la banda base para radiodifusión en frecuencia modulada tiene componentes útiles menores a 100 kHz, por el criterio de Nyquist la frecuencia mínima de muestreo es de 200 kHz. Se exige 300 kHz (i.e. 300 kSPS) para tener un factor de seguridad sobre el criterio de Nyquist. Además asegura no tener alias dentro de la banda dada la gran atenuación que presenta el primer filtro FI del sintetizador de frecuencia mostrado en la figura 4.16 (BW = 200kHz).
- (2) Corresponde a la desviación de portadora mínima cuando el modulador tiene 16 bits de resolución (alta fidelidad de audio), considerando máxima inspección en todo el rango indicado por la normativa técnica: [- 75 kHz + fc, fc + 75 kHz]. Se obtiene de:

$$\text{Resolución mínima frecuencia} = \frac{150 \text{ kHz}}{2^{16}} \approx 2 \text{ Hz}$$

Entre los circuitos integrados DDS disponibles en el mercado se ha escogido el AD9851 de Analog Devices, que se caracteriza por un reloj interno de 125 MHz / 180 MHz operando a 3,3 V / 5 V. La resolución del DAC de salida de 10 bits. Puede programarse en forma serial o paralela, permitiendo un refresco de frecuencia cada 20 ciclos de reloj, es decir, a una tasa de 6,25 MHz, satisfaciendo la condición (1). Además, la resolución de frecuencia es de 32 bits equivalente a unos 30 mHz, cumpliendo con (2).

La elección de este circuito integrado es por satisfacer las condiciones antes señaladas, ser de menor costo y requerir menos cuidado en la elaboración del hardware (poco sensible al ruido). Además su programación es sencilla y, para ser de programación paralela, requiere pocos GPIO del DSP (ver Anexo I).

El hardware se hace en forma de módulos de desarrollo separados a fin de que puedan ser utilizados con todas sus potencialidades en otras aplicaciones. Para el DDS, las entradas se han provisto de filp flops D triestado, cuya misión es proteger el circuito integrado ante errores de conexionado y descargas estáticas en los puertos de conexión entre plataformas, además de permitir compatibilidad con niveles de voltajes TTL de 5 V y CMOS de 3,3 V. También cuenta con un reloj de alta precisión y estabilidad (20 ppm) y regulador de voltaje. El esquema funcional del generador FI₁ se muestra en la figura 4.5.

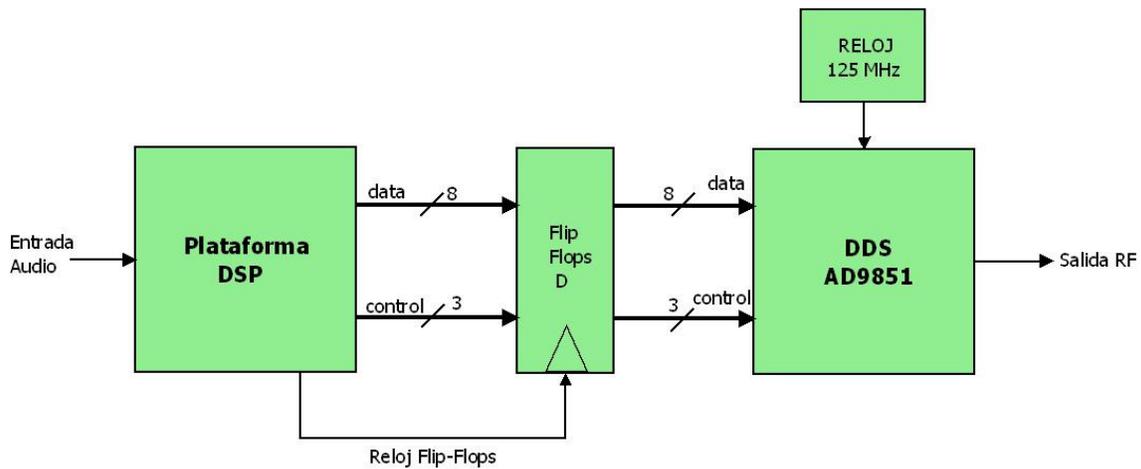


Figura 4.5 Generador FI₁ en base al AD9851

Como plataforma DSP se utilizará una basada en el TMS320F28027 (Serie Piccolo) de Texas Instruments, cuya hoja de datos se anexa en el CDRom. Sólo se dispone de esta plataforma, por ello se usa. De preferencia el TMDXPK6727 de Texas Instruments (implementaciones complejas) o el EZ-KIT ADSP-2181 [4] de Analog Devices (incluye códec estéreo de audio), cuyo costo es elevado.

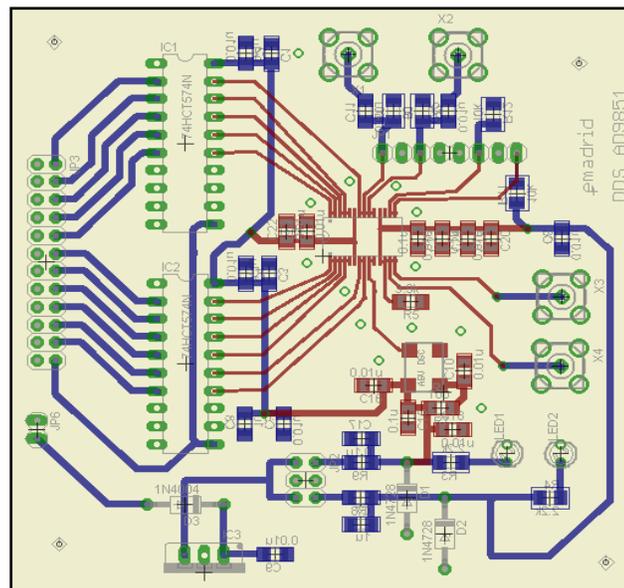


Figura 4.6 Módulo AD9851

En la figura 4.6 se muestra el diseño en software CAD del circuito impreso correspondiente al módulo DDS AD9851. Se han considerado todas las sugerencias hechas por el fabricante para un desempeño óptimo.

Notar que al utilizar los Flip Flop D en el bus de entrada de datos del DDS, cambian los diagramas de tiempo que se deben considerar para programar el DSP. En la figura 4.7 se muestra

que en los flancos de subida del reloj de los flip flops el estado en la entrada pasa a los pines del DDS.

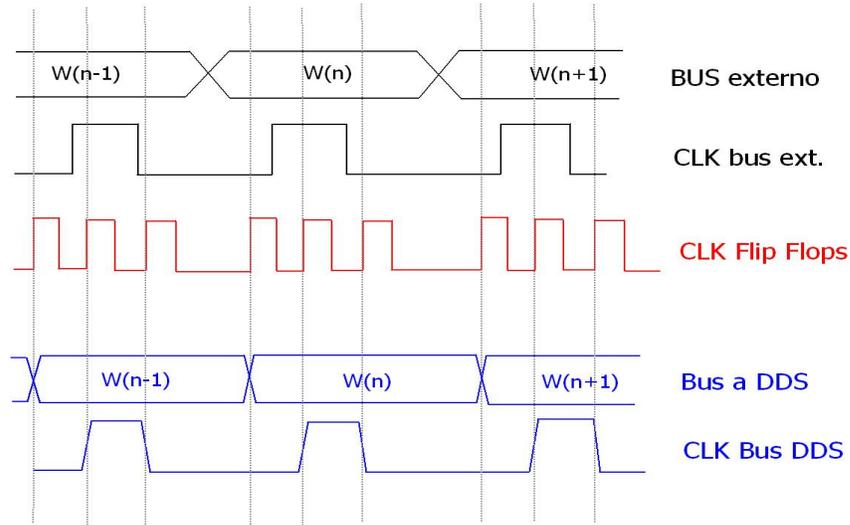


Figura 4.7 Diagramas de tiempo para el módulo AD9851

Respetando la secuencia de cambio de estados en los GPIO del DSP de modo que una vez que estén todas las salidas estables se proceda a alternar el reloj de los flip flop, se garantiza el paralelismo en los datos programados en los registros del DDS. Para ver detalle de los tiempos mínimos ver hoja de datos contenida en el CDRom.

4.3.2 Módulo PLL

Se basa en el circuito integrado ADF4360-9 que contiene un PLL con VCO capaz de operar en el rango 65 MHz ~ 400 MHz. Como la frecuencia de referencia se puede dividir por números enteros R de 14 bits, y la del VCO por N de 13 bits, si se usa un reloj de referencia de 20 MHz, y la señal se divide por $R = 200$ se tiene pasos de 100 kHz que, cambiando el valor de N, permite cubrir toda la banda de operación del PLL. El rango de valores de N que se aplican en este transmisor va desde $N = 1482$ (para una salida del PLL de 148,2 MHz) hasta 1688 (168,8 MHz), donde cada unidad varía en 100 kHz la frecuencia de salida. Con ello, la portadora estará dada por la ecuación 4.1.

$$Frecuencia Portadora = N \cdot 100 \text{ kHz} - 60,7 \text{ MHz} \quad \text{Ecuación 4.1}$$

En la figura 4.8 se muestra el diagrama del hardware que compone el PLL. Al igual que la plataforma DDS, se ha puesto Flip - Flops D triestado a la entrada de datos. También cuenta con regulador de 3,3V, de modo que es necesario alimentarlo con 5 V.

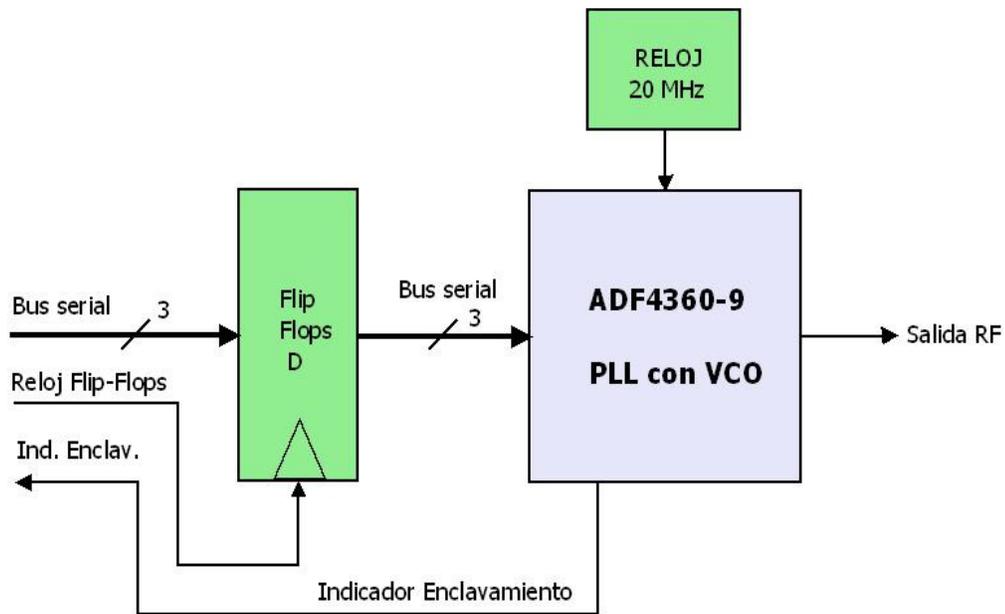
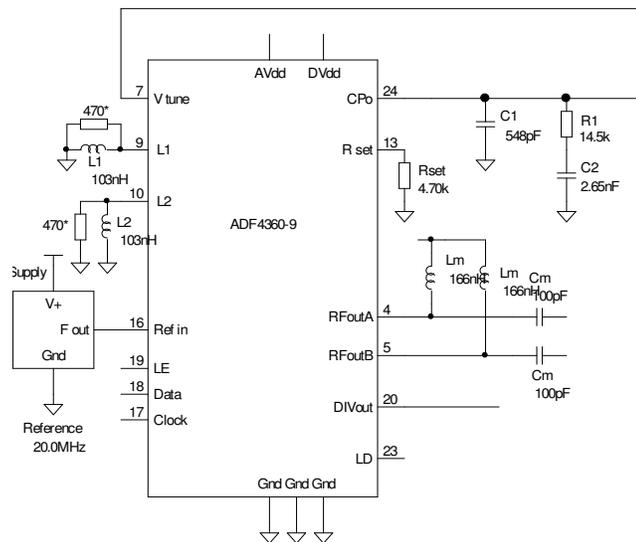


Figura 4.8 Esquema del módulo PLL

Para obtener los parámetros del PLL se utiliza la herramienta ADIsimPLL de Analog Devices. Posee modelos del chip ADF4360-9, entregando los parámetros del filtro pasa bajos del lazo de realimentación y datos sobre las espurias esperadas.



- Notes:
1. The ADF4360 chip contains an integrated VCO
 2. VCO tuning range is adjusted using L1 and L2
 3. L1 and L2 should be the same value and mounted at right angles
 4. (*) 470R resistors need to be fitted as shown across L1 and L2. If inductors > 3.3nH
 3. Consult datasheet for full pinout detail

Figura 4.9 Parámetros ADF4360-9 obtenidos con ADIsimPLL.

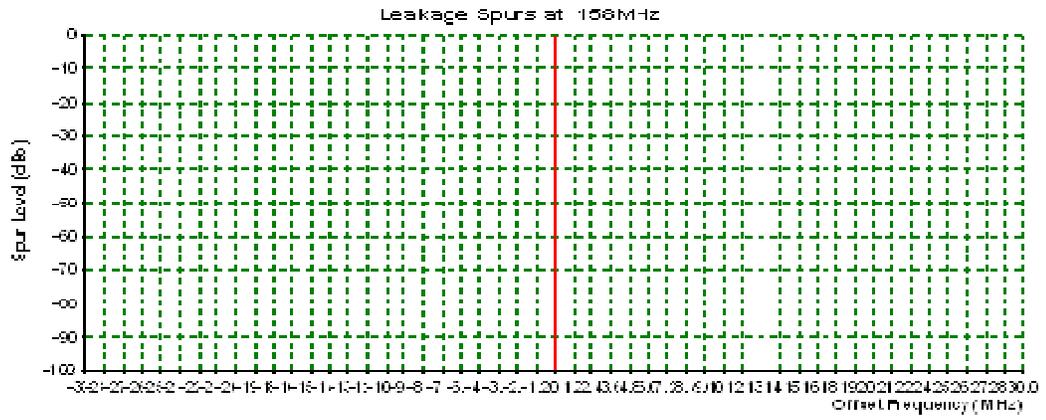


Figura 4.10 Espectro simulado de salida del PLL

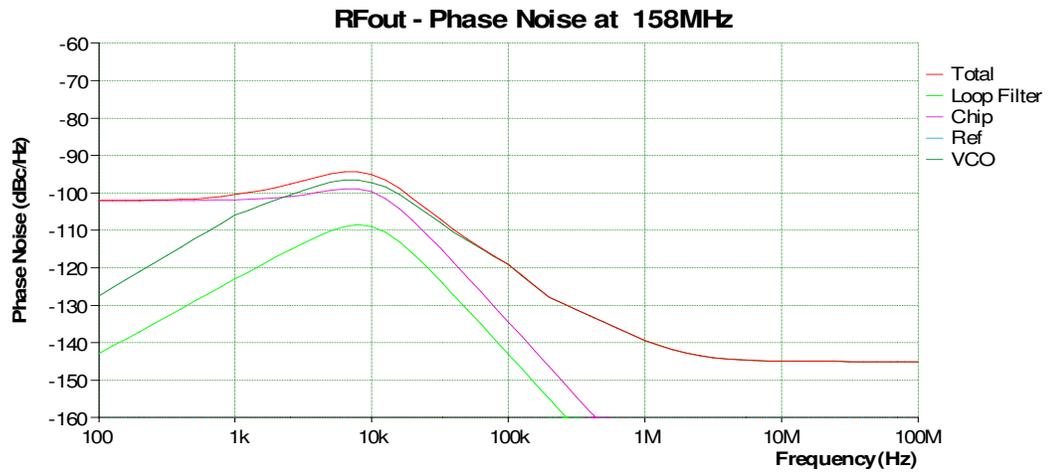


Figura 4.11 Componentes simuladas de ruido de fase del PLL

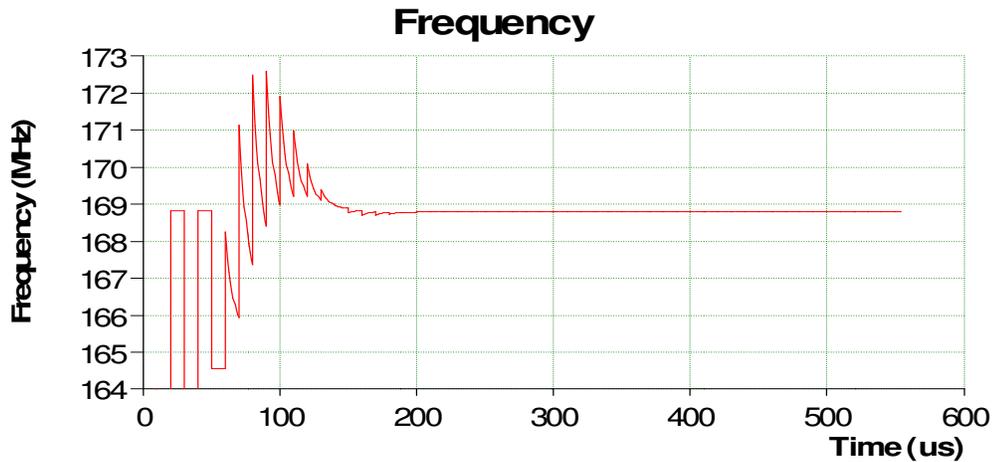


Figura 4.12 Tiempo de convergencia del PLL

En la figura 4.9 se muestra el esquemático propuesto por el simulador con los valores críticos de inductancias del VCO, y resistencias y condensadores del filtro pasa bajos que realimenta el VCO. Se adoptará en el equipo transmisor. En figura 4.10 se tiene el espectro esperado a la salida del PLL en el rango -30 MHz a $+30$ MHz de la salida (158 MHz en esta simulación), que satisface la condición de no generar espurias dentro de la banda. En figura 4.11 se observan las componentes del ruido de fase, que encuentran su máximo en 10 kHz, pero siempre por debajo de los -90 dBc. Por último, en la figura 4.12 se aprecia el tiempo que tarda el PLL en alcanzar la frecuencia de operación. Notar que tiene más de 1 segundo para alcanzar la frecuencia de operación (ver código de control donde se indica el tiempo de configuración de frecuencia), por lo que satisface todos los requerimientos exigidos para generar la segunda FI.

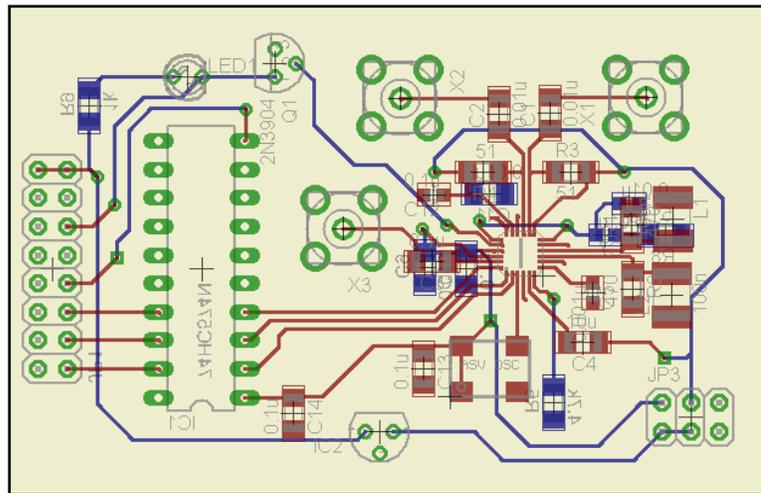


Figura 4.13 Módulo PLL basado en ADF4360-9

Al igual que en el módulo DDS, se ha dispuesto en el bus de entrada para programación serial un arreglo de flip flops D. Se hace necesario considerar que el refresco de datos requiere un pulso en el reloj de los flip flop, y se debe verificar que los datos de entrada sean estables cuando este pulso está en su flanco de subida.

Para ver detalles de los diagramas de tiempo e instrucciones para configurar la operación del PLL, consultar la hoja de datos anexa en el CDROM.

4.3.3 Mezcladores de RF

Basados en el circuito integrado SA602, el cual contiene una Celda de Gilbert que actúa como modulador balanceado de amplitud. De este modo se obtiene en el espectro ambas bandas laterales (cuya frecuencia es la suma y resta de las señales en las entradas), permitiendo trasladar la frecuencia al valor FI_2 (mezclador 1) y de salida RF (mezclador 2).

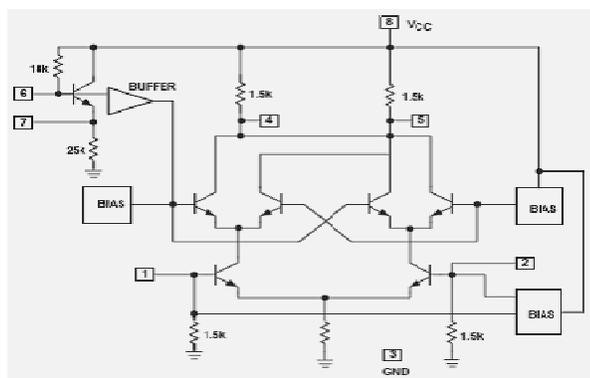
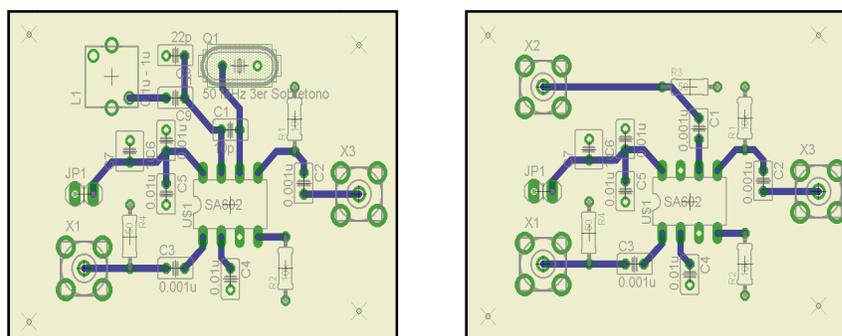


Figura 4.14 Diagrama interno del circuito integrado SA602

En la figura 4.14 se aprecia el diagrama interno del SA602. Los pines 6 y 7 están a la entrada y salida de un transistor amplificador Seguidor de Emisor (de ganancia positiva), de modo que al realimentarlo con una red que no invierta fase es posible construir un oscilador. También se puede inyectar una señal externa en el pin 6 si se deja desconectado el pin 7. La otra entrada diferencial está entre los pines 1 y 2, y la salida balanceada entre los pines 4 y 5.



(a)

(b)

Figura 4.15 (a) Mezclador – oscilador y (b) mezclador basado en SA602

Hay varias formas de conectar las entradas y la salida del SA602. Se adopta la mas sencilla (simple y no sintonizada) ya que para hacerlo con entrada y salida diferencial se requieren transformadores de frecuencia intermedia difíciles de adquirir. Se procura usar niveles pequeños de señal de modo de no saturar las etapas y así evitar componentes armónicas indeseadas. El datasheet del SA602 está en el CDROM.

4.3.4 Filtros

En el Sintetizador de Frecuencias se requiere filtros pasa banda con distinto número de polos, frecuencia central y ancho de banda. La nominación de los filtros corresponde a la entregada en la figura 4.1. A continuación se describe brevemente cada uno de estos.

Filtro 1 (FI₁) es el más crítico en cuanto a su pequeño ancho de banda y gran número de polos. Dado que la banda base se muestra a una tasa determinada, los alias de este muestreo deben ser filtrados de forma eficaz sin generar modulaciones de amplitud residuales en la señal modulada en frecuencia. Por ello se ha elegido usar un filtro cerámico cuya frecuencia central es $f_c = 10,7$ MHz y $BW = 200$ kHz.

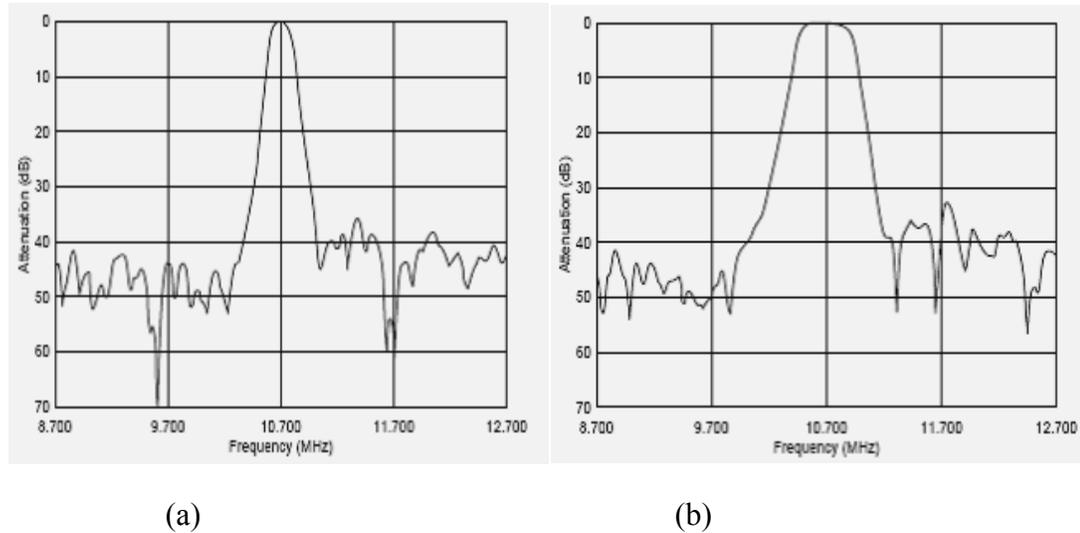


Figura 4.16 Respuesta en frecuencia típica filtros SAW de FI = 10,7 MHz. En (a) $BW = 200$ kHz y (b) $BW = 280$ kHz. Murata Electronics.

Notar que en (a), al sobrepasar ± 300 kHz de la frecuencia central ya se tiene una atenuación mayor a 30 dB; y en (b) con ± 800 kHz mayor que 40 dB. Si la frecuencia de muestreo de la banda base es mayor a 600 kSPS o 1.6 MSPS se tendrá una atenuación mayor que ~ 35 dB a los alias que, por resultados experimentales [4], están a -55 dBc. Quedarían por debajo de -80 dBc, cumpliendo el requerimiento exigido por la normativa.

Filtro 2 (FI₂) tiene como frecuencia central la $FI_2 = 60.7$ MHz. Como ya se ha filtrado los alias de la señal FI_1 y, bajo el supuesto que el oscilador fijo no presenta espurias (ver figura 4.10), las frecuencias que se deben atenuar por debajo de -80 dBc están distanciadas a $+ 10,7$ MHz de la frecuencia central (resultantes del proceso heterodino en el mezclador 1).

El proveedor de componentes para este proyecto no dispone de filtros que se adapten a estos requerimientos, por lo cual se debe diseñar uno con componentes discretas. Para ello se utilizará el software RFSIM.

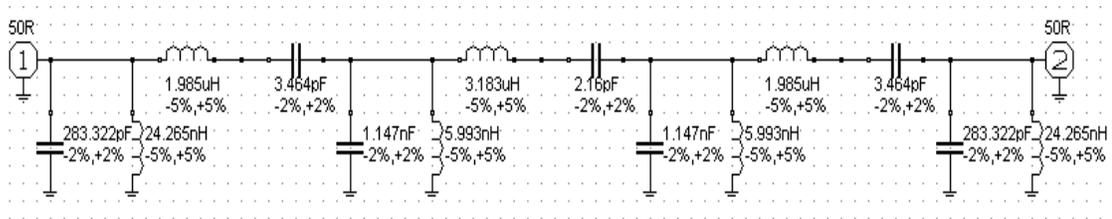


Figura 4.17 Filtro FI₂. Pasa – Banda FI₂ = 60,7 MHz, BW = 5 MHz 7 polos.
Tipo Butterworth. Ripple 0,1 dB.

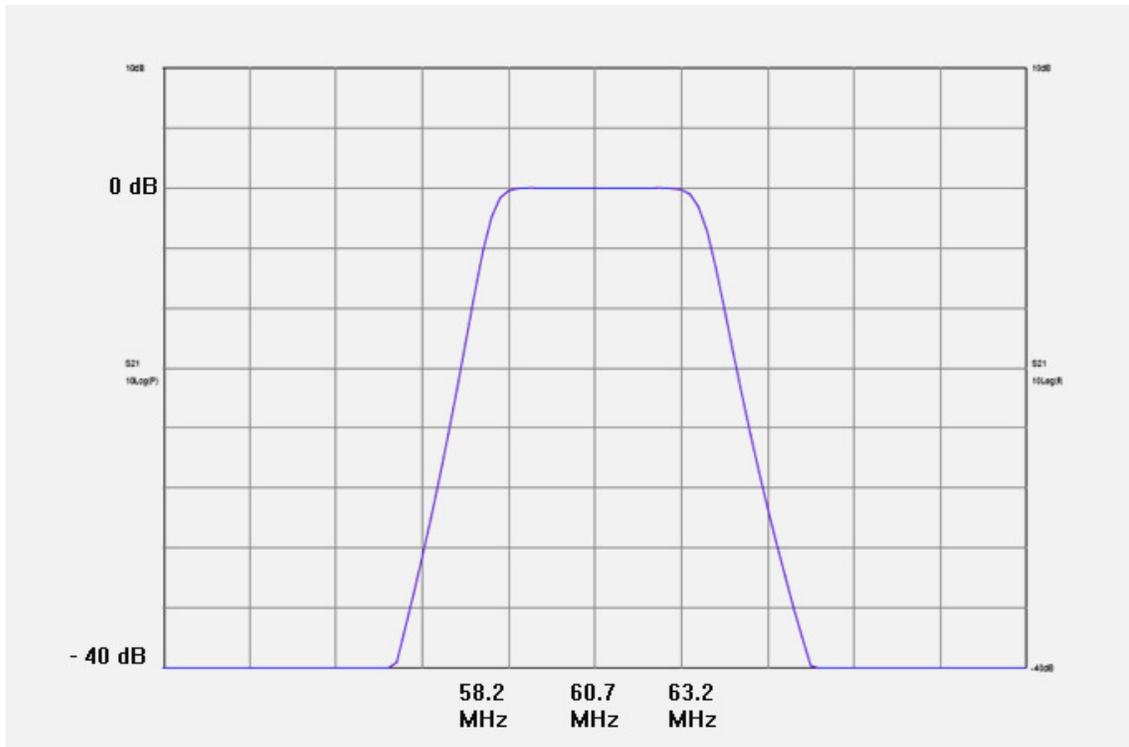


Figura 4.18 Respuesta ideal simulada del filtro FI₂.

Interpolando la curva de la figura 4.18, se aprecia que la atenuación a la frecuencia $60,7 + 10,7 = 71,4$ MHz es mayor a -80 dB, por lo que este filtro es suficiente para satisfacer los requerimientos de la norma. La frecuencia resta (50 MHz) no es relevante pues el mezclador la suprime. Se utiliza filtros Butterworth porque presentan menor ripple dentro de la banda de paso. Las componentes tienen tolerancias críticas por lo que deben ser ajustables.

Filtro 3 - rango de frecuencia portadora considerando como frecuencia central de la banda los 97,8 MHz, y un ancho de banda BW = 30 MHz con 5 polos se tiene lo mostrado en la figura 4.19.

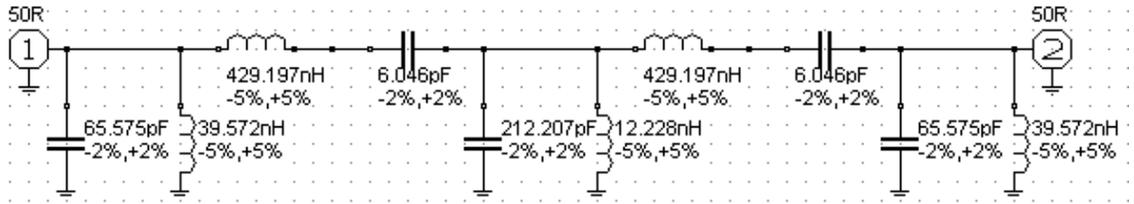


Figura 4.19 Filtro Pasa – Banda portadora. $f_c = 98,7$ MHz , BW = 30 MHz de 5 polos, Butterworth. Ripple 0,1 dB.

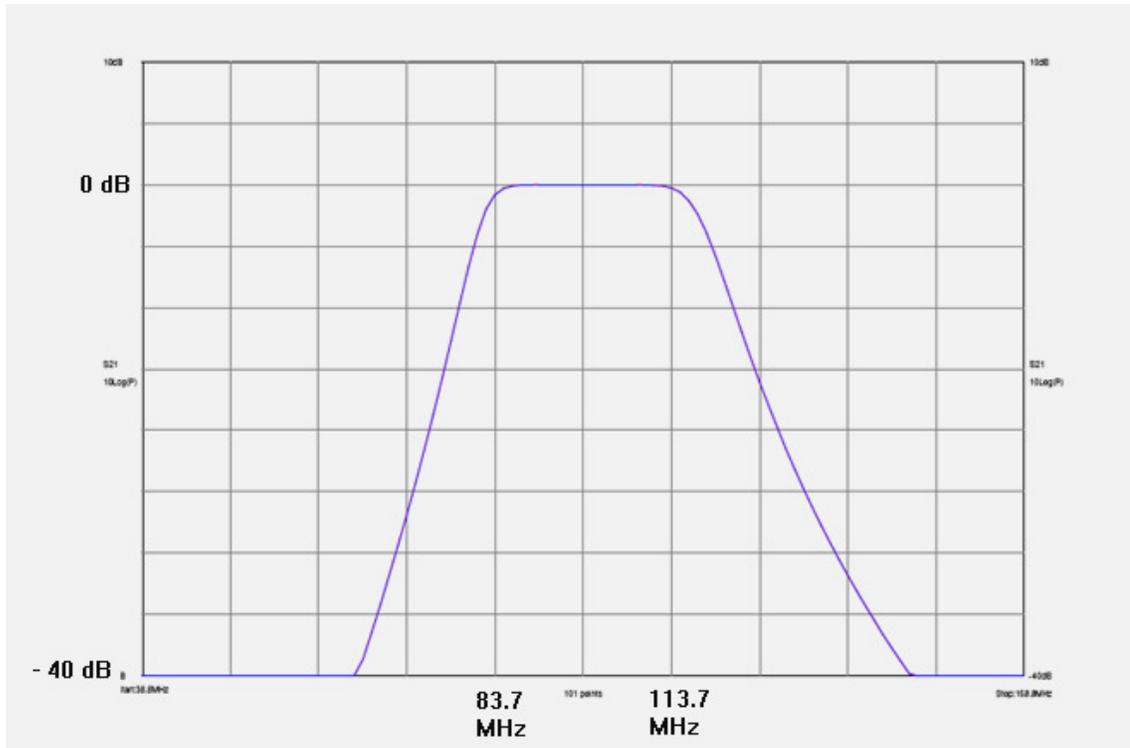


Figura 4.20 Respuesta ideal simulada del filtro portadora

En este caso la FI_2 , al ser de 60.7 MHz, en el segundo proceso heterodino genera espurias muy separadas entre sí en el espectro (ya que estas son sumas y restas de las señales que entran al mezclador 2). Por ello es suficiente usar un filtro de 5 polos.

4.4 Etapas Analógicas de Radiofrecuencia

4.4.1 Amplificadores de RF

La ganancia debe ser plana en toda la banda de FM comercial. Se realiza mediante el uso de etapas amplificadoras basadas en los transistores MPSH10 (señal pequeña), 2N4427 (driver) y 2SC1972 (etapa de potencia). Se ha utilizado dichos transistores debido a su menor costo, disponibilidad en el mercado nacional y a que operan bien con + 12 V de alimentación. Se supone una potencia de entrada de 0 dBm (1 mW), provenientes del sintetizador de frecuencias, la cual mediante estas etapas amplificadoras debe llevarse a + 40 dBm, cumpliendo además con atenuar las armónicas debidas a no linealidades.

Los amplificadores de señal pequeña se diseñan de modo de obtener una impedancia elevada de entrada, (para no afectar la fuente de señal) por lo cual la primera configuración es un seguidor de emisor. Luego un amplificador Clase A cuya ganancia es controlada por voltaje entrega la RF al driver Clase C, y este a la etapa de potencia.

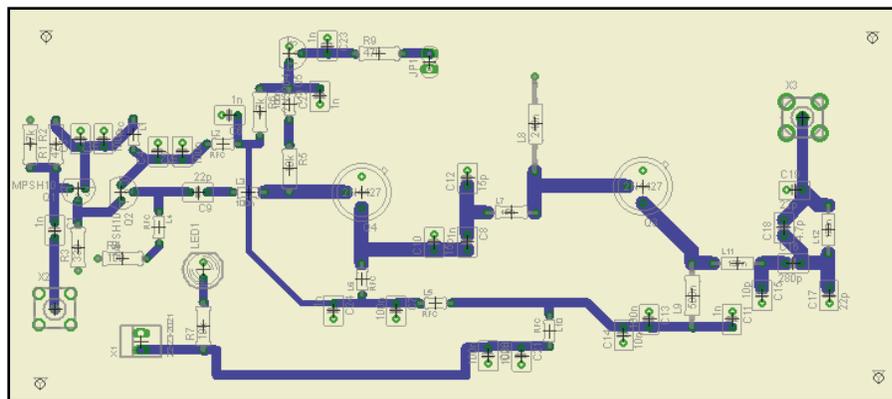


Figura 4.21 Amplificadores señal pequeña y driver RF

La figura 4.21 muestra el circuito impreso diseñado para el preamplificador de RF. Se construye sobre una placa FR-4 de simple faz, haciéndose crítico preservar el plano de tierra lo más íntegro posible. El transistor ubicado a la salida de esta placa disipa de orden de 800 mW, por lo que es necesario el uso de disipador térmico que, a su vez, debe ser ubicado de forma cuidadosa porque está conectado el colector (encapsulado del transistor).

La etapa de potencia debe construirse en un circuito impreso de doble faz, ya que sólo así es posible minimizar el efecto antena de las pistas del circuito. El plano de tierra presente en la capa posterior del PCB forma una línea de transmisión con las pistas, evitando radiar la energía al espacio. También se procura usar pistas gruesas para que la inductancia de las mismas no afecte su comportamiento, obviamente sin exagerar las dimensiones para tampoco tener capacidades parásitas significativas.

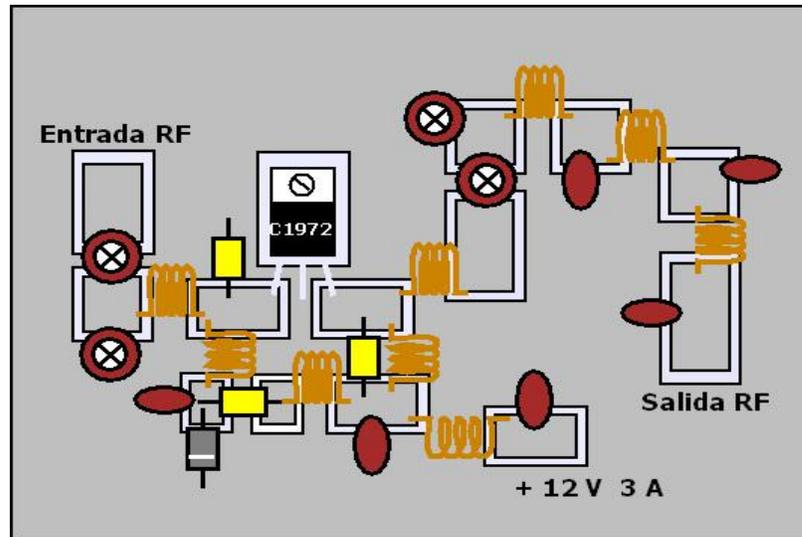


Figura 4.22 Amplificador de potencia RF

En la figura 4.22 se tiene un dibujo de la disposición de las componentes en la etapa de potencia RF. La forma de las pistas y disposición de las bobinas deben ser de tal modo que toda realimentación posible en el circuito sea negativa para que no oscile. El transistor disipa en forma de calor cerca de 15 vatios, debiendo contar con un gran disipador térmico. La placa para apernar el transistor está conectada al emisor, o sea, a tierra del circuito amplificador, siendo innecesaria su aislación.

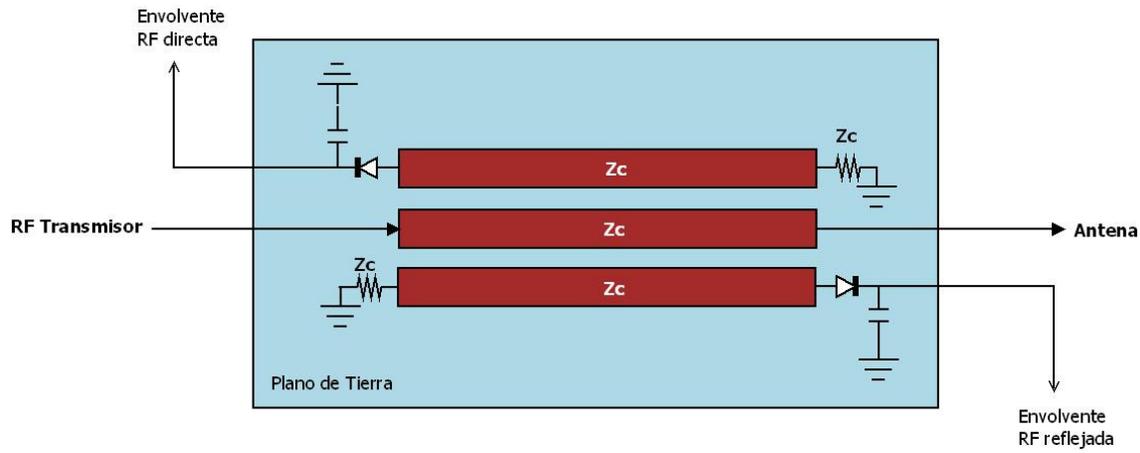
Un detalle muy importante del amplificador de potencia RF es la polarización de la base. Lo común es que en transmisores de frecuencia modulada se use amplificadores clase C, ya que son de mayor eficiencia, pero en este equipo se ha utilizado un Clase B. Esto es porque el amplificador Clase B se polariza de modo que el transistor conduce 180 ° del ciclo de la señal de entrada, otorgando una linealidad mucho mayor que en el Clase C (que conduce menos de 90 °). Se obtiene un menor rendimiento, pero como el equipo cuenta con un sistema de protección ante RF reflejada excesiva, el amplificador de potencia debe ser capaz de operar con menor señal a su entrada, cosa que es imposible en amplificadores clase C.

Para ver detalle del cálculo de esta etapa está el Anexo H, teniendo como base la referencia bibliográfica [12]. Los archivos Eagle, si corresponde, en el CDROM.

4.4.2 Medidor de relación de onda estacionaria.

Su objetivo es obtener una muestra de la señal de RF incidente y reflejada en el sistema Transmisor – Línea de transmisión a la carga. Esta muestra se extrae mediante un Acoplador

Direccional, que por ahorrar espacio se basará en líneas microstrip acopladas capacitivamente, como se muestra en la figura 4.24.



4.23 Esquema del medidor de R.O.E.

La señal de salida proveniente del amplificador de potencia se hace pasar por un segmento de línea de transmisión cuya impedancia está adaptada al transmisor y al cable que alimenta el sistema radiante (usualmente de 50 Ohmios). Lleva acopladas capacitivamente dos segmentos de línea idénticos, los cuales llevan en uno de sus extremos una carga fantasma adaptada. De este modo, la RF directa induce una onda en la dirección contraria en las líneas adyacentes, la cual es absorbida en una de estas por la carga fantasma y en la otra es medida por el detector de envolvente. De esta forma se mide las componentes directa y reflejada de la señal que se propaga por la línea de transmisión del sistema Transmisor – Antena.

La matemática detrás de los fundamentos de esta teoría, así como de la construcción de este tipo de dispositivos es bastante compleja (para más información ver [11]). Se dispone de software que permite obtener diseños aproximados que se comportan bastante bien en la práctica. Uno de ellos es RFSIM.

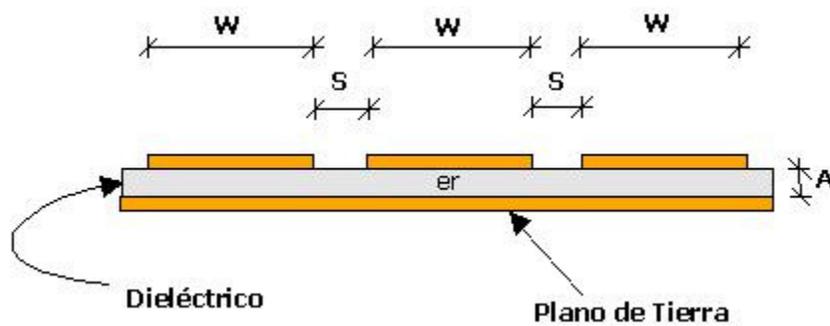


Figura 4.24 Dimensiones del acoplador direccional.

Suponiendo el uso de una placa de doble faz, material FR4 de 1mm de espesor de dieléctrico, con permitividad $\epsilon_r = 2.55$; grosor de cobre 0.01 mm, separación entre pistas $S =$

2mm, grosor de pistas $W = 2.78$ mm y una longitud total de 8 cms. Utilizando RFSIM se obtiene que la impedancia de las pistas es de 50 ohmios y el acoplamiento de -25.5 dB.

Las expresiones de las variables a determinar son de la forma:

$$RF \text{ directa [dBm]} = 20 \log(V_{directo}) - K_1$$

$$RF \text{ reflejada [dBm]} = 20 \log(V_{reflejada}) - K_2$$

$$R.O.E. = \frac{K_3 V_{directo} + K_4 V_{reflejada}}{K_3 V_{directo} - K_4 V_{reflejada}}$$

Ecuaciones 4.2

Como la potencia máxima de salida del transmisor es del orden de 40 dBm (10 vatios), a la salida del acoplador directivo se tiene $40 - 25.5 = 14.5$ dBm = 28.1 mW. Para una carga de 50 Ohmios, la amplitud del voltaje es $1.414 \cdot (0.0281 \cdot 50)^{1/2} = 1.67$ V. Esto entrega una referencia para ajustar amplificadores de voltaje continuo que permitan adecuar la lectura a la placa de control. Así, como los ADC operan entre 0 y 5 V, la ganancia debiera ser de 3 veces aproximadamente. Posteriormente, se calibra en base a un medidor externo la ganancia de estos amplificadores DC y el software del microcontrolador que implementa las ecuaciones 4.2 (constantes K_1 , K_2 , K_3 y K_4) para obtener una lectura correctamente ajustada.

4.4.3 Sistema de protección ante RF reflejada excesiva.

Si la potencia reflejada por la carga es excesiva, es posible que recaliente el transistor de salida, causando su destrucción. Para proteger el transistor se usa un sistema analógico que ocupa como entrada el voltaje de envolvente de la señal reflejada entregado por el medidor de R.O.E., el cual es comparado con una referencia previamente calibrada. Si la potencia reflejada es excesiva, el comparador activa un transistor que quita la polarización de la base de uno de los transistores del preamplificador, anulando la señal de salida de RF.

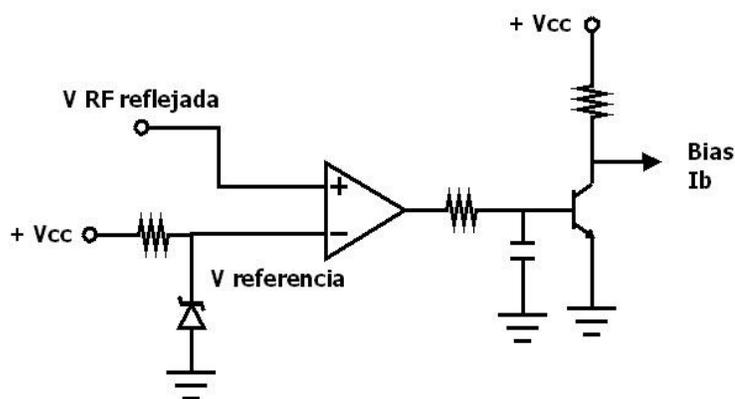


Figura 4.25 Protección ante RF reflejada excesiva

En la figura 4.25 se muestra el esquemático aproximado del sistema de protección ante RF reflejada excesiva (ver Anexo C para detalle del circuito). Es fácil ver que una vez que se activa esta protección, la potencia de salida se anula y con ello el sistema de protección polariza nuevamente la base del transistor. Eso porque cuando la potencia de salida es nula, la reflejada también lo es. El efecto neto es una disminución en la potencia de salida del transmisor, de modo que la potencia reflejada sea siempre menor o igual a la definida por el voltaje de referencia que llega al comparador.

4.5 Circuitos de control y monitoreo

Para que el usuario pueda controlar la frecuencia de salida del transmisor (fijarla a la asignada para su estación de radio) y también disponga de mediciones de las variables principales dentro del equipo (potencia de salida, potencia reflejada y desviación de frecuencia) es necesario contar con electrónica de control, que en este diseño se basa en el microcontrolador PIC16F877A de Microchip.

En la figura se muestra un esquema de las entradas y salidas de la placa de control. Cuenta con 5 entradas analógicas, cuya resolución es 12 bits. Una de ellas está conectada a la entrada analógica de banda base, otras dos a la muestra de voltaje de RF directa y RF reflejada, y las restantes a los sensores de temperatura.

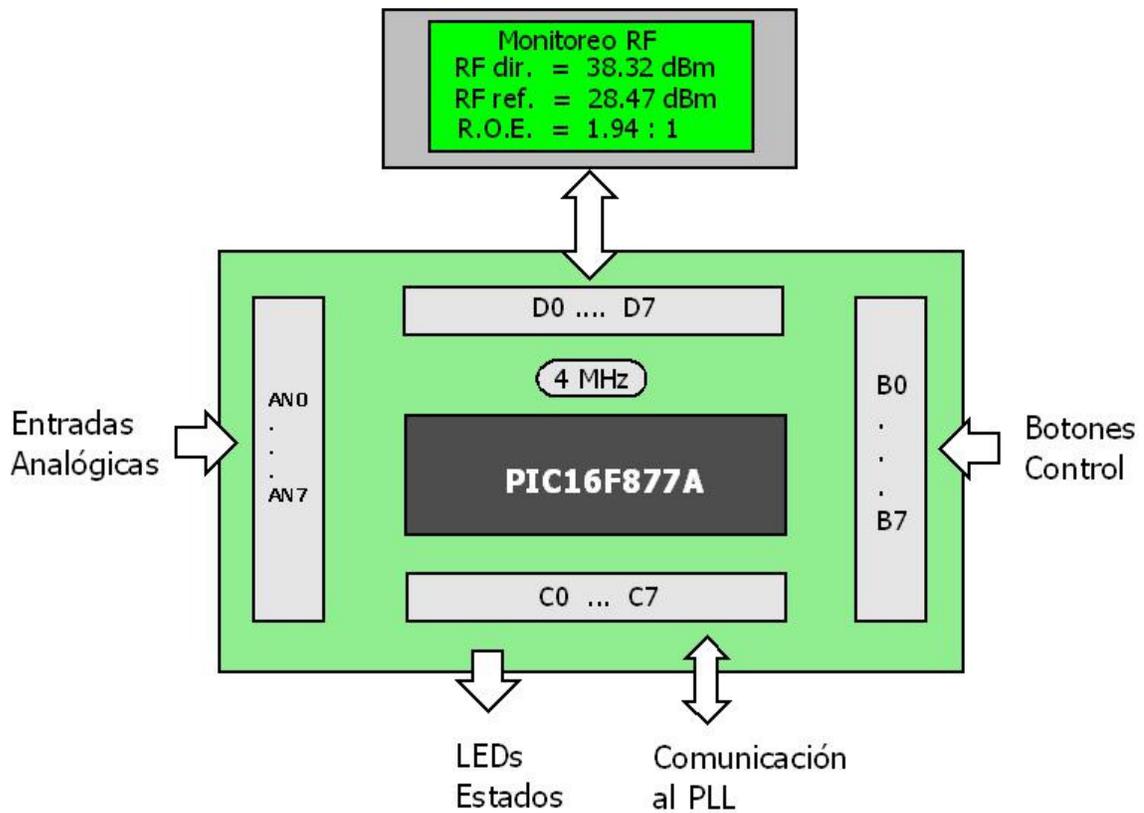


Figura 4.26 Placa de control

De las salidas digitales controlan el display LCD y los LED que indican las siguientes variables:

- Led Modulación (amarilla superior): si hay entrada de audio banda base, enciende. Indica si está recibiendo señal moduladora en sintetizador de frecuencia.
- Led Al Aire (amarilla inferior): enciende si hay RF de salida. Una vez que se configura la frecuencia de salida, el PLL que determina la portadora debe enclavarse. Si se enclava, se enciende las etapas amplificadoras y el LED se activa.
- Led Alarma R.O.E. (roja superior): se enciende cuando la Relación de Onda Estacionaria es mayor a 3. Indica que es necesario ajustar el sistema radiante.
- Led Alarma Temperatura (roja inferior): si las parte críticas del transmisor superan los 65° C se enciende, de modo de indicar al operario que debe mejorar las condiciones de ventilación o desconectar pronto el equipo para evitar dañarlo.

Los botones de entrada permiten configurar la frecuencia de salida y cambiar las variables que se están leyendo en el LCD. El puerto serie conecta el microcontrolador con el PLL que fija la frecuencia de portadora.

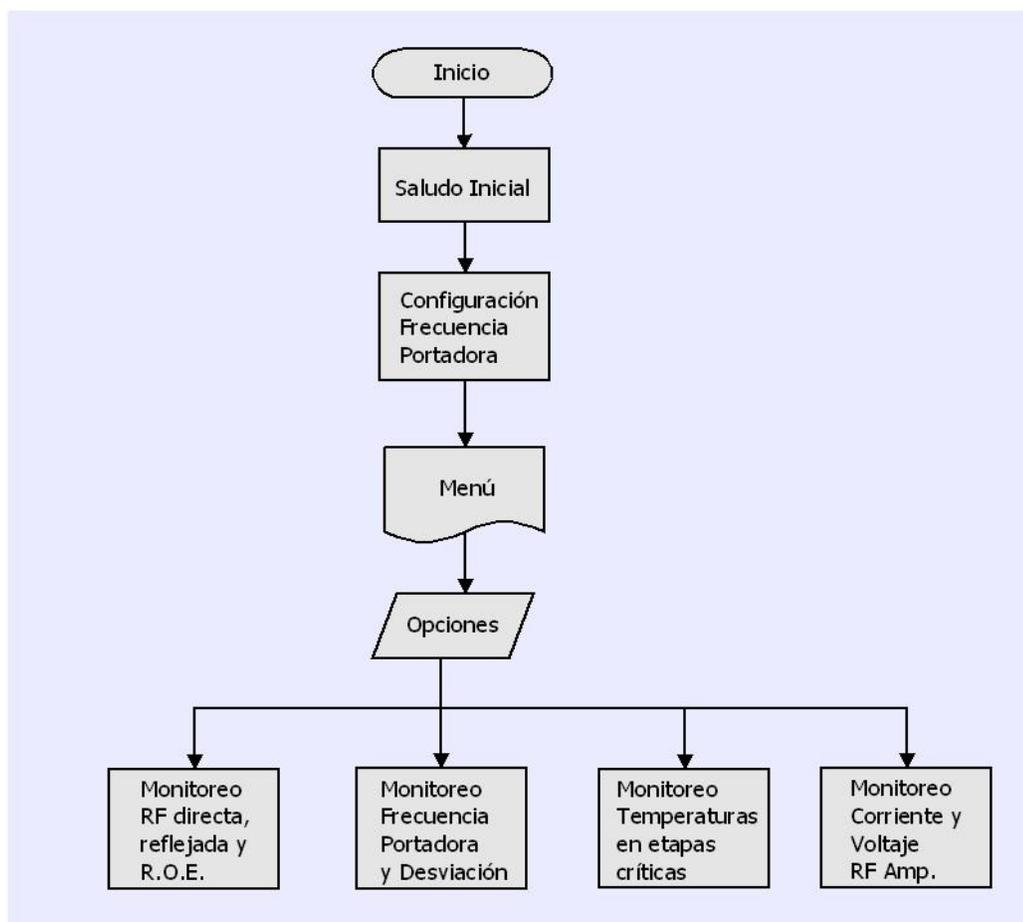


Figura 4.27 Diagrama de flujo de la interfaz con el operario

En la figura 4.27 se muestra el diagrama de la interfaz con el usuario. Mediante los botones del panel frontal se controla el equipo, y las variables se muestran en el display LCD, siendo actualizadas aproximadamente cada 1 segundo. Como la desviación instantánea debe ser monitoreada para no sobrepasar lo establecido por la normativa, en el display se muestra el valor máximo medido en cada ciclo de refresco de datos.

Para ver el código fuente en C con que se programó el PIC16F877A ver Anexo J en el CDROM. Referencia bibliográfica del compilador [13]. Se utiliza el programador JDM y el software gratuito ICProg.

4.6 Otros circuitos

La fuente de poder a utilizar es una lineal, con un transformador de 100 vatios y un bobinado secundario. Se rectifica con un puente de diodos, se filtra y circuitos integrados especializados entregan las salidas de voltaje reguladas. Para la etapa de amplificadora de

potencia se utiliza un transistor de potencia como paso de alta corriente. En la tabla 4.1 se muestran las salidas de la fuente de alimentación lineal.

Cantidad de salidas	Voltaje [V]	Corriente Máxima [A]
2	5	1
2	12	1
1	12	4

Tabla 4.1. Salidas de la fuente de poder lineal

Se ha escogido una fuente lineal porque no generan EMI, y son más robustas. Se ha provisto de múltiples fusibles de protección ante sobrecorrientes, dos de los cuales son accesibles desde el exterior del equipo. Estos son los ubicados a la entrada y salida del transformador, ya que operan en caso de sobrecorrientes inducidas por alzas de voltajes en la red eléctrica o por excesiva corriente de inrush.

La banda base se genera mediante un circuito integrado especializado: el BA1404. Permite obtener una señal compuesta estereofónica MPX de gran calidad. El circuito también cuenta con amplificadores de audio para ajustar los niveles de señal.

4.7 Consideraciones sobre el gabinete

Un aspecto importante en el diseño de cualquier equipo eléctrico es el gabinete. Debe cumplir con la normativa, ser práctico para manipularse y estéticamente amigable. En el presente trabajo, el panel frontal es como el mostrado en la figura 4.28.



Figura 4.28 Panel frontal del prototipo

Los pulsadores de control se ubican a la derecha, de modo que si un operario diestro (como la mayor parte de la población mundial) está configurando el equipo, tiene el campo de visión libre hacia la pantalla. El interruptor de encendido está en la parte posterior para que no sea fácil de desconectar por personal no autorizado (no hay acceso a la parte trasera del rack).

Los LED se han escogido de modo de facilitar el conocimiento del estado de operación del equipo a personas que no posean instrucción técnica.

La disposición interna del transmisor también es crítica, siendo imprescindible subdividir el interior del gabinete con placas de aluminio. Fenómenos de inducción de corrientes parásitas entre etapas debe evitarse. Como medidas, se indica lo siguiente:

- El flujo magnético de fuga del transformador de poder puede inducir corrientes parásitas que agregarían ruido en las etapas de audio y RF, por lo que debe estar en un compartimento aislado.
- El amplificador de potencia y medidor de R.O.E. emiten pequeñas cantidades de potencia RF a frecuencia de portadora y armónicas de esta. Al ser de alta frecuencia, inducen diferencias de voltaje en las pistas cuyo largo es comparable a la longitud de onda. Por ello debe aislarse en un compartimento propio.

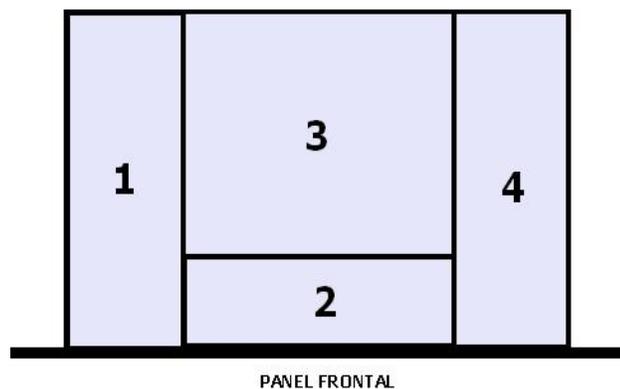


Figura 4.29 Divisiones internas del gabinete

Se ha dispuesto que el gabinete tenga internamente 4 divisiones, separadas por placas de aluminio de 1,5 mm de espesor. En la figura 4.29 se muestra dichas divisiones, donde en (1) se ubica la etapa de potencia de RF y el medidor de R.O.E.; en (2) los circuitos de control; en (3) el driver de RF, sintetizador de frecuencias y generador de banda base; y por último en (4) la fuente de poder. Otra función de estas placas es la de soporte mecánico para los circuitos impresos, y también como disipador térmico.

Capítulo 5

Conclusiones

En este trabajo se presentó el proceso de diseño electrónico de un transmisor de frecuencia modulada para radiodifusión sonora con Síntesis Digital Directa, acorde a las exigencias de la normativa vigente en la mayoría de los países del mundo, entre ellos Chile. Esta nueva tecnología requirió un profundo estudio de sus fundamentos teóricos para poder definir estrategias que permitieran aplicarla en modulación digital de frecuencia y también una acabada investigación de los dispositivos que el mercado ofrece en la actualidad.

Basados en lo anteriormente descrito, se concibió una idea de cómo fabricar un transmisor profesional y se procedió al diseño de la electrónica capaz de llevarlo a la realidad. Lamentablemente, por motivos de costos asociados, sumado a la no disponibilidad de algunas componentes críticas, la concretización de la totalidad del equipo no fue posible. Además, se concluye que no se justifica la inversión en sintetizadores DDS para modulación analógica en frecuencia, ya que se dispone de sintetizadores PLL convencionales mucho más baratos cuya calidad, visto desde el punto de vista del usuario, es similar a la de un sintetizador con DDS.



Figura 5.1 Prototipo de transmisor operativo

A pesar de ello, se obtuvo un transmisor de funcional aprovechando parte del diseño original y se logró construir una de las plataformas DDS diseñadas, la cual puede ser de utilidad a quien desee retomar este trabajo u otro donde requiera la tecnología. También se tiene el diseño de las librerías correspondientes a cada componente electrónico del hardware, quedando disponibles para proyectos futuros.

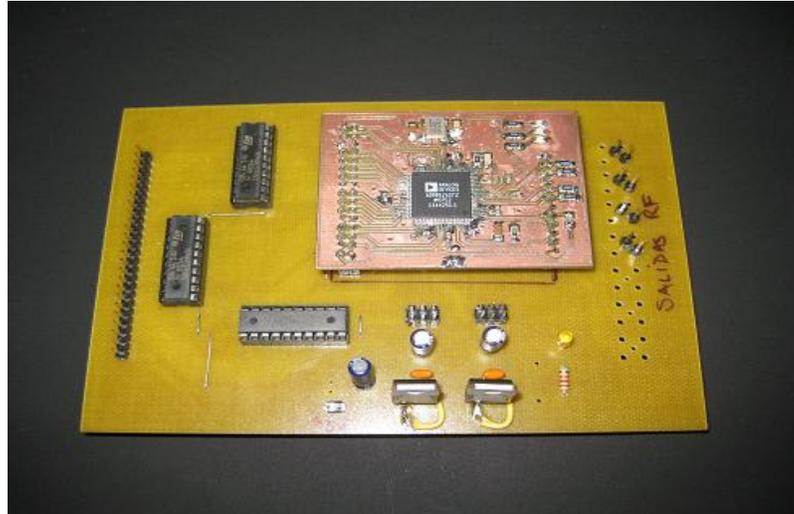


Figura 5.2 Plataforma DDS basada en AD9852 implementada

En síntesis, como resultado de este arduo trabajo y su costo económico asociado se logró un equipo operativo (justificando la inversión realizada) que otorga experiencia en electrónica de radiofrecuencia de las bandas de VHF, tanto teórica como práctica. Además se aporta conocimientos para desarrollos basados en DDS que están por venir.

Otra conclusión muy importante de este trabajo es que, a opinión del suscrito, no es conveniente la implementación de transmisores de frecuencia modulada norma analógica utilizando Síntesis Digital Directa, pues los costos crecen de forma muy considerable en comparación a la tecnología tradicional y sus ventajas no son significativas. Un PLL bien diseñado tiene linealidad tan buena que a percepción del usuario común un sintetizador DDS no representa una mejora sensible.

5.1 Avances

Los objetivos generales planteados en el capítulo 1.4.1 se cumplieron en su mayoría, quedando pendiente la implementación de parte del prototipo del transmisor. En la tabla 5.1 se muestra lo obtenido, considerando el diagrama de bloques de la figura 4.1 como el conjunto que cubre todo el proyecto.

	Sintetizador de Frecuencias	Etapas Analógicas RF	Control y Monitoreo
Diseño	Completo	Completo	Completo
Construcción	Parcial	Completo	Completo
Resultado	Incompleto	Completo	Completo

Tabla 5.1 Logros obtenidos en la construcción del transmisor FM con DDS

Como se explicó en el capítulo 2.1, cada etapa está compuesta de varios circuitos. Aquellas cuyo resultado final es “completo”, se tiene que cada una de sus componentes se diseñó y construyó. Por el contrario, para el Sintetizador de Frecuencias se tuvo lo mostrado en la tabla 5.2.

Subetapa	Diseño	Construcción	Resultado Final
Plataforma DDS	Completo (x2)	Completa	Completa
PLL	Completo	Completo (alternativo)	Completo
Mezcladores	Completo	Completo (alternativo)	Completo
Filtros	Completo	No (Se puede comprar)	Incompleto
Plataforma DSP (Prog. DDS)	Completo	Parcial (Requiere DSP más rápido y con más GPIO)	Incompleto

Tabla 5.2 Estado de avance del sintetizador de frecuencias

En el núcleo del informe no se trató la problemática de la programación del software, pues se contempla usar una plataforma DSP comercial que define el código de programación. Por ello, en el Anexo I (ver CDROM) se hace referencia a la estrategia de programación de forma genérica para cada una de las plataformas DDS diseñadas.

5.2 Futuras mejoras

Como primera sugerencia se propone terminar de implementar los diseños obtenidos en este trabajo de título para tener un equipo funcional de calidad profesional. Luego, es posible hacer varias mejoras entre las que destacan las siguientes:

- Implementar un generador de banda base mediante procesos digitales. Puede ser con un DSP o una FPGA. Tener en cuenta los requisitos de tasa de muestreo, rango dinámico y resolución de los CODEC de audio.
- A lo anterior se puede agregar un generador RDS, el que debe tener comunicación con un PC externo. Requiere desarrollo de software para dicha comunicación.
- Reemplazar la etapa amplificadora final de RF por otra de mayor potencia. Se recomienda el uso del transistor SD2918, de modo de obtener unos 25 vatios a la salida para cumplir con el estándar de equipos excitadores para amplificadores de 1 kW. Observar que este MOSFET (el SD2918) y la mayoría de los disponibles para amplificadores de potencia RF necesitan comúnmente alimentación de 28 V, siendo imprescindible rediseñar la fuente de alimentación.
- Instalar audio SCA, que opere de manera opcional.
- Construir una tarjeta para recibir audio a través de Internet, para facilitar el uso del equipo transmisor en estaciones repetidoras. También puede enviar por la red información sobre el estado de funcionamiento y permitir al operario la configuración remota.
- Poner una fuente de alimentación conmutada, mejorando la eficiencia energética del equipo. Se debe garantizar que esta fuente será producirá muy poca EMI y será robusta ante transitorios en la red de corriente alterna.

Y se puede mencionar varias ideas más. Lo que hay detrás de la ingeniería de radio, en especial de la radiodifusión, es un libro abierto. Siempre perfectible y de gran complejidad. Quena en evidencia que la radio es un área muy interesante como medio de comunicación, y también como desafío tecnológico.

5.3 Comentarios finales

La ardua labor realizada en este trabajo de título significa un gran aporte en proyectos de relevancia científica y comercial que pueden llevarse a cabo en la Universidad. Ya se ha mencionado algunos en la página dedicada a la motivación en el capítulo 1.1, y aquí se muestra un tema de especial interés para el realizador de esta memoria: el uso óptimo del ancho de banda en transmisión de datos en la parte baja del espectro de radio. En los párrafos siguientes se desarrolla la idea.

Normativas digitales de emisión de datos son ampliamente discutidas cuando se habla de radiodifusión o internet móvil, pero también hay otros ámbitos que son menos masivos, pero no por eso menos importantes. Uno de ellos es el esfuerzo realizado por entusiastas experimentadores en radio que tratan de aprovechar las bandas de frecuencias mas bajas, con métodos de modulación que requieren de precisión extraordinaria en frecuencia, amplitud y fase, lo que necesariamente implica el uso de sistemas DDS.

Es así como actualmente hay en el mundo estaciones civiles que experimentan transmisión de datos en las bandas de LF y VLF, obteniendo resultados interesantes de analizar, tanto por la tasa de datos que es posible emitir como por las características propias de propagación que tales frecuencias ofrecen. En Chile aún no se ha hecho, pero este párrafo podría despertar el interés de Ud., estimado lector.

Bibliografía

- [1] “A technical tutorial on Digital Signal Synthesis”. Analog Devices Inc. 1999.
- [2] Shashikant Shrimali, B. E. “Direct Digital Frequency Synthesizer – A Thesis of Master of Science in Electrical Engineering”, Texas Tech University. 2007.
- [3] Twitchell, E.R. “A digital approach of an FM exciter”. Harris Broadcast - IEEE Junio 1992.
- [4] Becker R., Dean, “AN-543 High quality, all digital RF frequency modulation generation with ADSP-2181 DSP and the AD9850 direct digital synthesizer”. Analog Devices Inc.
- [5] Kester, Walt. “High speed DACs and DDS systems”. Analog Devices Inc.
- [6] Brannon, Brad. “AN-756 Sampled systems and the effects of clock phase noise and jitter”. Analog Devices Inc.
- [7] Brandon, David. “AN-927 Determining if a spur is related to the DDS/DAC or to some other source”. Analog Devices Inc.
- [8] Forbes, P and Collins, Ian. “AN-873 Lock detect on the ADF4xxx family of PLL synthesizers”. Analog Devices Inc.
- [9] Gentile, Kent. “AN-939 Super-Nyquist operation of the AD9912 yields a high RF output signal”. Analog Devices Inc.
- [10] Thierauf, Stephen C. “High speed circuit board signal integrity” first edition. Artech House 2005.
- [11] Pozar, David C. “Microwave engineering” third edition. John Wiley & Sons. 2005
- [12] Bowick, Chris. “RF circuit design” first edition. Newnes. 1982.
- [13] “C Compiler, reference manual” Custom Computer Services Inc. 2009.
- [14] “Code Composer Studio Development Tools v3.3 – Getting Started Guide” Texas Instruments. 2006.
- [15] Fernández, Marcos. “Apuntes de Modulación Angular” U. de Valladolid 2003.

Anexo A

Plataforma DDS basada en AD9852

Durante el desarrollo del proyecto, por motivos de disponibilidad de componentes, se realizó una plataforma para experimentar con el circuito integrado AD9852ASTZ de Analog Devices Inc. Sus características se pueden resumir en la tabla A.1.

Frecuencia de Reloj	200 MHz (max)
Cantidad de bits acumulador de fase	48
Bus de programación	Serial o paralelo
PLL interno	Multiplicador x 4 hasta x 20
Resolución del DAC de salida	12 bits
Modos de operación	Tono simple, BPSK, Rampa, Chirp

Tabla A1. Características básicas AD9852ASTZ

La resolución de frecuencia es de 48 bits, que con un reloj de 200 MHz es equivalente a aproximadamente 1 μ Hz. Permite programación serial o paralelo, siendo el modo paralelo el de mayor velocidad. Es posible refrescar el número de frecuencia a una tasa cercana a 10 MHz (ver datasheet para detalles en diagramas de tiempo).

De forma similar a la plataforma diseñada en 4.3.1, se ha provisto de un arreglo de flip flops triestado de alta velocidad a la entrada con un reloj externo, que si es inferior a 100 MHz garantiza paralelismo en los bits que llegan a los pines del AD9852. Además, protege el DDS ante descargas estáticas en las entradas, errores de conexionado y lo hace compatible con circuitos que operen con voltaje digital de 5 V.

El circuito impreso que contiene el AD9852ASTZ debe ser de gran calidad, pues las pistas son muy finas (del orden de 10 mils de pulgada) y los vías bastante pequeños. Por ello, se decide construir un header con la DDS y el generador de reloj. Así, la placa de mayor costo es el header

y se encarga a empresas especializadas en elaboración de PCBs con componentes superficiales. El resto del circuito es elaborado en el laboratorio de electrónica.

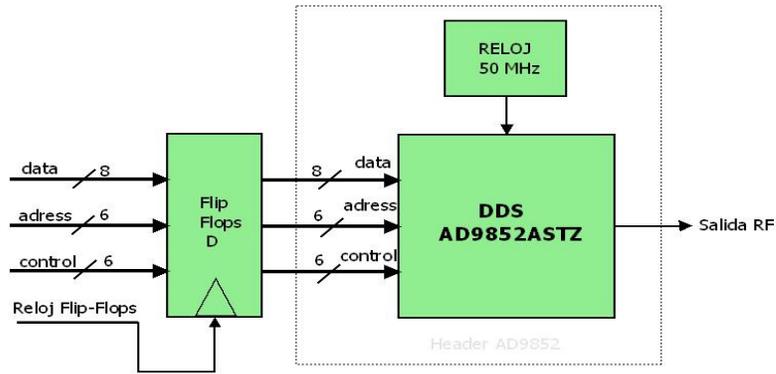


Figura A.1 Esquema plataforma AD9852ASTZ

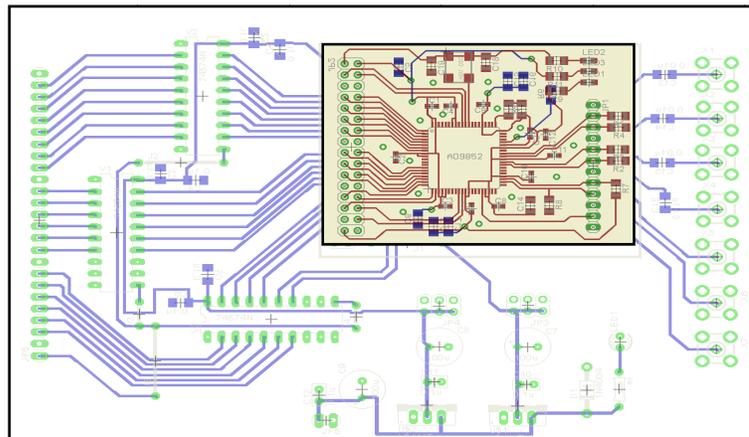


Figura A.2 Diseño de los circuitos impresos de la plataforma AD9852ASTZ

Mediante el uso de header se reduce considerablemente la superficie del PCB requerido en alta calidad, con la consecuente disminución del costo total de la plataforma. Además, la falla de la DDS no implica tener que desechar el circuito completo, sino que solamente el header.

La plataforma cuenta con reguladores de voltaje separados para la parte digital y analógica de la plataforma, asegurando la correcta aplicación del voltaje de alimentación al header DDS. El regulador digital también alimenta los circuitos integrados 74HC754 (arreglo de flip flops D), para tener el voltaje adecuado en las entradas digitales del AD9852. También las pistas se han diseñado de modo de permitir la operación del DDS a su máxima frecuencia entrada de datos [10].

A fin de no extender demasiado este anexo, en el CDROM se incluye el datasheet del circuito integrado AD9852 y demás componentes activos de la plataforma. También se indica la metodología de programación en el ANEXO I (ver CDROM).

Anexo B

Costos

El diseño mostrado en el capítulo 4 se hizo pensando el minimizar los costos de forma óptima, haciéndose bastante complejo pero en base a dispositivos más baratos. El equipo requiere de muchos insumos: componentes electrónicos activos y pasivos, placas de circuito impreso, conectores, cables de varios tipos, planchas de aluminio, etc. A continuación se indica el costo aproximado de cada etapa, considerando que los circuitos impresos se realizan en el laboratorio de electrónica y un externo hace el trabajo en metales del gabinete.

Parte del equipo	Costo insumos en pesos
Fuente de poder	25.000
Sintetizador de frecuencias s/DSP	230.000
Etapas analógicas de RF	60.000
Circuitos de control y monitoreo	30.000
Gabinete y conectores externos	74.000
Costo parcial sin DSP	399.000
Plataforma DSP básica	500.000
JTAG DSP	1.000.000
Total Insumos	1.899.000

Tabla B.1 Costo de insumos del prototipo

Ahora bien, si se desea construir PCBs de buena calidad en placas críticas, se debe recurrir a empresas externas. La tabla B.2 muestra el costo aproximado de elaborar la plataforma DDS basada en AD9851 y AD9852

Plataforma DDS	Costo PCB
AD9851 completa	35.000
Header AD9852ASTZ	32.000

Tabla B.2 Costo promedio de elaborar PCBs críticos en empresas externas. Referencia: CIGA Ltda.

Lo cual indica que el valor estimado total de los insumos requeridos para obtener un prototipo funcional se estima en **\$ 2.000.000** aproximadamente.

El análisis precedente se hace bajo el contexto de mano de obra gratuita, como es el caso de este trabajo de título. La situación cambia si se considera este desarrollo como un proyecto comercial. En los párrafos siguientes se explica aquello.

Se considera que un ingeniero recibe un sueldo bruto mensual de \$1.000.000 (precio mercado), y si tiene experiencia en electrónica de radiofrecuencia y programación de DSPs, se estima que tomaría 6 meses tiempo completo llegar a un producto de calidad comercial.

Item	Costo
Insumos	2.000.000
Mano de obra	6.000.000
Costo total	8.000.000

Tabla B.3 Inversión requerida para obtener un producto comercial

Notar que se ha incrementado el costo de insumos pues se agrega la elaboración de los circuitos impresos. También se ha supuesto que se cuenta con un taller adecuado a este tipo de proyectos, es decir, que cuenta con el instrumental mínimo para llevar a cabo las pruebas que se deben hacer a un transmisor comercial.

El costo marginal se hace bastante más bajo, pues ya no hay costos de diseño. Corresponde a la suma entre los insumos y la mano de obra requerida para replicar el equipo. Suponiendo que un técnico tarda una semana en dejar ensamblado, ajustado y probado el transmisor; y su sueldo bruto es de \$600.000, el costo de producción de cada equipo nuevo es aproximadamente **\$ 1.700.000**.

Anexo C

Esquemáticos

A continuación se presenta los esquemáticos más importantes correspondientes al diseño del prototipo de transmisor FM con tecnología DDS. Se tiene los siguientes circuitos:

- C.1. Header AD9852ASTZ (plataforma AD9852 parte 1)
- C.2. Placa madre AD9852 (plataforma AD9852 parte 2)
- C.3. Módulo AD9851 parte 1
- C.4. Módulo AD9851 parte 2
- C.5. Módulo PLL ADF4360-9
- C.6. Mezcladores (esquema referencial)
- C.7. Driver RF
- C.8. Amplificador de Potencia RF
- C.9. Protección RF
- C.10. Control con PIC16F877A
- C.11. Fuente de poder

En el CDROM adjunto se encuentran los archivos con los esquemáticos de otras tarjetas electrónicas que contiene el equipo transmisor desarrollado.

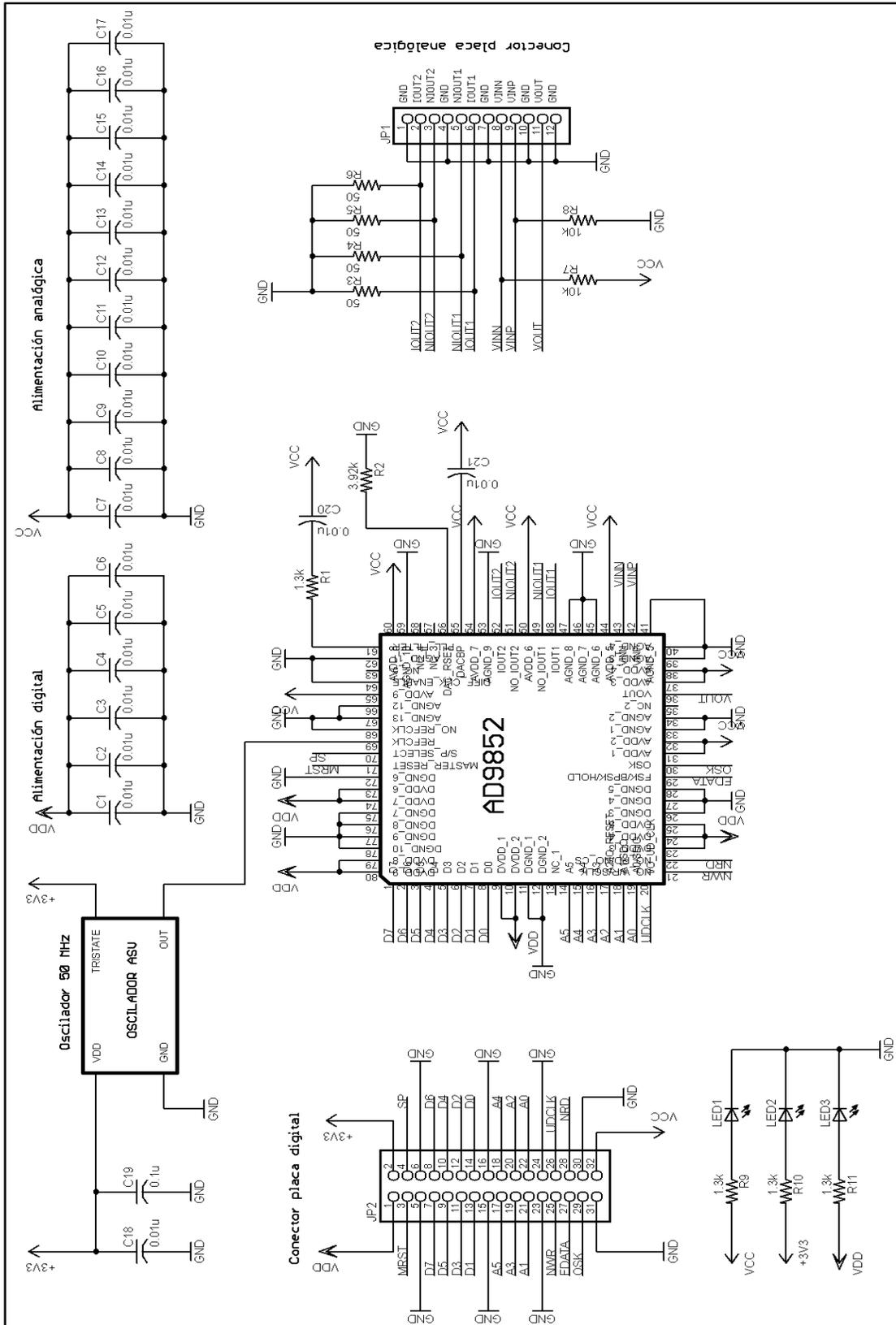


Figura C.1 Header DDS de plataforma AD9852ASTZ

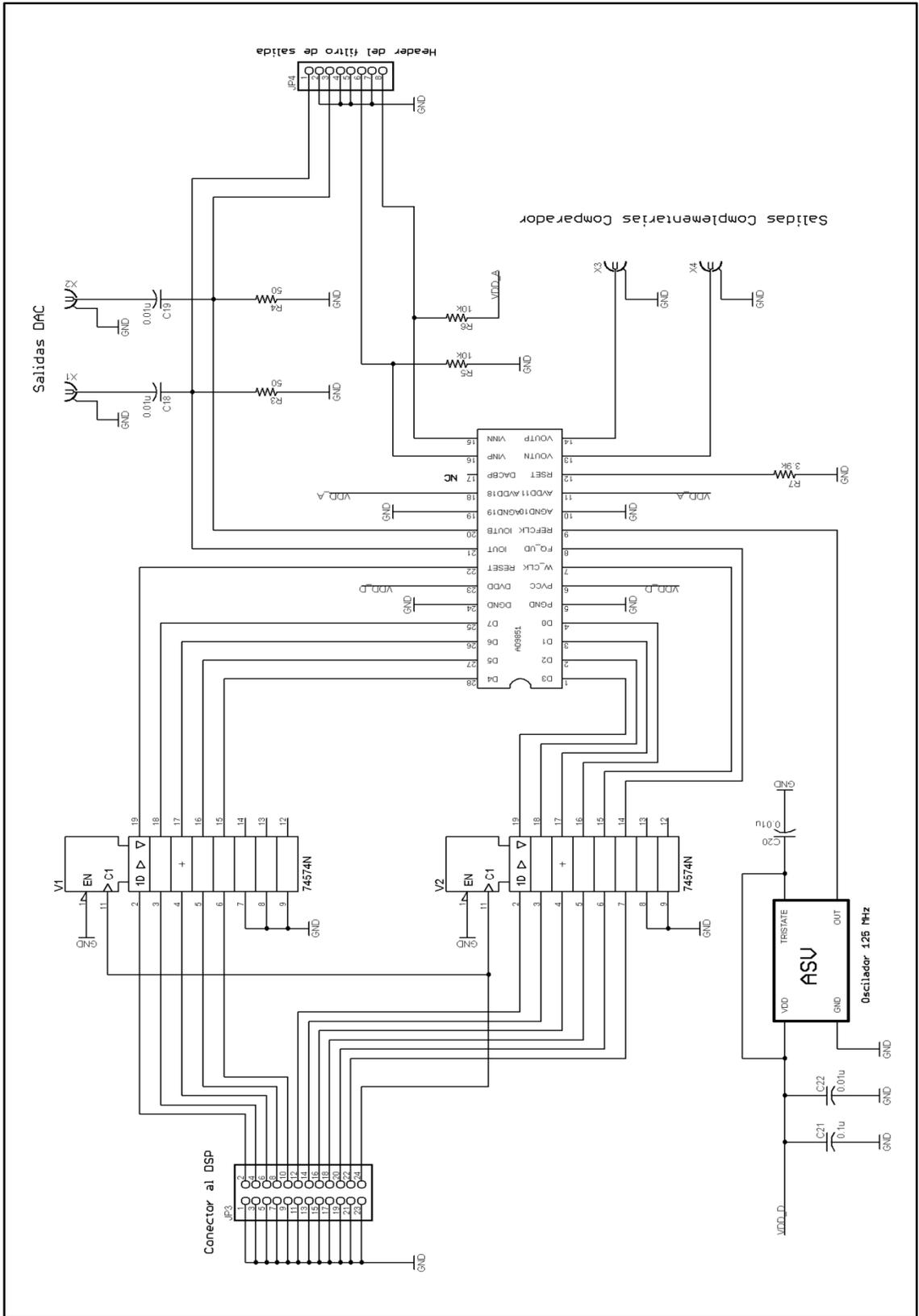
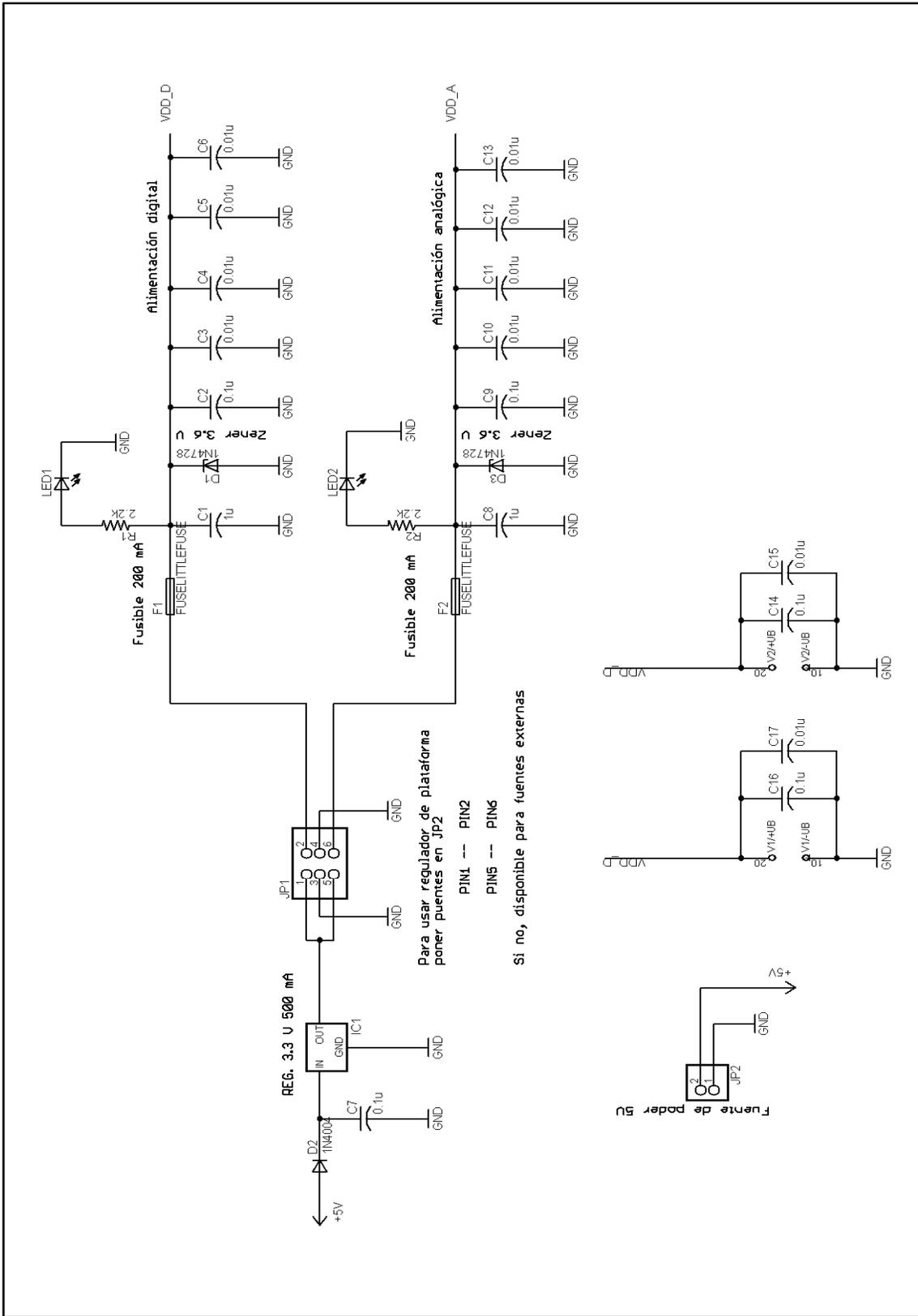


Figura C.3 Módulo DDS AD9851 parte 1



Plataforma C.4 Módulo DDS AD9851 parte 2

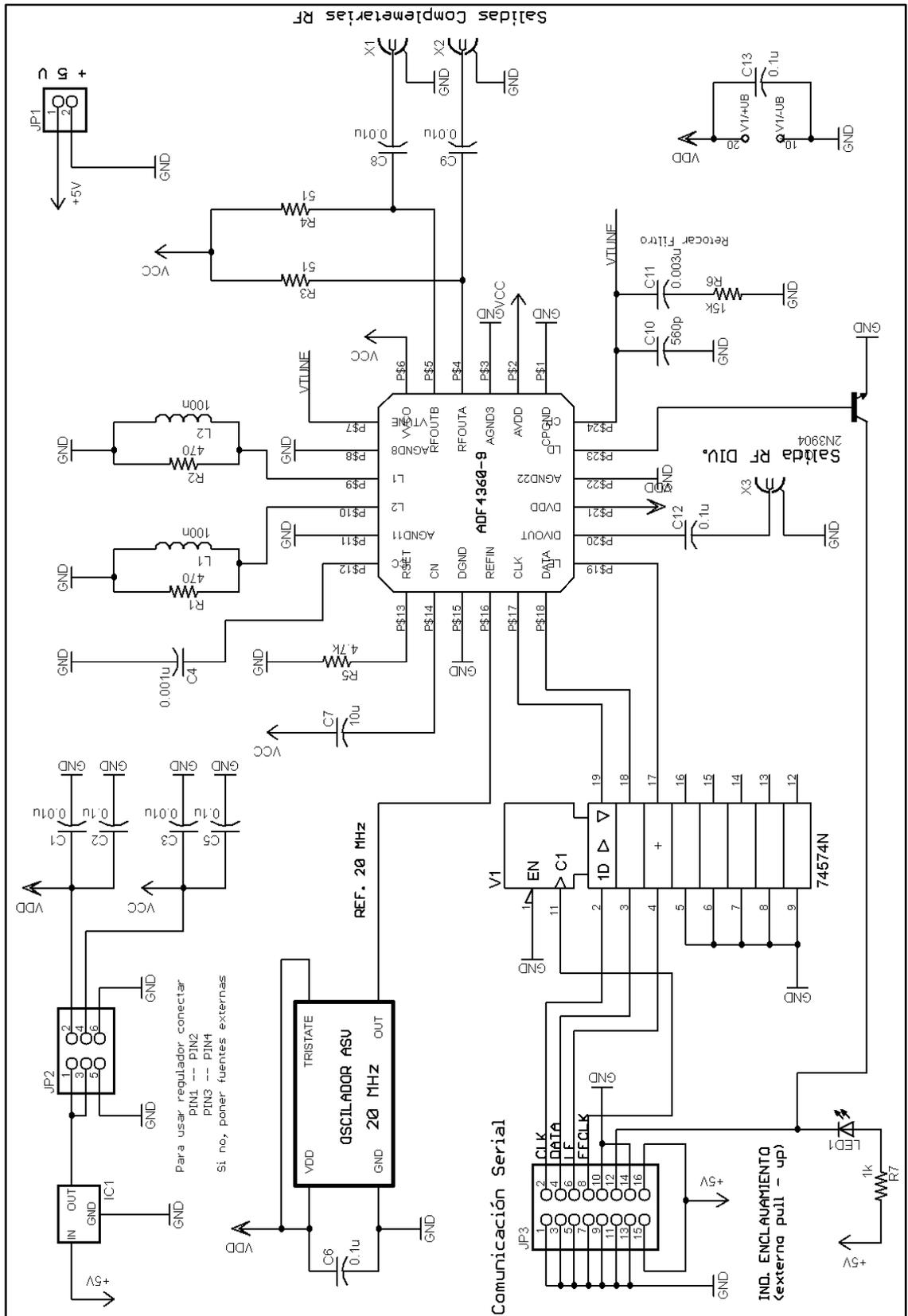


Figura C.5 Módulo PLL basado en ADF4360-9

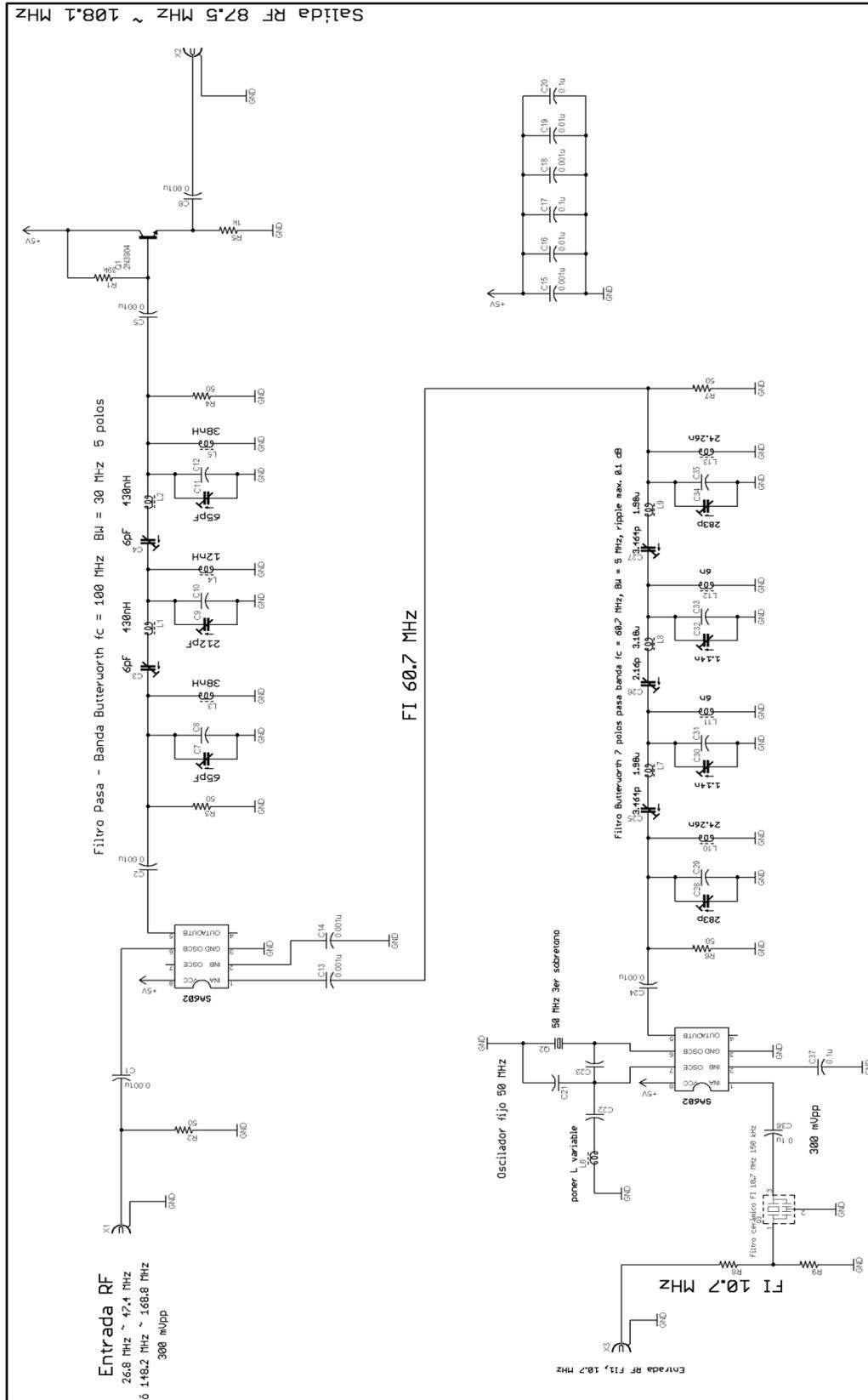


Figura C.6 Mezcladores (esquema referencial)

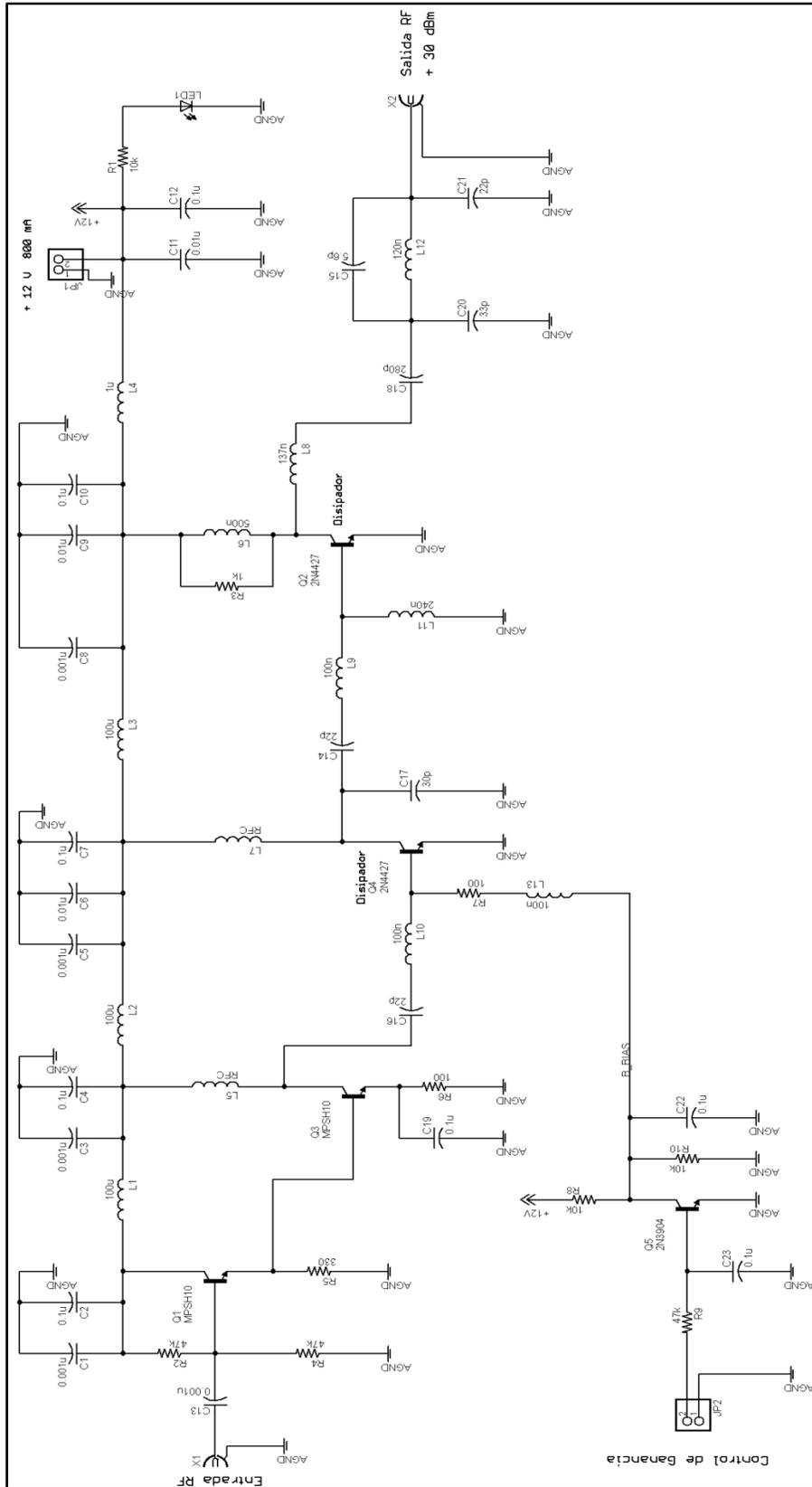


Figura C.7 Driver RF

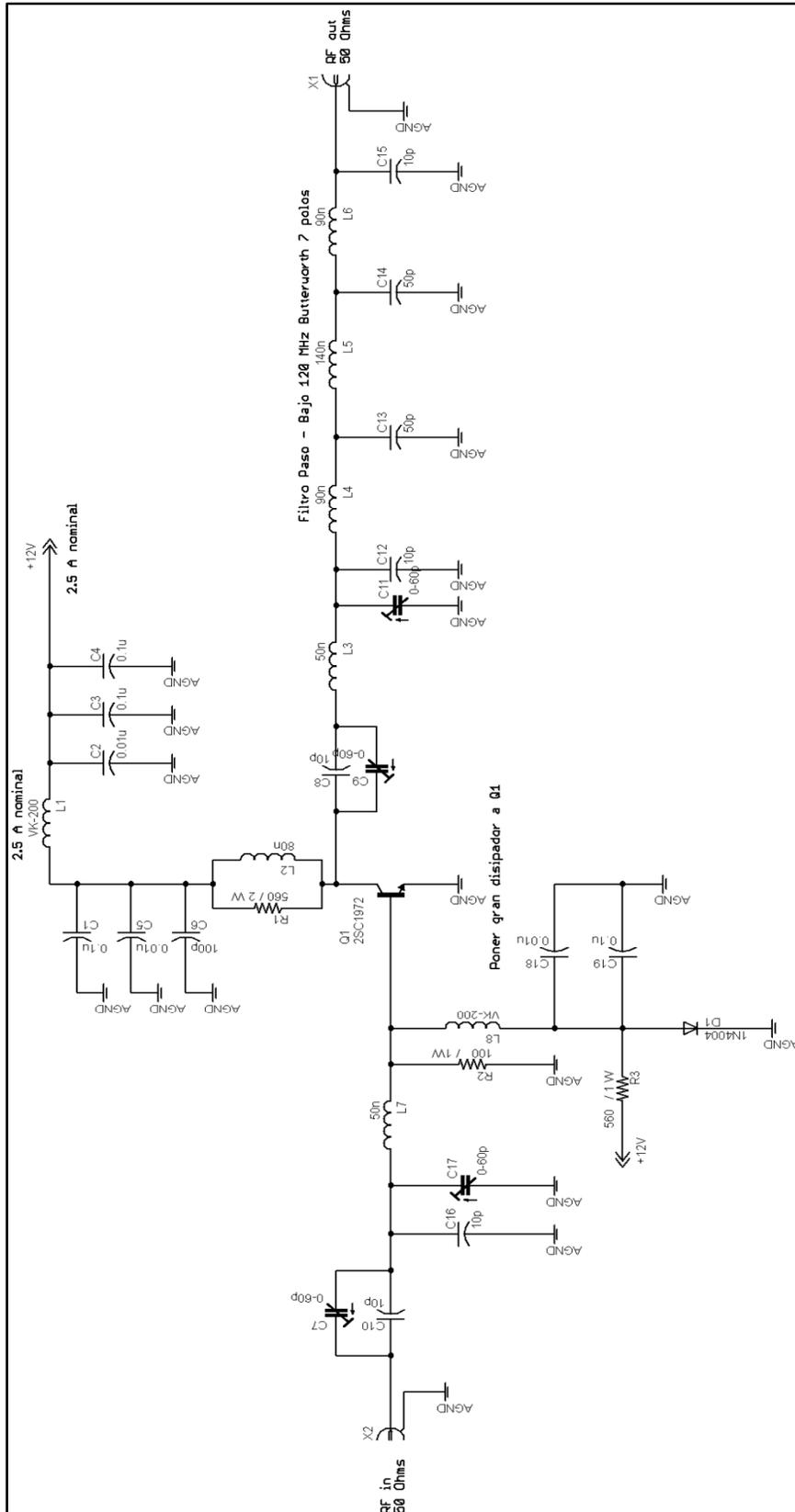


Figura C.8 Amplificador de Potencia RF

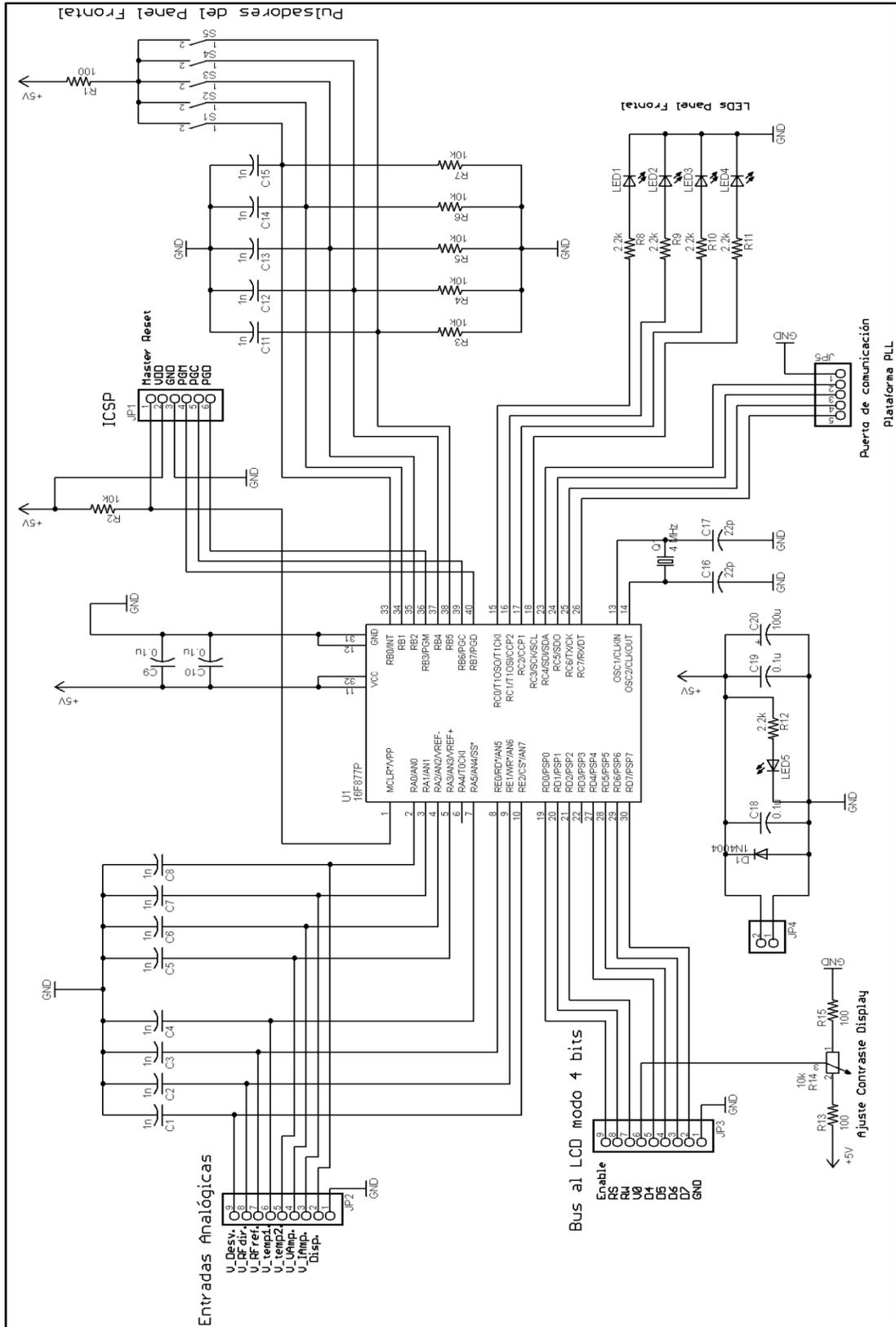


Figura C.10 Control con PIC16F877A

Anexo D

Transmisor implementado

En términos generales, el capítulo 5 señala los logros obtenidos en el presente trabajo de título. La función de este anexo es mostrar el hardware construido hasta el momento, dejando en evidencia el gran avance alcanzado.

Implementadas las etapas de alimentación, control, amplificadores de radiofrecuencia, generador estereofónico de banda base y generador de RF con PLL, ya se está en condiciones de construir un transmisor de frecuencia modulada para radiodifusión.



Figura D.1 Vista exterior del transmisor FM implementado

Cabe destacar que el sintetizador PLL implementado también fue diseñado por el suscrito y no es en base a circuitos integrados especializados como el ADF4360-9, sino que se construyó con lógica TTL, adaptándose a las componentes disponibles en el mercado nacional. El resto de la electrónica corresponde a la diseñada en el contexto del trabajo de título, cambiando sólo el software de control.

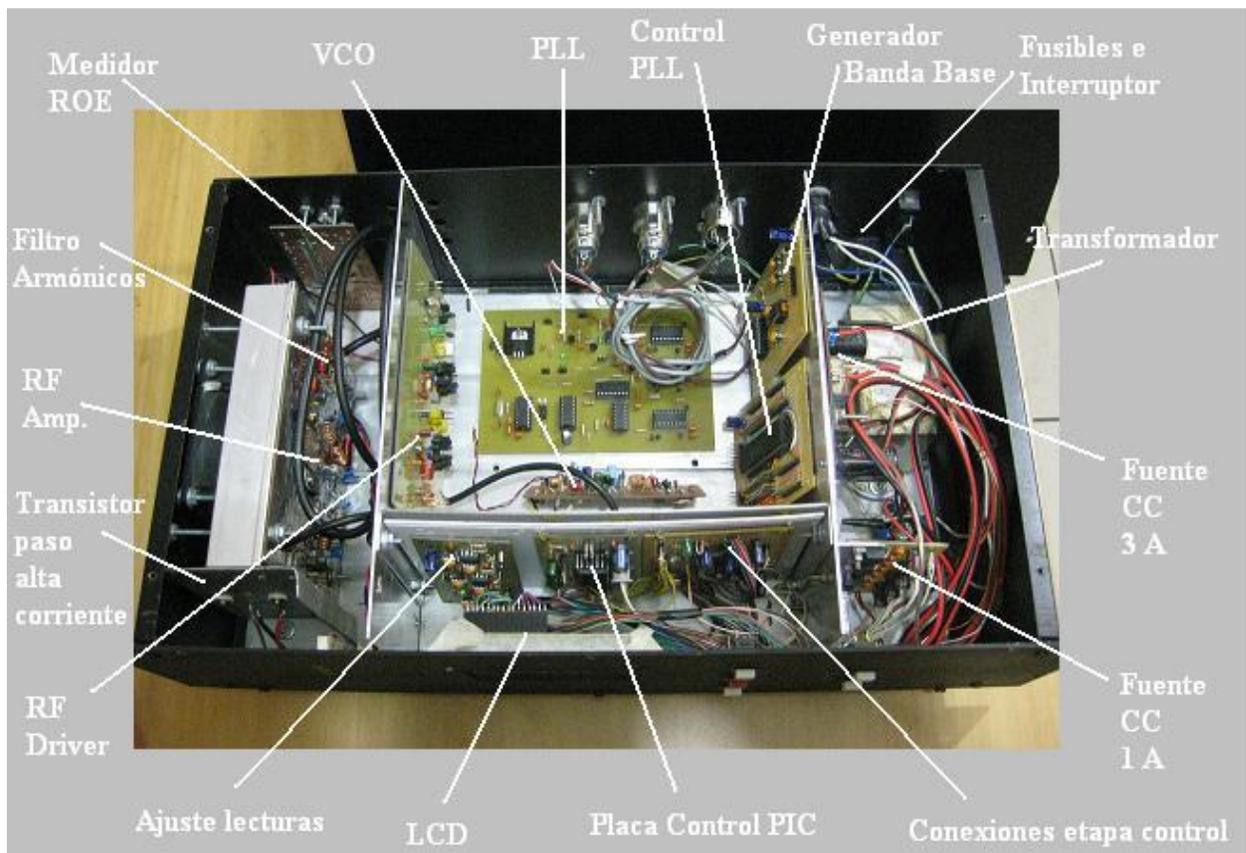


Figura D.2 Vista interior del transmisor previo cableado

En la figura D.1 se tiene una vista exterior del transmisor FM implementado, donde se ha utilizado un PLL también diseñado por el memorista. Funciona de forma adecuada, pero a veces presenta problemas para enclavar la frecuencia de salida, principalmente debido a la poca calidad del circuito impreso. Con un poco de ajuste se tendrá un equipo completamente operativo. Se observa la electrónica contenida en el transmisor en la figura D2.

Para obtener este equipo se debió invertir aproximadamente la cantidad de \$400.000, entre electrónica (la que funciona y la destruida en el intento) y gabinete. Con el resultado obtenido se ha recuperado la inversión, y se cuenta con un nuevo diseño que, luego de realizarse los ajustes y pruebas de rigor, puede hacerse comercial o aprovecharse en proyectos propios de radio.

Anexo E

Glosario

Sigla	Significado
ADC	<i>Analog to Digital Converter</i> Conversor Análogo a Digital.
BLU	Banda Lateral Única.
BPSK	<i>Binary Phase Shift Keying</i> Modulación Binaria por desplazamiento de fase.
CODEC	<i>Coder – Decoder</i> Codificador – Decodificador
DAC	<i>Digital to Analog Converter</i> Conversor Digital a Análogo.
dBc	Decibelio relativo a la portadora (<i>carrier</i>). Indica la cantidad de decibeles a la cual está la variable que se mide por sobre la portadora.
DBL	Doble Banda Lateral.
dBm	Decibelio relativo a milivatio. Unidad de potencia que obedece a la relación: $P [dBm] = 10 \cdot \log(P[mW])$
DDS	<i>Direct Digital Synthesizer</i> Sintetizador Digital Directo.
DSP	<i>Digital Signal Processor</i> Procesador digital de señales.
EMI	<i>Electromagnetic Intereference</i> Interferencia electromagnética.

FI	Frecuencia Intermedia.
FM	Frecuencia Modulada.
FPGA	<i>Field Programmable Gate Array</i> Dispositivo cuya interconexión de la lógica interna se puede programar mediante lenguaje de alto nivel.
GPIO	<i>General Purpose Input Output</i> Entradas – Salidas de uso general.
HF	<i>High Frequency</i> Alta frecuencia. Parte del espectro electromagnético que comprende las frecuencias entre 3 MHz y 30 MHz.
LF	<i>Low Frequency</i> Baja Frecuencia. Parte del espectro electromagnético que comprende frecuencias entre 30 kHz y 300 kHz.
MPX	Señal que contiene la banda base.
NCO	<i>Numeric Controlled Oscillator</i> Oscilador numérico controlado.
PCB	<i>Printed Circuit Board</i> Circuito Impreso.
PLL	<i>Phase Loop Locked</i> Lazo enclavado de fase.
RDS	<i>Radio Data System</i> Sistema de transmisión de datos digitales en la banda base de radiodifusión en frecuencia modulada.
RF	Radiofrecuencia.
R.O.E.	<p>Relación de Onda Estacionaria. Indicador de la relación entre potencias directa y reflejada entre transmisor y carga.</p> $R. O. E. = \frac{V_{directo} + V_{reflejado}}{V_{directo} - V_{reflejado}}$ <p>Donde los voltajes indicados corresponden a los valores máximos respectivos.</p> <p>En caso de estar las impedancias del sistema radiante adaptadas, la R.O.E. es 1, y la potencia reflejada es nula. A medida que crece la desadaptación, aumenta la potencia reflejada y la R.O.E.</p>

SAW	<i>Surface Acoustic Wave</i> Tecnología utilizada en la elaboración de filtros de alta precisión y resonadores de radiofrecuencia.
SCA	<i>Subsidiary Communications Authority</i> Servicio ofrecido como subportadora de audio en baja calidad, agregado a la banda base radiodifusión en frecuencia modulada. Se usa principalmente para transmitir comunicados oficiales, por ejemplo, de información de tránsito.
SFDR	<i>Spurious Free Dinamic Range</i> Indica la diferencia en dB entre la potencia de portadora y la espuria de mayor amplitud en un rango de frecuencias determinado.
SNR	<i>Signal to Noise Ratio</i> Relación en dB entre la potencia total de señal y la de ruido. Se realiza en un margen de frecuencia determinado.
THD	<i>Total Harmonic Distortion</i> Distorsión armónica de señal. Se expresa en %.
UHF	<i>Ultra High Frequency</i> Ultra Alta Frecuencia. Parte del espectro electromagnético que comprende frecuencias entre 300 MHz y 3 GHz.
VCO	<i>Voltage Controlled Oscillator</i> Oscilador controlado por voltaje.
VHF	<i>Very High Frequency</i> Muy Alta Frecuencia. Parte del espectro electromagnético que comprende frecuencias entre 30 MHz y 300 MHz.
VLF	<i>Very Low Frequency</i> Muy Baja Frecuencia. Parte del espectro electromagnético que comprende frecuencias entre 10 kHz y 30 kHz.