



UNIVERSIDAD DE CHILE  
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS  
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

## CARACTERIZACIÓN DE TRANSISTORES HEMT EN BANDA Q

MEMORIA PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELÉCTRICO

FRANCISCO JOSÉ NAVARRETE MORENO

SANTIAGO DE CHILE

NOVIEMBRE 2011



UNIVERSIDAD DE CHILE  
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS  
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

## CARACTERIZACIÓN DE TRANSISTORES HEMT EN BANDA Q

MEMORIA PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELÉCTRICO

FRANCISCO JOSÉ NAVARRETE MORENO

PROFESOR GUÍA:

SR. PATRICIO MENA MENA

MIEMBROS DE LA COMISIÓN:

SR. NICOLÁS REYES GUZMÁN

SR. LEONARDO BRONFMAN AGUILO

SANTIAGO DE CHILE

NOVIEMBRE 2011

RESUMEN DE LA MEMORIA  
PARA OPTAR AL TÍTULO DE  
INGENIERO CIVIL ELECTRICISTA  
POR: FRANCISCO NAVARRETE  
FECHA: 10 DE NOVIEMBRE DE 2011  
PROF. GUÍA: SR. PATRICIO MENA MENA

## “DISEÑO Y CONSTRUCCIÓN DE UN AMPLICADOR DE BAJO RUIDO BASADO EN TRANSISTORES DISCRETOS”

Este trabajo de título tiene como objetivo diseñar y construir un sistema de caracterización de transistores HEMT. Este sistema tiene como fin determinar el comportamiento de transistores candidatos a ser utilizados en el diseño de amplificadores de bajo ruido para receptores de antenas radioastronomicas que operen en Banda 1 del proyecto ALMA.

Como parte de este sistema se diseñaron y construyeron dos módulos, un módulo Bias Tee y un sistema de calibración TRL. El módulo Bias Tee permite acoplar, por un mismo canal, la señal proveniente del VNA y la polarización para entregarlas al transistor. El módulo de calibración TRL permite descontar de la medición de parámetros  $S$  del transistor, el efecto del resto de los elementos que forman el sistema de caracterización. Además, se desarrolló un software que a partir de los datos obtenidos del transistor calcula sus parámetros  $S$ .

Al realizar las mediciones del módulo Bias Tee y del sistema de calibración, estas diferían del comportamiento que mostraban las simulaciones. En el caso del Bias Tee se encontró que la mayor parte de la señal incidente en el módulo se refleja. En el caso del sistema de calibración, se genera una calibración exitosa pero altamente sensible a las modificaciones en el montaje, lo que no permite obtener una calibración estable para medir el transistor.

Al analizar los problemas descritos, se identificó que el elemento común en ambos módulos son los conectores 2.4 mm que se utilizan a la entrada y salida de ambos módulos. Se encontró que el montaje de estos conectores no es el más idóneo. Como alternativa, se estudia un diseño alternativo llamado montaje de adaptación. Las simulaciones indican que las reflexiones son menores a  $-20$  dB, lo que representa mejores resultados que el montaje simple.

En conclusión, este trabajo ha permitido identificar problemas no previstos en la caracterización del transistor de prueba. Se espera que al cambiar el método de montaje de los conectores 2.4 mm el sistema diseñado funcione correctamente.

## AGRADECIMIENTOS

A Ana que ha sido mi compañera durante todos estos años.

A toda la gente del grupo de instrumentación, que conforman el mejor equipo de personas en que he tenido el agrado de trabajar. Especialmente a Claudio Jarufe, José Pizarro y Nicolás Reyes por su ayuda y colaboración en la realización de esta memoria. Finalmente a Patricio Mena y Leonardo Bronfman por darme la oportunidad de trabajar en este proyecto.

Este trabajo fue realizado con el apoyo del Centro de Excelencia en Astrofísica y Tecnologías Asociadas (PBF 06), y del fondo ALMA-CONICYT para el desarrollo de la Astronomía Chilena (Proyectos 31080003 y 31080004).

# Índice General

<b>1. Introducción</b>	<b>8</b>
1.1. Antecedentes . . . . .	8
1.1.1. Antecedentes Generales . . . . .	8
1.1.2. Antecedentes Específicos . . . . .	10
1.2. Objetivos . . . . .	12
1.2.1. Objetivos Generales . . . . .	12
1.2.2. Objetivos Específicos . . . . .	12
1.3. Estructura del Informe . . . . .	12
<b>2. Marco Teórico</b>	<b>14</b>
2.1. Conceptos Generales . . . . .	14
2.1.1. Líneas Microcinta . . . . .	14
2.1.2. Parámetros $S$ . . . . .	15
2.1.3. Carta Smith . . . . .	18
2.1.4. Ruido . . . . .	21
2.2. Transistores de Alta Movilidad Electrónica, HEMTs . . . . .	24
2.2.1. Descripción y Funcionamiento . . . . .	24
2.2.2. Modelo equivalente . . . . .	25
2.3. Caracterización de Transistores HEMT . . . . .	28
2.3.1. Obtención De Parámetros Extrínsecos . . . . .	29
2.3.2. Obtención de Parámetros Intrínsecos . . . . .	30
2.4. Calibración TRL . . . . .	32

2.4.1.	Grafos de Flujo de Señales . . . . .	32
2.4.2.	Concepto de Calibración . . . . .	33
2.4.3.	Calibración TRL . . . . .	35
<b>3.</b>	<b>Desarrollo</b>	<b>39</b>
3.1.	Descripción del Sistema de medición . . . . .	39
3.2.	Transistor a Utilizar . . . . .	41
3.3.	Bias Tee . . . . .	41
3.3.1.	Consideraciones de Diseño . . . . .	41
3.3.2.	Diseño del Bias Tee . . . . .	43
3.3.3.	Construcción de Componentes . . . . .	50
3.3.4.	Montaje del bias tee . . . . .	54
3.4.	Sistema de Montaje Acoplado . . . . .	60
3.5.	Bloque del Transistor . . . . .	61
3.6.	Calibración TRL . . . . .	63
3.6.1.	Elección del Plano de Calibración . . . . .	63
3.6.2.	Diseño y construcción de estándares . . . . .	63
3.6.3.	Bloque de Calibración . . . . .	65
3.6.4.	Incorporación de la Calibración al VNA . . . . .	66
3.7.	Protocolo de Pruebas y Procesamiento de Datos . . . . .	67
3.7.1.	Protocolo de Pruebas . . . . .	67
3.7.2.	Procesamiento de Datos . . . . .	68
<b>4.</b>	<b>Resultados y Análisis</b>	<b>69</b>
4.1.	Bias Tee . . . . .	69
4.2.	Calibración TRL . . . . .	72
4.3.	Análisis de conectores 2.4 mm . . . . .	76
<b>5.</b>	<b>Conclusiones</b>	<b>83</b>
	<b>Anexos</b>	<b>86</b>

Glosario	92
Referencias	96

# Capítulo 1

## Introducción

### 1.1. Antecedentes

#### 1.1.1. Antecedentes Generales

La necesidad de conocer más, de ampliar el entendimiento del universo, de no conformarse con lo desconocido, es una de las características más definitorias del ser humano. El hombre no fue capaz de aceptar la simplicidad del ser, si no que se planteó dudas sobre la finalidad de su existencia, sobre como funciona el mundo a su alrededor, sobre las leyes que lo rigen y sobre lo que hay más allá de su entorno inmediato.

A medida que el hombre ganaba más conciencia sobre su entorno, empezó a generar mapas. en un principio fue por motivos prácticos, luego, el motivo cambió. Ya no sólo quería referenciar recursos, como alimentos, agua y minerales, ahora buscaba expandir su mundo, sus conocimientos y su entendimiento. Esto se puede ver en el descubrimiento de América. Si bien los financiamientos y la aceptación mundial de la exploración estuvieron muy motivados por las expectativas de ganancia económica, los primeros hombres, los que encendieron la chispa del viaje, los que querían cambiar los preceptos sobre la morfología terráquea, estos hombres tenían como motivación la más pura y desesperada sed de conocimiento, curiosidad desbordada, que los llevo a promover, impulsar y gestar tales viajes.

Mucho antes que el descubrimiento de América, en el 2000 a. C., Babilonia ya cambiaba



su calendario basado en las temporadas de cosecha a uno mucho más preciso basado en los ciclos lunares, y el movimiento de algunas estrellas durante el año [1]. En la actualidad con la superficie terrestre ampliamente explorada, el hombre centra aun más su atención en espacio exterior, ya no quiere saber sólo donde se encuentran los objetos fuera del planeta, o donde se encuentra el planeta dentro del sistema. Quiere saber de que están compuestos y cómo se formaron, quiere saber si las leyes que rigen dentro del planeta son las mismas que rigen en el universo completo. Una evidencia de aquello es que en este momento se han establecido los proyectos para fabricar los observatorios astronómicos más grandes jamás realizados.

Las técnicas de observación utilizadas en la antigüedad han ido variado, al principio sólo se observaba hacia el cielo, se establecían un conjunto de puntos brillantes como referencia, y se mapeaba los astros referenciados a otros astros, observando que éstas podían ser usadas para orientarse en la Tierra. Con la invención del telescopio en el siglo XVII fue posible observar con más detalle el cielo, ir graduando la separación de estrellas y hacer un registro de sus órbitas. El telescopio fue evolucionando y aumentando de tamaño, hoy en día se tienen grandes construcciones que contienen precisos telescopios con varios espejos operando en conjunto. Las técnicas de observación se han ampliado. En la actualidad no sólo se tienen telescopios ópticos, sino que también, desde 1931, gracias al descubrimiento de Jansky, radiotelescopios, que recibiendo ondas electromagnéticas en radiofrecuencia puede conocer las partículas que las emitieron.

El Atacama Large Milimeter Array (ALMA), es el proyecto más grande de radioastronomía que ha existido y en este momento se construye en la región de Atacama de Chile. Éste consiste en un arreglo de 66 telescopios que trabajaran en conjunto para, por medio de interferometría, obtener mejor resolución.

Las ondas provenientes de los lugares más lejanos del espacio varían significativamente su frecuencia en su viaje a la Tierra, esto se debe al efecto Doppler. Las frecuencias de estas

ondas disminuyen, por lo que se que tienen un alto corrimiento al rojo. En el proyecto ALMA se perciben frecuencias entre 30 y 950 GHz, para poder abarcar todo este ancho de banda, cada antena tiene 10 receptores que se encargan de detectar rangos menores de frecuencia que cubren en conjunto todo la banda. En particular, la llamada banda 1 corresponde a frecuencias entre los 30 y los 45 GHz.

### **1.1.2. Antecedentes Específicos**

El Grupo de Instrumentación Astronómica, perteneciente al Departamento de Ingeniería Eléctrica (DIE) y al Departamento de Astronomía (DAS) de la Facultad de Ciencias Físicas y Matemáticas de la Universidad de Chile, trabaja para proveer al proyecto ALMA de receptores de antenas que capten ondas electromagnéticas en banda 1 (30-45 GHz). Dado que las señales que se captan son de muy baja intensidad, es necesario aplicar varias etapas de amplificación en el receptor para asegurar que la señal no se pierda por el ruido que se produce en la etapa de recepción. Para cumplir con estos objetivos de amplificación, ALMA ha establecido criterios muy estrictos en cuanto al ruido aceptado en estas etapas. Así, los amplificadores de bajo ruido que se encuentran en el mercado no satisfacen todos los requerimientos del proyecto, lo que propende al Grupo de Instrumentación Astronómica a buscar soluciones no comerciales a este problema.

Ante estas condiciones, el Grupo de Instrumentación Astronómica experimenta con un conjunto de soluciones, entre las que se cuentan: realizar pruebas de montaje de amplificadores para reducir el ruido que pueda añadir este proceso, probar distintos tipos de tecnologías de amplificación de bajo ruido utilizando soluciones comerciales avanzadas y fabricar amplificadores de bajo ruido que cumplan con los requerimientos. Dentro de este último enfoque, las dos tareas principales son: encontrar un diseño de amplificador adecuado y encontrar los elementos óptimos para construir el diseño. Dado que el elemento que más influye en el ruido de un amplificador es el transistor, es en estos semiconductores donde está el foco de

diseño. El examinar distintas tecnologías permitirá establecer que tipo de transistores son los más apropiados para los requerimientos, para esto se requiere conocer el modelo de circuito equivalente de cada transistor a utilizar a modo de simular y establecer comparaciones entre distintos dispositivos.

Es imperativo entonces, tener una metodología de caracterización de transistores que permita tener mediciones propias del comportamiento de estos dispositivos. Esto por un lado para no depender de las especificaciones del fabricante y por otro lado para trabajar con transistores que no han sido medidos aún.

Los Transistores de Alta Movilidad Electrónica o HEMT (High Electron Mobility Transistors), son transistores que operan hasta los 100  $GHz$  y su característica principal es su muy bajo ruido, lo que los hace ideales para la fabricación de amplificadores de bajo ruido que puedan cumplir con las especificaciones de ALMA.

En esta memoria se documentará el proceso de diseño y construcción de un sistema de caracterización enfocado en transistores HEMT, acotado entre 30 y 50  $GHz$ . Este sistema estará basado en líneas microcinta montadas en bloques de aluminio, interconectados por cable coaxial. El sistema de caracterización estará compuesto por los siguientes elementos:

- Vector Network Analyser (VNA) para realizar las mediciones.
- Dos filtros Bias Tee que permiten ingresar la señal y la polarización al transistor por un mismo canal.
- Un sistema de calibración TRL que permitirá descontar los errores introducidos al medir el transistor por las etapas que conectan a éste con el VNA, tales como cables, conectores, adaptadores y Bias Tee. Este sistema será utilizado además como bloque donde se montará el transistor.

- Un software que a partir de los parámetros  $S$  obtenidos, calculara el modelo equivalente del transistor.

## 1.2. Objetivos

### 1.2.1. Objetivos Generales

- Probar distintos amplificadores que puedan ser utilizados en el receptor.
- Construir un amplificador basado en tecnología HEMT que pueda ser utilizado en el receptor.
- Examinar distintos transistores HEMT, y comprobar la factibilidad de utilizarlos para fabricar el amplificador mencionado.

### 1.2.2. Objetivos Específicos

- Caracterizar distintos transistores HEMT.
- Establecer y construir un método de pruebas, y desarrollo de datos que permita caracterizar transistores HEMT.
  - Establecer protocolo de pruebas.
  - Diseñar y construir infraestructura de pruebas.
  - Diseñar y construir filtros Bias Tee que permitan juntar la polarización proveniente de la fuente y las señales pequeñas provenientes del VNA para que lleguen al transistor por el mismo canal Microcinta.
  - Realizar un programa en MATLAB que procese los datos de las pruebas y entregue el circuito equivalente del transistor medido.

## 1.3. Estructura del Informe

Luego de esta introducción, el capítulo 2 explica los conceptos más importantes utilizados en el documento, al tiempo que expone la teoría detrás del sistema de calibración. El capítulo

3 se encarga de detallar el proceso de diseño y construcción de cada uno de los elementos del sistema. El capítulo 4 muestra los resultados obtenidos. Finalmente, el capítulo 5 expone las conclusiones del trabajo realizado, discutiendo los temas que quedaron inconclusos, que pueden ser mejorados, y las líneas de trabajo futuras.

# Capítulo 2

## Marco Teórico

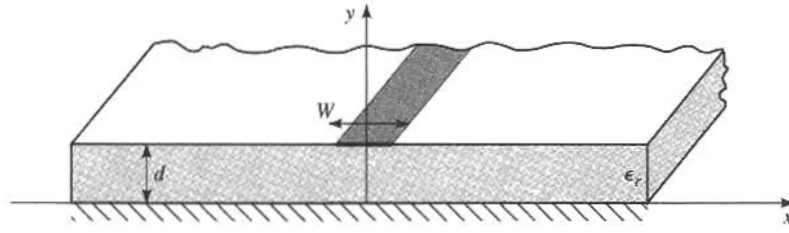
En esta sección se explican los principales conceptos utilizados en la memoria. En particular se describen los transistores HEMT, sus características, su modelo de circuito equivalente y cómo caracterizarlos. También se explica la calibración TRL, y se mencionan conceptos generales como líneas microcinta, parámetros  $S$ , carta Smith y ruido en sistemas de recepción. La información contenida en este capítulo fue extraída de [2] a [7].

### 2.1. Conceptos Generales

#### 2.1.1. Líneas Microcinta

La línea microcinta es una de las líneas de transmisión plana más utilizadas, básicamente por que es fácil de fabricar usando fotolitografía a la vez que es fácil de integrar con otros elementos microondas. Como se puede ver en la figura 2.1, una línea microcinta está compuesta por un conductor de ancho  $W$  impreso en un dieléctrico delgado de altura  $d$ . La superficie contraria a donde se ubica el conductor en el dieléctrico está cubierta por una placa metálica que constituye la tierra.

Si bien la mayoría de las líneas de campo en una línea microcinta se concentran en el dieléctrico, como se ve en la figura 2.2, algunas utilizan el aire como medio. Dado que ambos medios tiene distintas velocidades de fase, no se puede formar un modo TEM en esta geometría. El comportamiento es, de hecho, un híbrido TM-TE pero dado que el dieléctrico



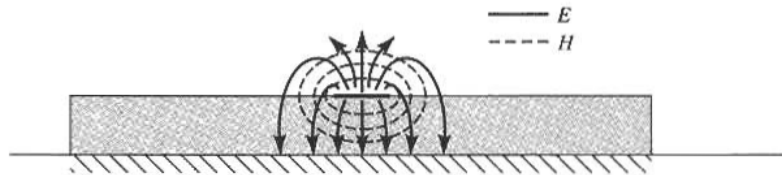
**Figura 2.1:** Geometría Línea Microcinta[2].

es muy delgado, se comporta como un modo cuasi-TEM. Así la velocidad de fase  $v_p$  y la constante de propagación  $\beta$  se pueden expresar de la siguiente manera [2],

$$v_p = \frac{C}{\sqrt{\epsilon_e}} \quad (2.1)$$

$$\beta = K_0 \sqrt{\epsilon_e} \quad (2.2)$$

donde  $K_0 = 2\pi f/C$ , con  $f$  la frecuencia y  $C$  la velocidad de la luz.



**Figura 2.2:** Campos en Línea Microcinta [2].

### 2.1.2. Parámetros $S$

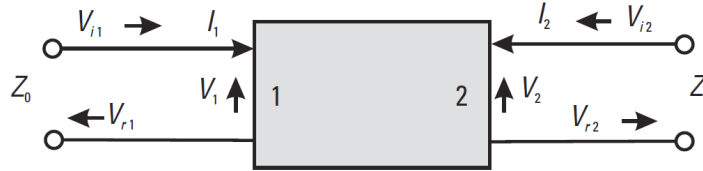
Los parámetros  $S$  o parámetros de scattering (dispersión), son una forma de representar un circuito en términos de que cantidad de una señal se dispersa cuando incide en el circuito. La representación de un circuito en parámetros  $S$  se llama matriz de scattering o matriz  $S$ . La figura 2.3 representa un circuito de dos puertos, donde  $V_{i1}$  y  $V_{r1}$  representan respectivamente, los voltajes de las ondas incidente y reflejada en el puerto 1, y  $V_{i2}$  y  $V_{r2}$ , los voltajes de las

ondas incidente y reflejada en el puerto 2. La matriz  $S$  de este circuito de dos puertos quedara dada por,

$$S = \begin{bmatrix} V_{r1} \\ V_{r2} \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} V_{i1} \\ V_{i2} \end{bmatrix} \quad (2.3)$$

Donde cada elemento especifico de la matriz se determina como

$$S_{xy} = \left. \frac{V_{rx}}{V_{iy}} \right|_{V_{ix}=0} \quad (2.4)$$



**Figura 2.3:** Circuito de dos puertos con ondas incidentes y reflejadas [3].

Lo que significa que  $S_{xy}$  es determinado haciendo incidir en el puerto  $y$ , una onda de voltaje  $V_{iy}$ , y midiendo la amplitud de la onda reflejada,  $V_{rx}$ , que sale por el puerto  $x$ . La condición de que la onda incidente en el puerto  $x$  sea cero implica que este puerto está conectado a una carga perfectamente adaptada.

Existen dos parámetros para dar cuenta de las reflexiones y transmisiones de ondas ante una discontinuidad en un circuito, los coeficientes de reflexión  $\Gamma$  y transmisión  $T$ . El primero esta dado por,

$$\Gamma = \frac{v_r}{v_i} \quad (2.5)$$



donde  $v_i$  es la onda incidente a la discontinuidad y  $v_r$  es la onda reflejada. El coeficiente de transmisión está dado por,

$$T = 1 + \Gamma \quad (2.6)$$

Estos coeficientes se pueden representar en términos de impedancia como,

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (2.7)$$

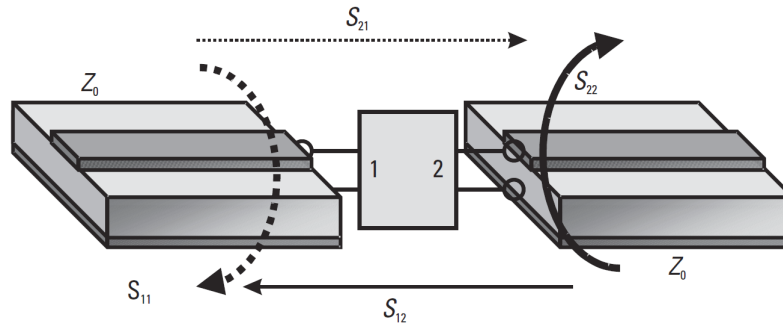
y

$$T = \frac{2Z_L}{Z_L + Z_0} \quad (2.8)$$

donde  $Z_0$  es la impedancia del circuito por donde viene la onda que incide en la discontinuidad, y  $Z_L$  es la impedancia del circuito después de la discontinuidad.

Los elementos de la matriz  $S$  tienen significado físico: se puede ver de las ecuaciones 2.4 y 2.5, que  $S_{xx}$  corresponde al coeficiente de reflexión en el puerto  $x$ , y se puede deducir, incluyendo la ecuación 2.6, que  $S_{xy}$  corresponde al coeficiente de transmisión del puerto  $y$  al puerto  $x$ . Ésto se puede ver en el circuito de la figura 2.4.

Existen otros parámetros para representar un circuito, entre estos se encuentran los parámetros  $Y$ , los parámetros  $Z$  y los parámetros  $H$ , que representan al circuito en términos de admitancia, impedancia y una mezcla entre ambas respectivamente, también están los



**Figura 2.4:** Significado físico de parámetros  $S$  [3].

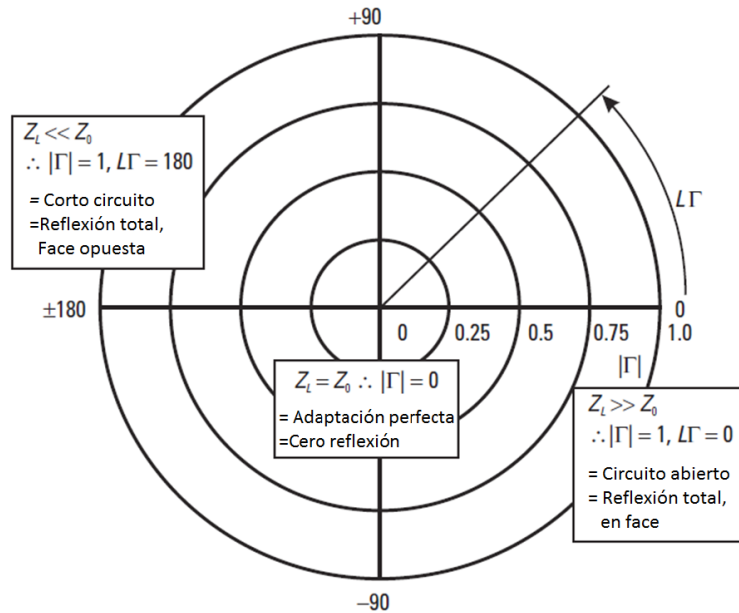
parámetros  $abcd$  que están estrechamente relacionados con los parámetros  $S$ . Estos parámetros pueden escribirse en matrices de  $n \times n$ , para redes de  $n$  puertos, de la misma forma que los parámetros  $S$ . La representación de un circuito es equivalente entre las distintas matrices, de manera que existen transformaciones para pasar de una representación a otra. Las matrices, definiciones de parámetros y transformación entre distintos tipos de representaciones se pueden encontrar en [4].

### 2.1.3. Carta Smith

La carta Smith es un método gráfico que sirve no sólo para representar impedancias y coeficientes de reflexión, sino también para transformar gráficamente entre éstos. Su característica principal es ser capaz de mostrar todos los posibles coeficientes de reflexión, impedancias y admitancias de un circuito pasivo en un gráfico finito.

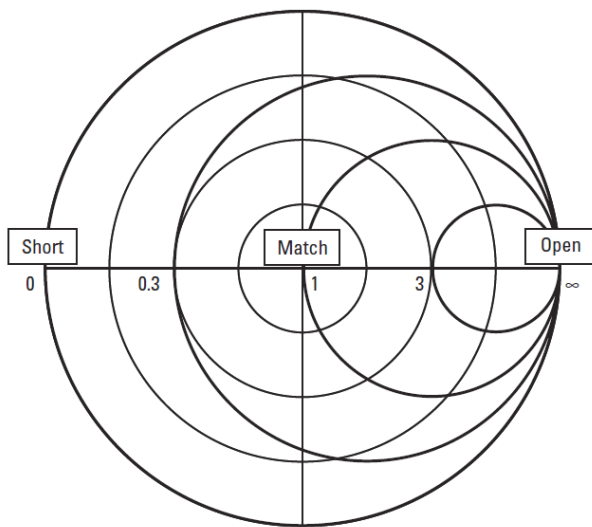
El coeficiente de reflexión  $\Gamma$  es un valor complejo que puede ser representado en un gráfico polar, como muestra la figura 2.5. Se puede ver de la ecuación 2.7, interpretando como  $Z_L$  como la impedancia de una carga acoplada a una línea de impedancia  $Z_0$ , que si la carga se adapta totalmente a la línea,  $\Gamma$  será cero, por lo que se tendrá un punto en el centro de la carta Smith para representar a  $Z_L$ . Si la carga es un cortocircuito entonces  $\Gamma$  será  $+1$ , y se tendrá un punto dibujado al extremo izquierdo del gráfico. Finalmente, si la carga es

un circuito abierto,  $\Gamma$  sera  $-1$ , y se tendrá un punto en el extremo derecho. De esta forma se puede ver que la carta Smith es un gráfico acotado para representar impedancias. Cada circuito concéntrico representa líneas de igual magnitud de coeficiente de reflexión.

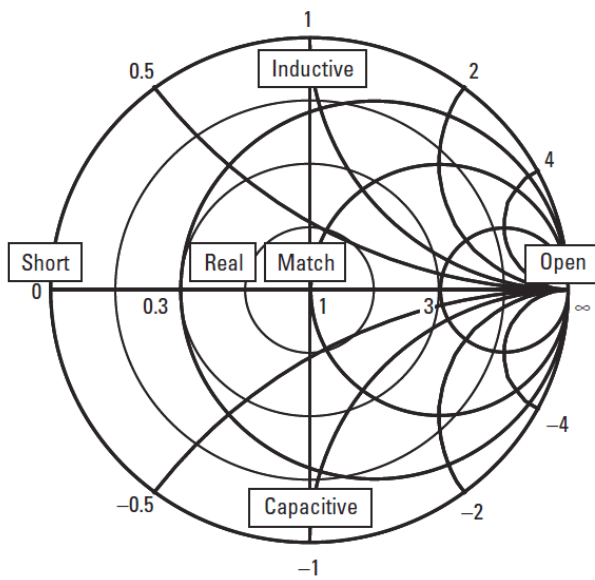


**Figura 2.5:** Gráfico Polar con coeficiente de reflexión para corto circuito, adaptación perfecta y circuito abierto [3].

La carta Smith contiene además círculos de igual resistencia normalizada, que tienen un lado adyacente al extremo derecho del diagrama Smith como se puede ver en la figura 2.6. De la misma forma se pueden graficar círculos de igual admitancia que serán adyacentes al lado izquierdo de la carta Smith. En la figura 2.7 se puede ver una carta Smith estándar que incluye las líneas de igual reactancia, que van desde los bordes del diagrama hacia el punto de circuito abierto, al lado derecho de la carta [3].



**Figura 2.6:** Carta Smith círculos de igual resistencia [3].



**Figura 2.7:** Carta Smith estándar [3].

## 2.1.4. Ruido

El ruido afecta de manera significativa los sistemas de recepción en microondas, definiendo el nivel más débil de señal que podrá ser capturado. Hay dos fuentes de ruido en un sistema de recepción, el ruido captado por la antena y el ruido intrínseco del circuito receptor. El primero se compone por todas las fuentes de ruido que llegan a la antena junto con la señal de interés, tales como los astros cercanos como el Sol y la Luna, las distintas capas de la atmósfera terrestre y tormentas cósmicas entre otras. El ruido intrínseco de un circuito se debe al movimiento aleatorio de electrones en un material debido a la temperatura física en que se encuentra éste. El ruido que ingresa por la antena se amplifica en la misma proporción que la señal de interés al pasar por el circuito receptor, por lo que la relación señal ruido de la antena no puede ser modificada por el receptor. La mejor forma de tratarlo es haciendo un diseño eficiente de antena y eligiendo un buen lugar donde colocarla. El ruido intrínseco del circuito receptor se suma al ruido de entrada deteriorando la relación señal-ruido dentro del receptor. La forma de tratarlo es utilizando en la primera etapa de recepción un amplificador de bajo ruido.

### Potencia de Ruido

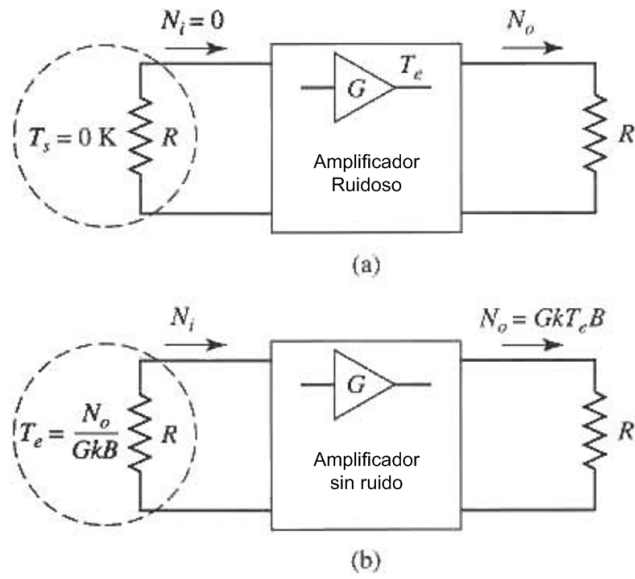
La potencia de ruido efectiva  $n$  [W] generada por un dispositivo es directamente proporcional a la temperatura física  $T$  [K] y el ancho de banda de ruido considerado  $B_n$  [Hz] como,

$$n = kTB_n[W] \quad (2.9)$$

En el caso que el elemento aplique una amplificación o disipación de la señal de entrada a la salida, esta formula cambia a

$$n = GkTB_n[W] \quad (2.10)$$

donde  $G$  representa la ganancia o pérdida del elemento,  $k = 1,379 \times 10^{-23}$  [W/HzK] es la



**Figura 2.8:** Ruido equivalente de un dispositivo de ganancia  $G$ . (a) Dispositivo ruidoso. (b) Dispositivo sin ruido [2].

constante de boltzmann.

### Temperatura de Ruido Equivalente

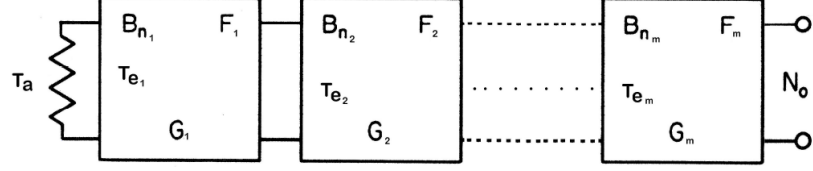
Supongamos un componente ruidoso que genera una potencia de ruido  $N_0$  a su salida, como el que se ve en la figura 2.8 (a). Éste se puede representar como un elemento ideal, es decir, sin ruido. Para ésto se define una temperatura de ruido equivalente  $T_e$ , que aplicada a la resistencia de fuente a la entrada del dispositivo ideal, genera la misma potencia de ruido  $N_0$  a la salida de éste, como se ve en la figura 2.8 (b).  $T_e$  esta dada por,

$$T_e = \frac{N_0}{GkB} [K] \quad (2.11)$$

### Ruido en Circuito en Cascada

Si la entrada de un dispositivo ruidoso de temperatura de ruido equivalente  $T_e$  y ganancia  $G$ , esta conectada a una fuente de ruido con temperatura de ruido equivalente  $T_{in}$ , la potencia de ruido a la salida estará dada por,

$$n = GkT_{in}B + GkT_eB[W] \quad (2.12)$$



**Figura 2.9:** Ruido en circuito receptor formado por elementos ruidosos en cascada.

Ahora se analizará un circuito formado por elementos en cascada, con una fuente de ruido conectada a la entrada, tomando como ejemplo un sistema de recepción. En este caso el circuito en cascada representa el circuito receptor y la fuente de ruido a la entrada representa el ruido proveniente de la antena. Este circuito se ve en la figura 2.9, donde  $T_a$  es la temperatura equivalente de ruido de la antena a la entrada del circuito receptor,  $G_i$  es la ganancia de la etapa  $i$  y  $T_{e_i}$  es la temperatura de ruido equivalente de la etapa  $i$ . El ruido a la salida del sistema  $N_0$  esta dado por,

$$N_0 = k \prod_{i=1}^m G_i T_e \quad (2.13)$$

donde  $T_e$  representa la temperatura de ruido equivalente del sistema completo dado por,

$$T_e = T_a + T_r \quad (2.14)$$

donde  $T_r$  representa la temperatura de ruido del circuito receptor dado por,

$$T_r = T_{e_1} + \frac{T_{e_2}}{G_1} + \frac{T_{e_3}}{G_1 G_2} + \dots + \frac{T_{e_m}}{\prod_{i=1}^{m-1} G_i} \quad (2.15)$$

Como se puede ver en las ecuaciones 2.14 y 2.15, la temperatura equivalente del sistema esta dada principalmente por el ruido de la antena y el ruido intrínseco de la primera etapa

del circuito receptor, ya que el ruido de la segunda etapa se ve disminuido por la ganancia de la primera etapa, y el ruido de la tercera etapa se ve disminuido por las ganancias de la primera y segunda etapa. De este modo, los mejores esfuerzos en diseñar una etapa de buena ganancia y bajo ruido deben estar enfocados en la primera etapa, donde se obtendrá un beneficio mayor, mientras que las ultimas etapas no son preponderantes en el ruido del sistema [2].

## 2.2. Transistores de Alta Movilidad Electrónica, HEMTs

### 2.2.1. Descripción y Funcionamiento

El transistor de alta movilidad electrónica o HEMT (high electron-mobility transistor) es una tecnología de transistores desarrollada para operar con longitudes de onda milimétricas. Sus características principales son operar a alta frecuencia, hasta el orden de 100 GHz con bajo ruido y hasta los 300 GHz en general, por lo que es muy utilizado en LNAs (Low Noise Amplifiers). Su funcionamiento esta basado en el Transistor de Efecto de Campo o FET (Field Effect Transistor). La diferencia entre ambos es que el canal de conducción en vez de formarse en el substrato, se forma entre dos capas de material con distinta banda prohibida (bandgap). Ambos materiales forman una heterounión (heterojunction), por lo que estos transistores son también llamados HFET (Heterostructure FET). En la figura 2.10 se puede ver como se estructura un HEMT.

Al tener  $n^-$  AlGaAs un bandgap mayor a GaAs, se produce un pozo cuántico (Quantum Well) en la banda de conducción de la heterounión. Los electrones de  $n^-$  AlGaAs se difunden en el pozo cuántico generando un gas de dos dimensiones confinado en la juntura. En este gas los electrones tiene gran movilidad, lo que provoca que al ser utilizado como canal, el gas produce un transistor de alta frecuencia y muy bajo ruido.

La generacion de este gas se debe al principio de dopaje modulado (Modulation Doping Principle), donde las cargas libres de una región altamente dopada se difunden en una región



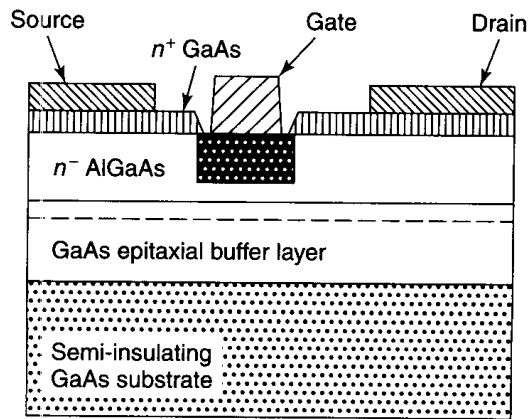


Figura 2.10: Diagrama del Transistor HEMT [5].

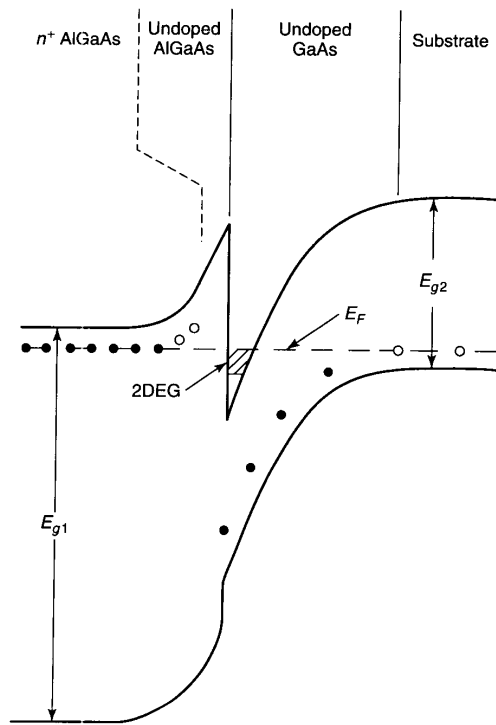
menormente dopada. Dado que para dopar una región es necesario introducir impurezas, una región menormente dopada tendrá menor cantidad de impurezas. De esta manera los electrones serán capaces de moverse con gran libertad debido al menor efecto de dispersión que genera una menor cantidad de impurezas. En la figura 2.11 se puede ver como se forma el gas en dos dimensiones entre los dos materiales en un transistor HEMT, donde 2DEG representa al gas de dos grados de libertad [2], [5].

### 2.2.2. Modelo equivalente

Los parámetros del modelo equivalente de pequeña señal de un transistor, pueden ser divididos en dos grupos, los extrínsecos y los intrínsecos. En la figura 2.12 se pueden ver estos parámetros representados sobre el dispositivo físico, mientras que en la figura 2.13 se puede ver el modelo con mayor claridad.

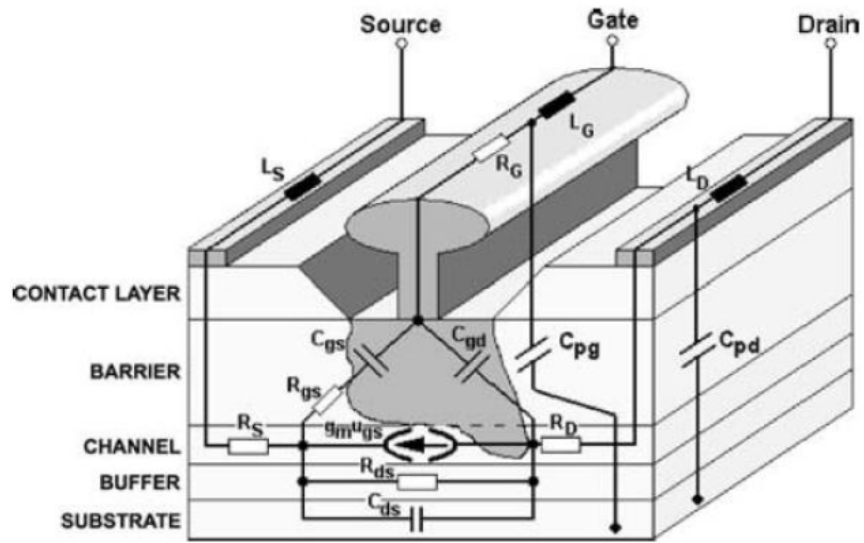
Los parámetros extrínsecos son independientes de la polarización del dispositivo, y dan cuenta de los fenómenos físicos que se manifiestan en las capas más externas del transistor. Éstos se describen a continuación.

- Inductancias parasitarias.



**Figura 2.11:** Principio de Modulación de Dopaje en HEMT [5].

- $L_s$ , representa el efecto inductivo que se produce en el contacto metálico de la fuente.
  - $L_g$ , representa el efecto inductivo que se produce en el contacto metálico de la compuerta.
  - $L_d$ , representa el efecto inductivo que se produce en el contacto metálico del drenaje.
- Resistencias parasitarias.
- $R_s$ , representa las pérdidas resistivas que se producen en el contacto óhmico de la fuente.
  - $R_d$ , representa las pérdidas resistivas que se producen en el contacto óhmico del drenaje.
  - $R_g$ , representa las pérdidas resistivas que se producen en el contacto metálico de



**Figura 2.12:** Circuito equivalente de pequeña señal de un HEMT representado sobre el dispositivo físico [6].

la compuerta.

- $C_{pg}$ , representa la capacitancia que se produce entre la compuerta y la tierra.
- $C_{pd}$ , representa la capacitancia que se produce entre el drenaje y la tierra.

Los parámetros intrínsecos dan cuenta de los fenómenos físicos en el interior del transistor, por lo que están ligados con el funcionamiento de éste, siendo dependientes de la polarización del dispositivo. A continuación se da una descripción de estos parámetros.

- Capacitancias intrínsecas.
  - $C_{gs}$ , representa la capacitancia entre la compuerta y la fuente.
  - $C_{gd}$ , representa la capacitancia entre la compuerta y el drenaje.
  - $C_{ds}$ , representa la capacitancia entre el drenaje y la fuente.

- Transconductancia

La transconductancia establece una relación entre la corriente de drenaje  $I_D$  y el voltaje en la compuerta  $V_{gs}$ . La relación está dada por,

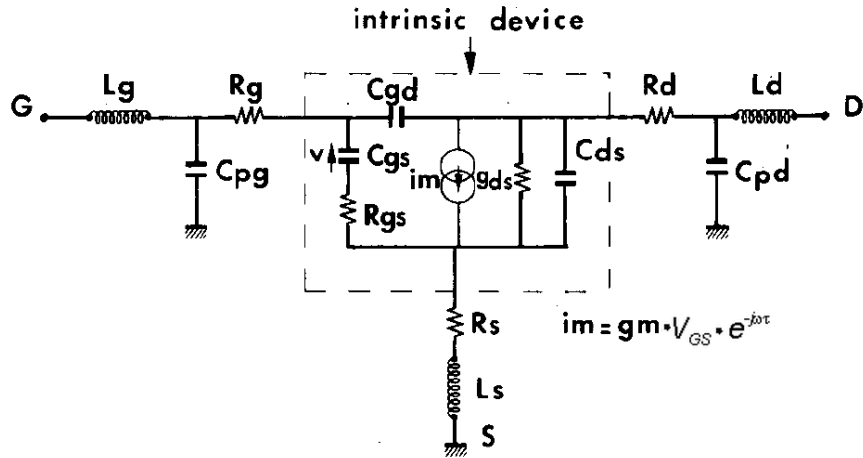


Figura 2.13: Circuito equivalente de pequeña señal del transistor HEMT [7].

$$I_D = g_m e^{-j\omega\tau} V_g \quad (2.16)$$

- $g_m$ , es la amplitud de la transconductancia.
- $\tau$ , es el desfase de la transconductancia, dado por que la corriente no responde inmediatamente a los cambios de voltaje en la compuerta.
- $R_{gs}$  de cuestionable representación física fue introducido para mejorar el modelo dado los valores de  $S_{11}$ .

la información de esta sección fue obtenida de [7] y [8].

### 2.3. Caracterización de Transistores HEMT

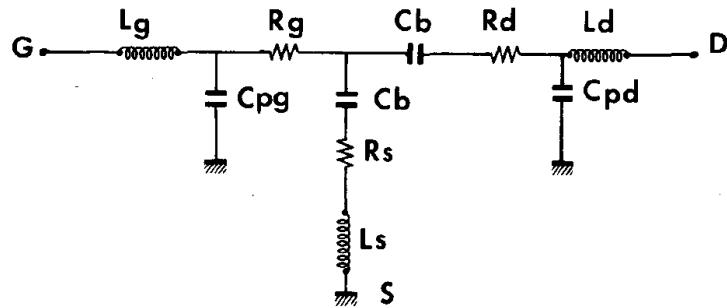
Existen diferentes métodos para obtener el modelo equivalente de señal pequeña de un transistor HEMT. El utilizado en este trabajo esta basado en [7], que consiste en medir los parámetros  $S$  del transistor bajo la condición  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$ <sup>1</sup> para de ahí extraer

<sup>1</sup> $V_{pinchoff}$  es el mínimo voltaje al que debe estar  $V_{gs}$  para que el transistor empiece a operar

los parámetros extrínsecos, aprovechando su independencia de la polarización. Luego estos parámetros son excluidos de la matriz  $S$  medida bajo polarización operacional, mediante un calculo de de-embed para que ésta represente sólo al modelo intrínseco.

Al medir un circuito y obtener su comportamiento (parámetros  $S$ ), se puede obtener también el comportamiento de un subcircuito de éste. Para esto es necesario conocer el comportamiento del resto de los elementos que componen el circuito medido, para luego eliminar los efectos de cada uno sobre la matriz  $S$  medida, de modo que la matriz  $S$  obtenida tras esta operación represente solo los efectos del subcircuito que se quiere obtener. Este proceso se llama de-embed, y es muy útil para obtener el comportamiento de circuitos que no pueden ser medidos directamente, sino que deben estar conectados al sistema de medición por medio de otros elementos.

### 2.3.1. Obtención De Parámetros Extrínsecos



**Figura 2.14:** Circuito equivalente de pequeña señal del transistor HEMT a  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$  [7].

En la figura 2.14 se puede ver el modelo equivalente del transistor bajo condiciones de  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$ , donde  $Z_{ij}$  esta representada por,

$$Z_{11} = R_s + R_g + \frac{R_c}{3} + \frac{nkT}{qI_g} + j\omega(L_s + L_g) \quad (2.17)$$

$$Z_{12} = Z_{21} = R_s + R_c/2 + j\omega L_s \quad (2.18)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d) \quad (2.19)$$

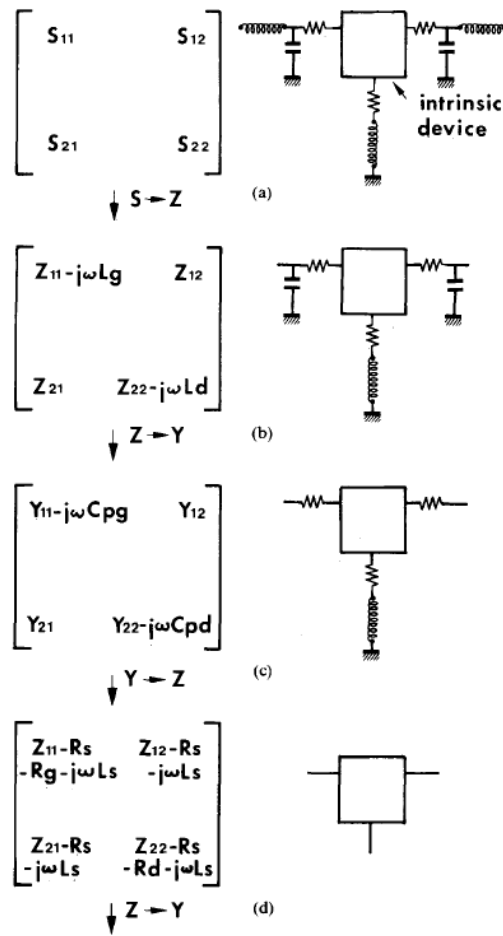
donde  $R_c$  es la resistencia de canal bajo la *compuerta*,  $n$  es el factor de idealidad,  $k$  la constante de Boltzmann,  $T$  la temperatura e  $I_g$  la corriente de la *compuerta*.

De las expresiones anteriores se puede ver que la parte real de  $Z$  es independiente de la frecuencia, mientras que la parte imaginaria varía linealmente con esta. Luego se pueden obtener los parámetros resistivos aplicando la parte real a las expresiones anteriores, y los inductivos aplicando parte imaginaria a estas.

Para obtener los valores de resistencias del circuito equivalente se debe medir  $I_g$ , y realizar el gráfico  $Re(Z_{11})$  en función de  $1/I_g$ . Además una relación adicional deber ser utilizada para encontrar  $R_c$ . Ésto no es problema porque existe redundancia de ecuaciones para resolver el sistema, que pueden ser encontradas en las referencias [5], [6] y [7] de [7]. Pero en la práctica se pueden despreciar los términos  $R_c$  y  $\frac{nkT}{qI_g}$ , lo que no altera de manera significativa el modelo equivalente, al tiempo que facilita los cálculos. Para obtener los parámetros se las inductancias, conviene utilizar la segunda derivada numérica de las partes imaginarias.

### 2.3.2. Obtención de Parámetros Intrínsecos

Con los parámetros extrínsecos ya obtenidos, se procede a polarizar de forma operacional el transistor, es decir,  $V_{ds} \neq 0$  y  $V_{gs} \geq V_{pinchoff}$ , con lo que se obtendrá al medir, la matriz  $S$  de todo el transistor. Luego se realiza el de-embedding de los parámetros extrínsecos. Para esto conviene trabajar con la matriz  $Y$ , debido a la topología  $\pi$  del dispositivo.



**Figura 2.15:** Método para extraer la matriz  $Y$  intrínseca del transistor [7].

En la figura 2.15 se ven los pasos que hay que aplicar a la matriz  $S$  medida, para aplicar el de-embedding de los parámetros extrínsecos, y obtener la matriz  $Y$  resultante que representa los parámetros intrínsecos. Los pasos son:

1. Medir los parámetros  $S$  del dispositivo
2. Transformar  $S$  a  $Z$  y restar  $L_g$  y  $L_d$  que son elementos serie
3. Transformar  $Z$  a  $Y$  y restar  $C_{pg}$  y  $C_{pd}$  que están en paralelo
4. Transformar  $Y$  a  $Z$  y restar  $R_g$ ,  $R_s$ ,  $L_s$  y  $R_d$  que están en serie

5. Transformar  $Z$  a  $Y$  que corresponde a la matriz  $Y$  de los elementos intrínsecos

La matriz  $Y$  teórica del circuito intrínseco del transistor puede escribirse como,

$$Y_{11} = R_{gs}C_{gs}^2\omega^2 + j\omega(C_{gs} + C_{gd}) \quad (2.20)$$

$$Y_{12} = -j\omega C_{gd} \quad (2.21)$$

$$Y_{21} = g_m - j\omega(C_{gd} + g_m(R_{gs}C_{gs} + \tau)) \quad (2.22)$$

$$Y_{22} = g_d + j\omega(C_{ds} + C_{gd}) \quad (2.23)$$

luego estas ecuaciones se igualan con los valores de la matriz  $Y$  obtenida en el punto 5, para obtener los parámetros intrínsecos.

De esta forma se ha obtenido la caracterización completa del transistor. Dado que los parámetros intrínsecos dependen de la polarización, esta ultima etapa de la caracterización deber ser repetida para varios punto de operación (valores de  $V_{ds}$  y  $V_{gs}$ ) en que se quiera conocer el circuito equivalente del dispositivo, y, de esta forma, obtener curvas de estos dependientes de la polarización.

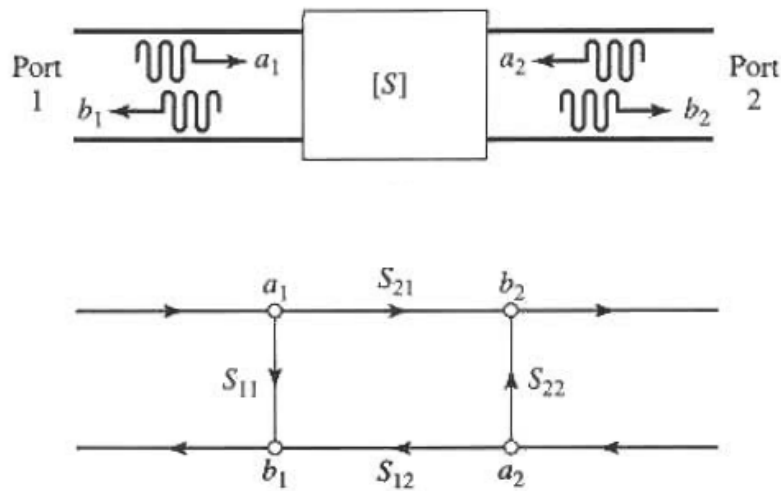
## 2.4. Calibración TRL

### 2.4.1. Grafos de Flujo de Señales

Los grafos de flujos de señales son la base de la calibracion TRL, por lo que es necesario mencionarlos. Estos grafos son parte de una técnica para representar redes de microonda por medio de ondas transmitidas y reflejadas. Cada puerto de la red es representado por dos nodos en el grafo donde uno se identifica con las ondas que entran al puerto, mientras



que el otro con las ondas reflejadas en el puerto. El voltaje en cada nodo esta dado por la suma de las señales que ingresan en él. Los nodos están unidos por aristas con sentido, que representan el flujo de señales entre los nodos. Cada arista tiene relacionado un parámetro  $S$  o un coeficiente de reflexión. De esta forma una red de dos puertos puede ser presentada por un grafo de flujo de señales como se ve en la figura 2.16, donde por ejemplo una onda de voltaje  $a_1$  que incide en el puerto 1, se divide entre una onda transmitida hacia el puerto 2 por  $S_{21}$  y una onda reflejada a través de  $S_{11}$ .



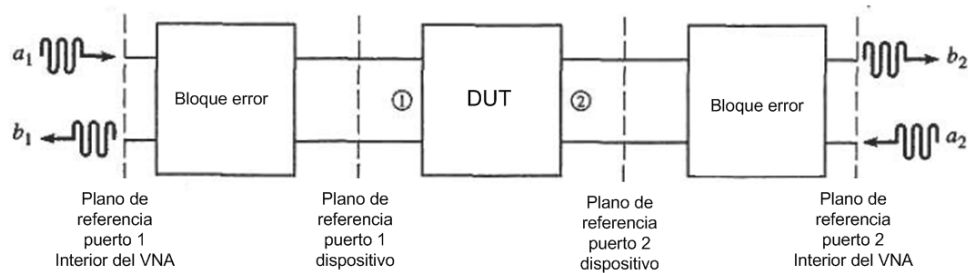
**Figura 2.16:** Representación en grafo de flujo de señales de una red dos puertos [2].

## 2.4.2. Concepto de Calibración

La caracterización de un circuito por medio de su medición se logra utilizando un vector network analyzer (VNA), equipo que utiliza voltajes complejos, midiendo magnitud y fase de las señales, para obtener los parámetros  $S$  del circuito objetivo.

Al realizar estas mediciones, un problema aparece debido a que el plano de referencia de los voltajes se encuentra al interior del VNA. Por tanto, cualquier medición incluirá las pérdidas y desfases producidos por los cables, conectores y adaptadores que conectan el dispositivo

a medir DUT (device under test) con el VNA. Ésto puede ser visto como el diagrama de bloques de la figura 2.17 donde un bloque representa al DUT, que esta conectado al VNA por medio de dos bloques de error que representan los elementos que conectan al DUT con cada puerto.



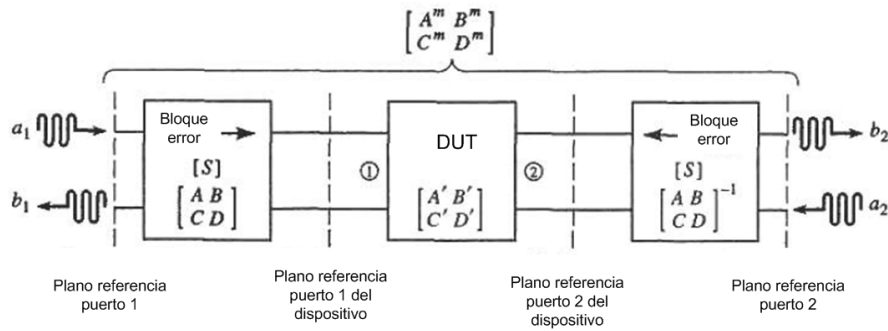
**Figura 2.17:** Diagrama de Bloques de medición en VNA de un dispositivo de dos puertos [2].

Hay una forma de extraer estos errores de la medición. El concepto de calibración consiste en caracterizar los bloques de error, para ser posteriormente extraídos matemáticamente a las mediciones del conjunto entero y así obtener los parámetros  $S$  del DUT aislado de errores. Las mediciones corregidas tendrán sus voltajes medidos con respecto a un nuevo plano de referencia llamado plano de calibración, el que se posiciona entre los dos bloques de error.

La forma mas simple de calibración es reemplazar el DUT por cargas conocidas o estándares, tales como cortocircuito, circuito abierto, o cargas bien adaptadas. Estos estándares tienen parámetros  $S$  conocidos, de modo que se pueden ingresar manualmente al VNA para ser restados de la medición y de esta forma se puede obtener los parámetros  $S$  del DUT. El problema con esta calibración es que estos estándares son siempre imperfectos en cierto grado por lo que producen errores en la medición. Estos errores aumentan a frecuencias mayores, y dificultan una medición de mayor calidad.

### 2.4.3. Calibración TRL

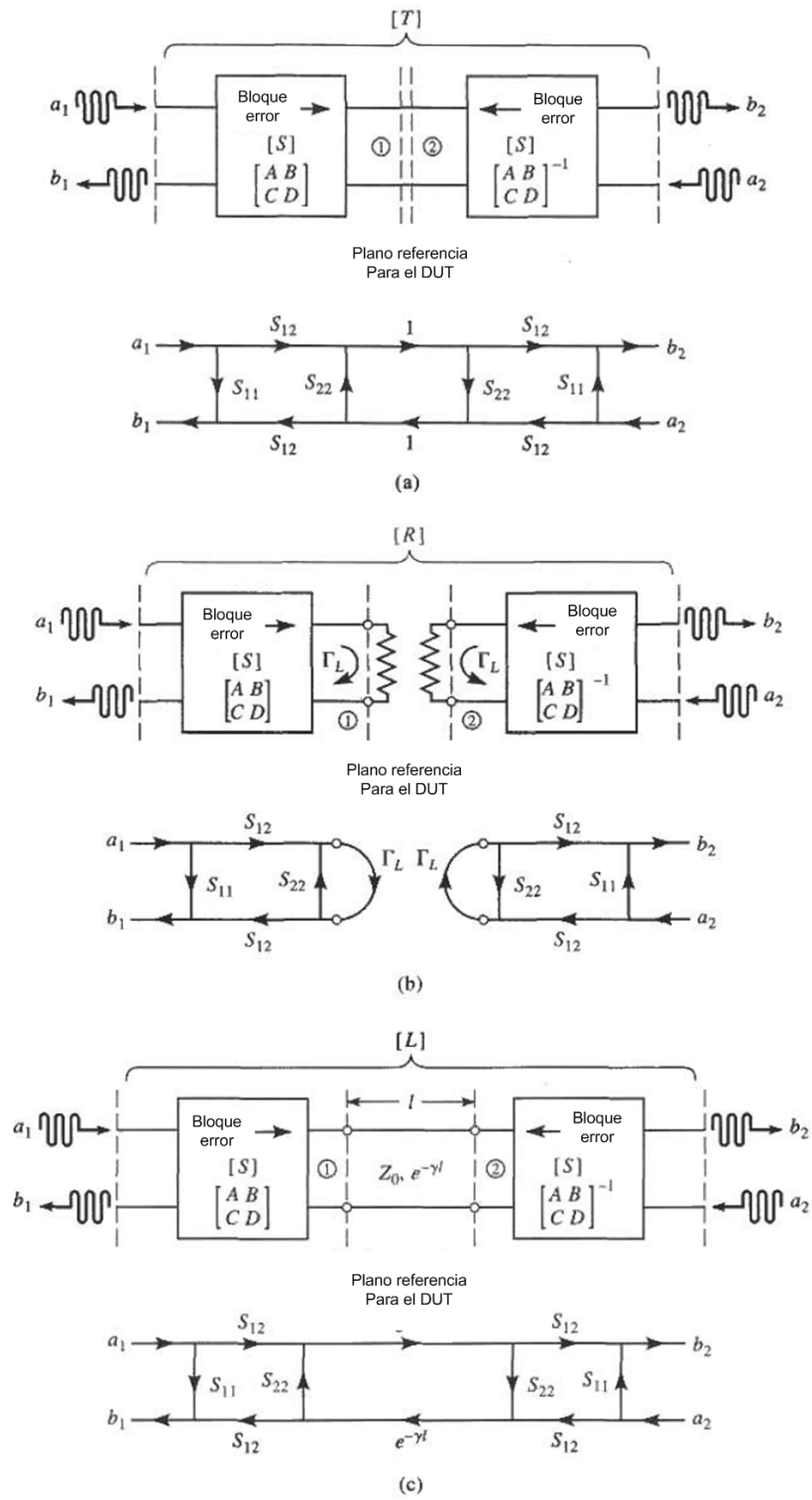
La calibración TRL no necesita estándares construidos con gran precisión, por lo que el error introducido entre los parámetros ideales ingresados al VNA y los parámetros reales de cada estándar desaparecen. Utiliza tres simples conexiones Directo (Through), Reflexión (Reflect) y Línea (Line), que unen los bloques de error y permiten su caracterización sin tener que conocer por completo estos estándares. La conexión Directo se logra conecta directamente los puertos en el plano de referencia deseado. Reflexión se logra conectando una carga con alto índice de reflexión  $\Gamma_L$  a cada puerto. Estas cargas pueden ser un circuito abierto o un cortocircuito. Línea consiste en conectar los puertos 1 y 2 a través de una línea de de la misma impedancia del sistema.



**Figura 2.18:** Diagrama de Bloques Calibración TRL [2].

El diagrama de bloques de la calibración TRL se ve en la figura 2.18. Se asume simetría entre los circuitos que conectan el VNA al DUT por cada puerto. De esta forma se obtiene dos relaciones, una es  $S_{21} = S_{12}$ , y la otra es la reciprocidad de las matrices ABCD de los bloques de error. Las matrices  $S$  de Directo, Reflexión y Línea serán llamadas respectivamente  $[T]$ ,  $[R]$  y  $[L]$ .

Al insertar el Thru entre los planos de calibración se obtiene el diagrama de bloques de la figura 2.19 (a), con su respectivo grafo de flujo de señales. Del grafo se obtienen de



**Figura 2.19:** Diagrama de Bloques y grafos de flujos de señales de estándares de calibración TRL. (a) Directo. (b) Reflexión. (c) Línea [2].

$$T_{11} = S_{11} + \frac{S_{22}S_{12}^2}{1 - S_{22}^2} \quad (2.24)$$

$$T_{12} = \frac{S_{12}^2}{1 - S_{22}^2} \quad (2.25)$$

mientras que de la simetría y reciprocidad se obtienen de

$$T_{22} = T_{11} \quad (2.26)$$

$$T_{21} = T_{12} \quad (2.27)$$

De la misma forma al insertar el Reflexión, se obtiene el diagrama de bloques y el grafo de flujo de señales de la figura 2.19 (b). Del grafo se obtiene

$$R_{11} = S_{11} + \frac{S_{12}^2\Gamma_L}{1 - S_{22}\Gamma_L} \quad (2.28)$$

de simetría se obtiene

$$R_{22} = R_{11} \quad (2.29)$$

y notando que los puertos quedan desacoplados se obtiene

$$R_{12} = R_{21} = 0 \quad (2.30)$$

Finalmente, al insertar Línea se obtienen el diagrama de bloques y el grafo de flujo de señales de la figura 2.19 (c). Al igual que en el caso de T, del grafo se obtienen

$$L_{11} = S_{11} + \frac{S_{22}S_{12}^2e^{-2\gamma\ell}}{1 - S_{12}^2e^{-2\gamma\ell}} \quad (2.31)$$

y

$$L_{12} = \frac{S_{12}^2e^{-\gamma\ell}}{1 - S_{22}^2e^{-2\gamma\ell}} \quad (2.32)$$

mientras que de reciprocidad y simetría se obtienen

$$L_{22} = R_{11} \quad (2.33)$$

y

$$L_{21} = R_{12} \quad (2.34)$$

donde  $e^{-\gamma\ell}$  que corresponde al factor de propagación.

Con esto se obtienen 5 ecuaciones: 2.24, 2.25, 2.28, 2.31 y 2.32; y 5 incógnitas  $S_{11}$ ,  $S_{22}$ ,  $S_{12}$ ,  $\Gamma_L$  y  $e^{-\gamma\ell}$ . De aquí se pueden calcular los parámetros  $S$  de los bloques de error, con lo que concluye la calibración. Finalmente con los bloques de error caracterizados, al medir el dispositivo en la configuración de la figura 2.18 se estará midiendo la matriz  $ABCD^m$  dada por

$$ABCD^m = \begin{bmatrix} A^m & B^m \\ C^m & D^m \end{bmatrix} \quad (2.35)$$

luego los parámetros  $S$  del DUT dados por su matriz equivalente  $ABCD'$  se obtiene como

$$\begin{bmatrix} A' & B' \\ C' & D' \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix}^{-1} \begin{bmatrix} A^m & B^m \\ C^m & D^m \end{bmatrix} \begin{bmatrix} A & B \\ C & D \end{bmatrix} \quad (2.36)$$

donde se realiza el de-embedding de los bloques de error de la medición de todo el sistema.

Se puede ver del método descrito, que no es necesario conocer  $\Gamma_L$  del estándar Reflexión, ni el largo, ni las pérdidas de Línea, ya que se determinan durante la calibración, al resolver el sistema de ecuaciones. Esto es la característica que hace confiable esta calibración cuando no se dispone de la precisión para crear los estándares [2].

# Capítulo 3

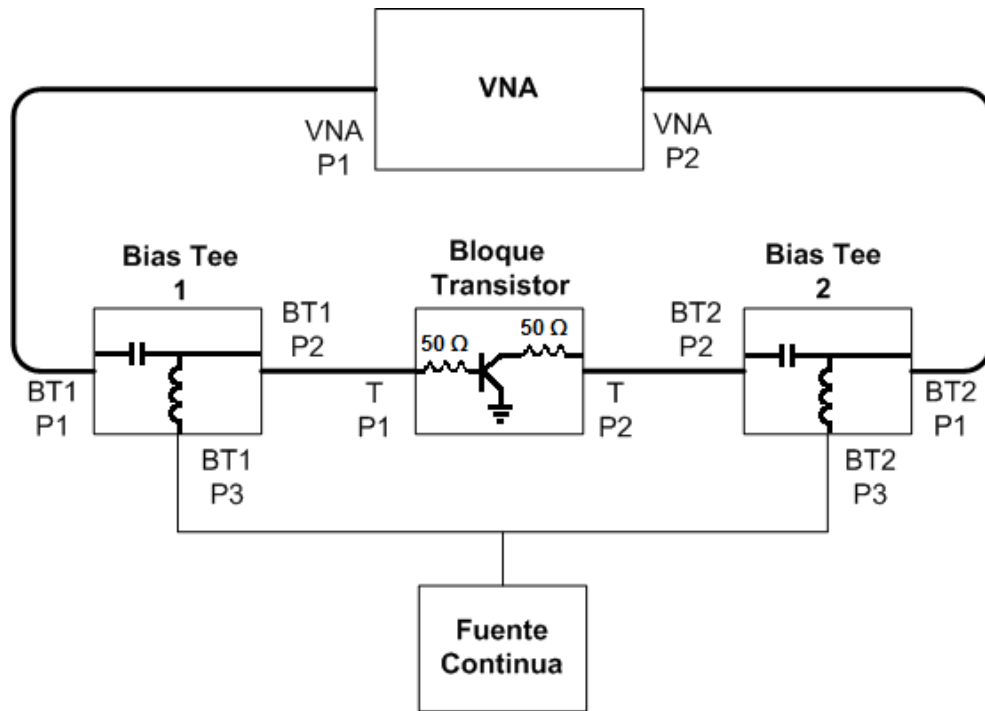
## Desarrollo

### 3.1. Descripción del Sistema de medición

A continuación se da una descripción general del sistema de medición con el cual se obtienen los parámetros  $S$  del transistor, que posteriormente serán procesados para obtener el modelo equivalente del dispositivo. El diseño y construcción de los componentes de este sistema será cubierto en detalle más adelante.

Las mediciones se efectúan con un VNA (Vector Network Analyzer) modelo E8364C de Agilent. Este equipo se utiliza para obtener los parámetros  $S$  de una red. Para esto envía señales alternas a los puertos del circuito y mide voltaje y fase de las señales que se reflejan o transmiten por el circuito y se devuelven al VNA. El VNA utilizado es de dos puertos, para medir redes de más puertos es necesario realizar más de un montaje de medición con el VNA.

En la figura 3.1 se ve el diagrama de bloques del sistema de medición. El puerto 1 del VNA se conecta por cable coaxial al puerto 1 del bloque Bias Tee 1. A este último ingresa además el voltaje continuo de la fuente de polarización por el puerto 3. Ambos voltajes se acoplan al interior de este bloque para salir por el puerto 2 por medio de cable coaxial, que llega al puerto 1 del bloque del transistor. De manera simétrica se conecta el puerto 2 del VNA al puerto 2 del bloque del transistor. La única asimetría está en que el puerto 1 del bloque del transistor que se conecta al contacto de la *compuerta* del transistor, mientras



**Figura 3.1:** Diagrama de conexión del sistema de medición.

que el puerto 2 de este bloque se conecta al contacto del *drenaje* del dispositivo. El resto de las conexiones son simétricas, lo que es importante en la calibración TRL como se verá más adelante. Por esto, es importante que ambos bloques Bias Tee sean construidos lo más semejantemente posible.

Las señales viajan en los bloques del transistor y los de Bias Tee por medio de líneas microcinta. La adaptación de línea coaxial a microcinta y de microcinta a coaxial que se realiza en los puertos 1 y 2 de los tres bloques mencionados, se hace por medio de conectores 2.4 mm modelo PE44221 (macho) [9] y PE44218 (hembra) [10] de Pasternack Enterprises. La señal continua ingresa al puerto 3 de los bloques Bias Tee por medio de un conector SMA PE4001 (hembra) [11] también de Pasternack Enterprises, que hace la transformación a microcinta. En la figura 3.2 se pueden ver los conectores mencionados.

Dado que los transistores a medir, los cables coaxiales y el VNA tienen una impedancia de



50  $\Omega$ , para evitar pérdidas y reflexiones debidas a desadaptación de impedancia, se diseñan todos los componentes del sistema de calibración en 50  $\Omega$ . Esto incluye el Bias Tee y los estándares de la calibración TRL.



**Figura 3.2:** Conectores. (a) 2.4 mm macho. (b) 2.4 mm hembra. (c) SMA hembra [12].

## 3.2. Transistor a Utilizar

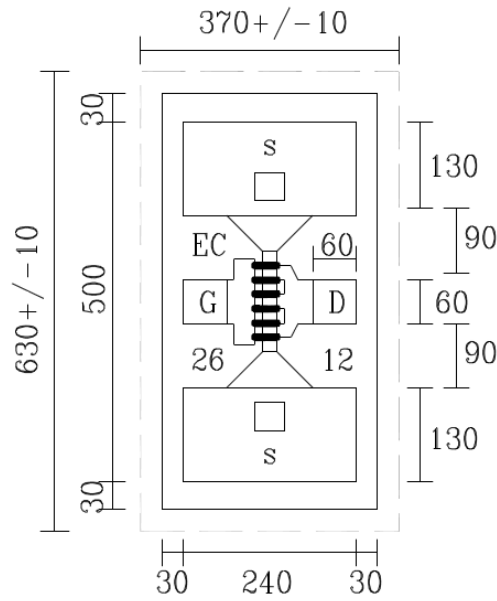
El sistema de caracterización está diseñado para trabajar con una variedad de transistores HEMT, sin embargo, cada transistor debe ir montado en un bloque acorde a las dimensiones físicas del dispositivo. El sistema descrito en esta memoria fue diseñado para caracterizar el transistor pHEMT modelo EC2612 [13] de UMS [14].

En la figura 3.3 se puede ver el esquema del transistor en cuestión y sus dimensiones físicas en  $\mu\text{m}$ . Se puede ver que *compuerta* y *Drenaje* tienen un contacto cada uno y que existen dos contactos para la *fuentes*. Estos últimos están conectados a la metalización posterior del transistor, lo que permite conectarlos directamente a tierra.

## 3.3. Bias Tee

### 3.3.1. Consideraciones de Diseño

El Bias Tee se encarga de tomar la señal proveniente del VNA y acoplarla con el voltaje continuo proveniente de la fuente de polarización. De este modo se puede entregar señal y

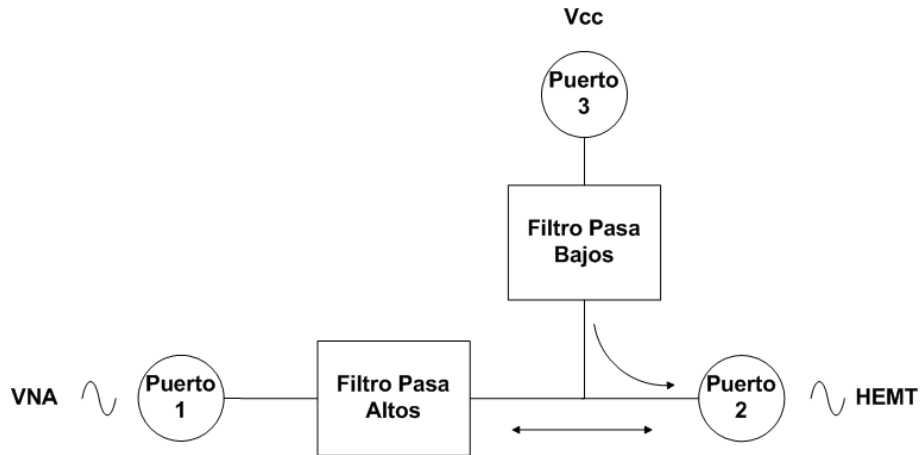


**Figura 3.3:** Esquema de transistor pHEMT EC2612 con dimensiones físicas en  $\mu m$  [13].

polarización al transistor HEMT por el mismo canal, tal como operan estos dispositivos.

Al acoplar la señal con la polarización, se debe cuidar que la señal no ingrese por el canal de polarización hacia la fuente, ni que el voltaje continuo ingrese por el canal de la señal hacia el VNA, ya que en ambos casos se podrían dañar estos dispositivos además de estropear la calibración. Por esta razón, el acoplar los voltajes se debe hacer en este bloque y no directamente en el bloque del transistor. Se usará como convención que el puerto por el que ingresa la señal proveniente del VNA será llamado puerto 1, el puerto 3 será por donde ingresa el voltaje de polarización y por el puerto 2 saldrán la señal y la polarización acopladas. Además, el Bias Tee debe permitir que señales que ingresen por el puerto 2 puedan llegar al puerto 1, sin introducirse en el puerto 3.

La estructura básica del Bias Tee se compone de dos filtros, como se ve en la figura 3.4. Un filtro pasa altos se encarga de evitar que el voltaje continuo salga por el puerto 1. Un filtro pasa bajos se encarga de evitar que las señales de los puertos 1 y 2 salgan por el puerto 3. Es



**Figura 3.4:** Diagrama de bloques del filtro Bias Tee.

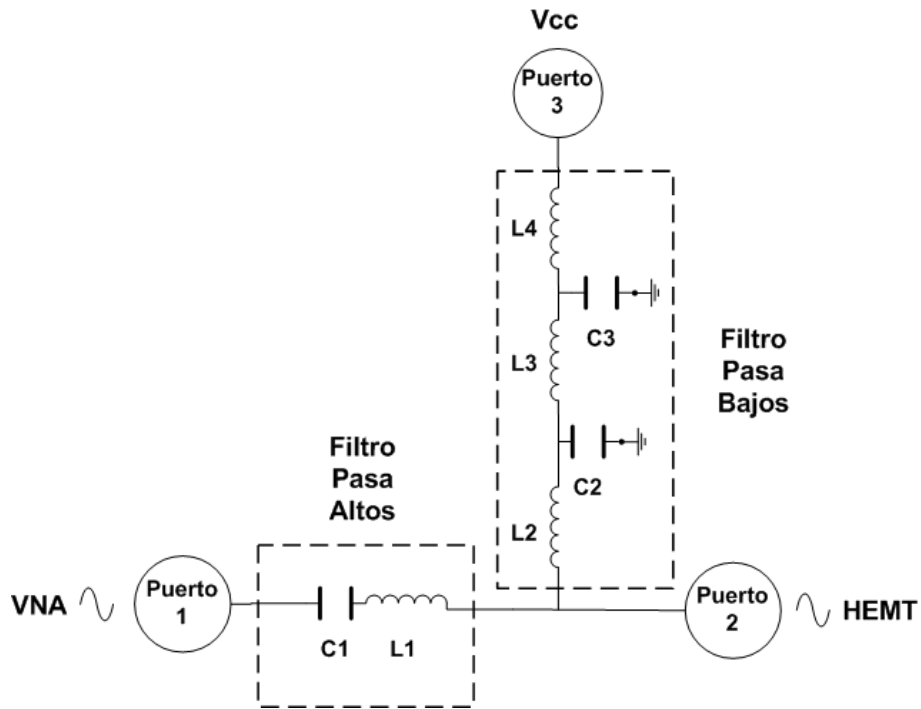
importante que en el filtro pasa altos el conductor esté cortado para garantizar el filtrado del voltaje continuo. En este caso, la señal de alta frecuencia debe pasar por el filtro por medio de un campo magnético o un campo eléctrico. Por tanto este filtro puede estar basado tanto en líneas acopladas como en la utilización de condensadores.

### 3.3.2. Diseño del Bias Tee

Para generar los filtros descritos en la sección anterior, se optó por los circuitos que aparecen en la figura 3.5. El filtro pasa altos está compuesto por  $C_1$  y  $L_1$ , donde  $C_1$  se encarga de aislar del VNA el voltaje continuo que ingresa por el puerto 3. El filtro LC además filtra señales alternas de baja frecuencia.

El filtro pasa bajos está compuesto por las inductancias  $L_2$ ,  $L_3$  y  $L_4$ , y las capacitancias  $C_2$  y  $C_3$ . Este filtro crea una rama de alta impedancia, rechazando las señales alternas.  $C_3$  de mayor capacitancia se encarga de filtrar señales de baja frecuencia que puedan ingresar por la rama del puerto 3.

El bias tee fue fabricado en microcinta RT/duroid®6002 en cobre [15] de Rogers Corpo-



**Figura 3.5:** Diagrama circuital del Bias Tee.

ration [16], que va montada en una caja de duraluminio. Las características del sustrato se presentan en el cuadro 3.1. Se construyó un modelo completo del circuito, incluyendo líneas, condensadores, inductancia y caja de montaje, en Ansoft HFSS para simular su comportamiento antes de pasar a la etapa de construcción. El modelo en HFSS con la representación física del circuito de la figura 3.5, puede ser visto en la figura 3.6. HFSS calcula cómo las ondas electromagnéticas se propagan por los elementos físicos del modelo, para conocer el comportamiento del circuito. En esta representación, el color naranja representa al cobre, el verde al sustrato duroid 6002, el blanco al sustrato de los condensadores y el amarillo a los hilos de oro <sup>1</sup>. Estos últimos pueden ser vistos como líneas negras dependiendo de la escala de la renderización del modelo. A la izquierda está el puerto 1, que es el que irá conectado al VNA. A la derecha el puerto 2, encargado de llevar el bias y la señal alterna hacia el

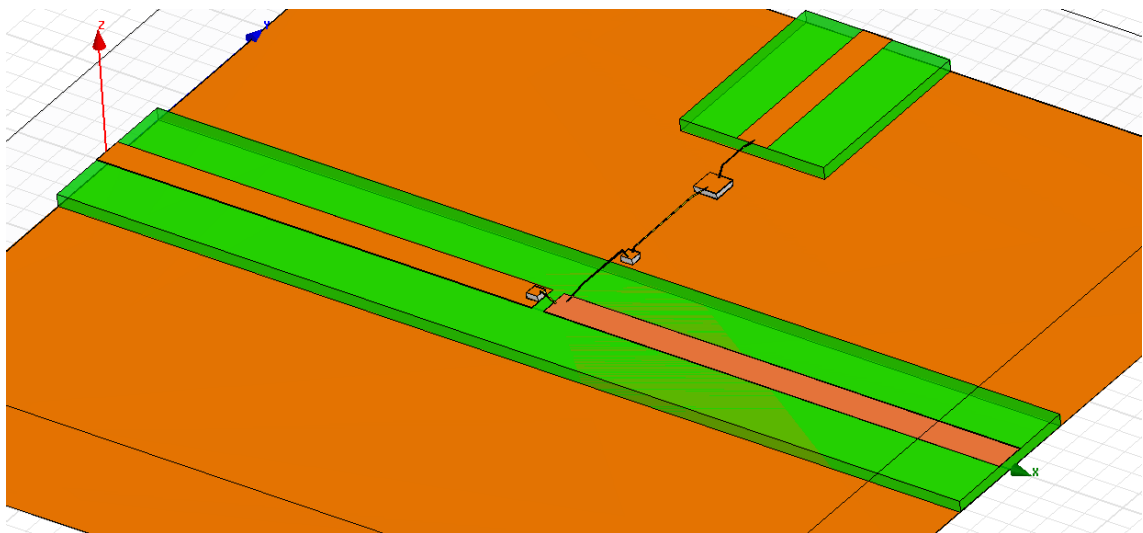
<sup>1</sup>Hilo de oro se refiere a gold wire bonding, método utilizado para interconectar circuitos integrados u otro tipo de circuitos de muy pequeño tamaño. Esta técnica consiste en unir los contactos de los dispositivos por medio de un delgado hilo metálico que se adhiere al aplicarle presión y temperatura sobre los contactos. Aunque en este caso se trabaja con oro, el wire bonding se realiza además en aluminio y cobre

Altura de substrato	10 mil <sup>2</sup>
Altura cada capa de cobre	35 μm
Constante dieléctrica $\epsilon_r$	2.94
Factor de disipación TAN $\delta$	0.0012

**Cuadro 3.1:** Parámetros substrato RT/duroid 6002.

transistor. Y arriba se encuentra el puerto 3, que va conectado a la fuente de voltaje continuo.

El ancho de las líneas microcinta es calculado en Ansoft Designer para obtener una impedancia de 50 Ω. Para esto se ingresa al programa las características del substrato RT/duroid 6002 y la frecuencia a la que se quiere calcular la impedancia. El ancho de las líneas dio 0.66 mm calculado para una frecuencia intermedia de 38 GHz.



**Figura 3.6:** Renderización del modelo en HFSS del Bias Tee, que representa los componentes físicos del circuito de la figura 3.5.

Los filtros están diseñados en base a condensadores e inductancias concentrados. Se dispone en el laboratorio de un conjunto de condensadores de microonda, por lo que se cuenta con valores discretos de capacitancia al diseñar el circuito. Los valores relevantes para el rango

<sup>2</sup>mil: unidad de medida de longitud del sistema imperial. Esta definida como milésima de pulgada. 1 mil equivale a 25.4 μm.

Cap [pF]	Dimensiones [mil]	Altura [mm]	$k$
0.1	10×10	0.1	22.23
0.4	10×10	0.1	88.93
0.6	10×10	0.1	133.4
1	10×10	0.1	222.32
100	20×20	0.1	4376.56

**Cuadro 3.2:** Capacitancia y dimensiones físicas de condensadores disponibles y su constante  $k$  calculada.

de frecuencia son 0.1, 0.4, 0.6, 1 y 100 pF. Las inductancias se construyen con hilos de oro. Ya que HFSS sólo trabaja con los parámetros físicos del hilo de oro, el valor de inductancia modelado sólo se puede calcular fuera del programa usando la aproximación de que el valor de inductancia será de 1 nH por cada mm de largo que tenga el hilo de oro.

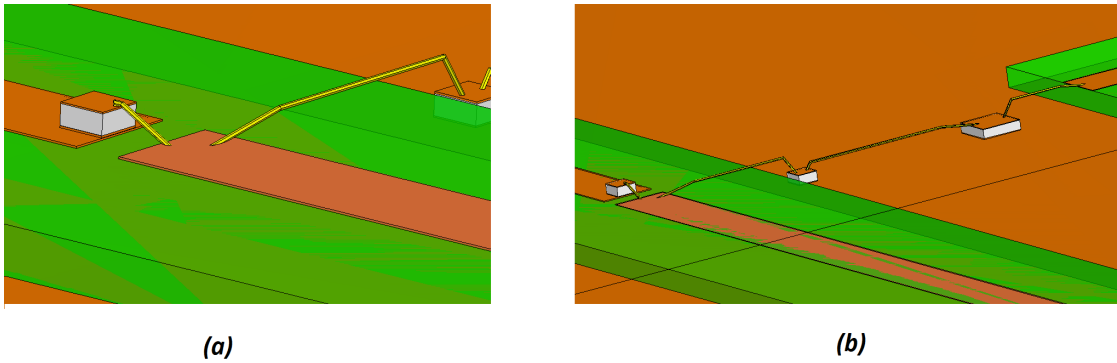
Los condensadores en HFSS son modelados construyendo dos placas paralelas separadas por un dieléctrico. Las dimensiones del modelo corresponden a las nominales de cada condensador real. El valor de capacitancia de cada condensador queda especificada por la constante de permitividad relativa  $k$  de su dieléctrico. Dado que esta constante no se encuentra en las especificaciones, debe ser calculada como,

$$C = \frac{k \times \epsilon_0 \times A}{d} \quad (3.1)$$

donde  $C$  está en faradios,  $A$  es el área de las placas paralelas del condensador,  $d$  es la distancia que separa las placas, ambas medidas en unidades del Sistema Internacional y  $\epsilon_0 = 8,854 \times 10^{-12}$  [F/m]. El cuadro 3.2 muestra los parámetros de los condensadores utilizados y la constante  $k$  calculada.

En el diseño obtenido del filtro pasa altos la línea microcinta que sale del puerto 1 se conecta en serie a  $C_1$  que esta montado sobre ella, como se ve en la figura 3.7 (a). El condensador se une a la línea microcinta que va al puerto 2 por medio del hilo de oro  $L_1$ .

En el filtro pasa bajos los hilos de oro  $L_2$ ,  $L_3$  y  $L_4$  se conectan en serie para unir el circuito principal con el puerto 3. Las uniones de estos hilos de oro están montadas sobre los condensadores  $C_2$  y  $C_3$  que están en paralelo. Este filtro de hilos de oro largos y condensadores en paralelo, tal como se ve en la figura 3.7 (b), tiene una impedancia bastante mayor que el circuito principal.



**Figura 3.7:** Renderización de los Filtros del Bias Tee en mayor detalle. (a) Filtro pasa altos. (b) Filtro pasa bajos.

Se puede ver en el modelo que para incorporar  $C_1$  en serie entre los puertos 1 y 2, la línea se debe interrumpir en este punto. El largo de esta separación es un punto crítico en el diseño ya que establece el valor de  $L_1$  por medio del largo del hilo de oro que forma esta inductancia. El valor de  $L_1$  afecta de gran manera la frecuencia central y el ancho de banda del filtro pasa altos. Además, por sus pequeñas dimensiones, al rededor de los 10 mil, es la especificación más difícil de construir y la limitante física del diseño. Por esta razón se modeló  $L_1$  parametrizado por el largo de la interrupción. Luego mientras más pequeña la separación, menor inductancia tendrá  $L_1$ .

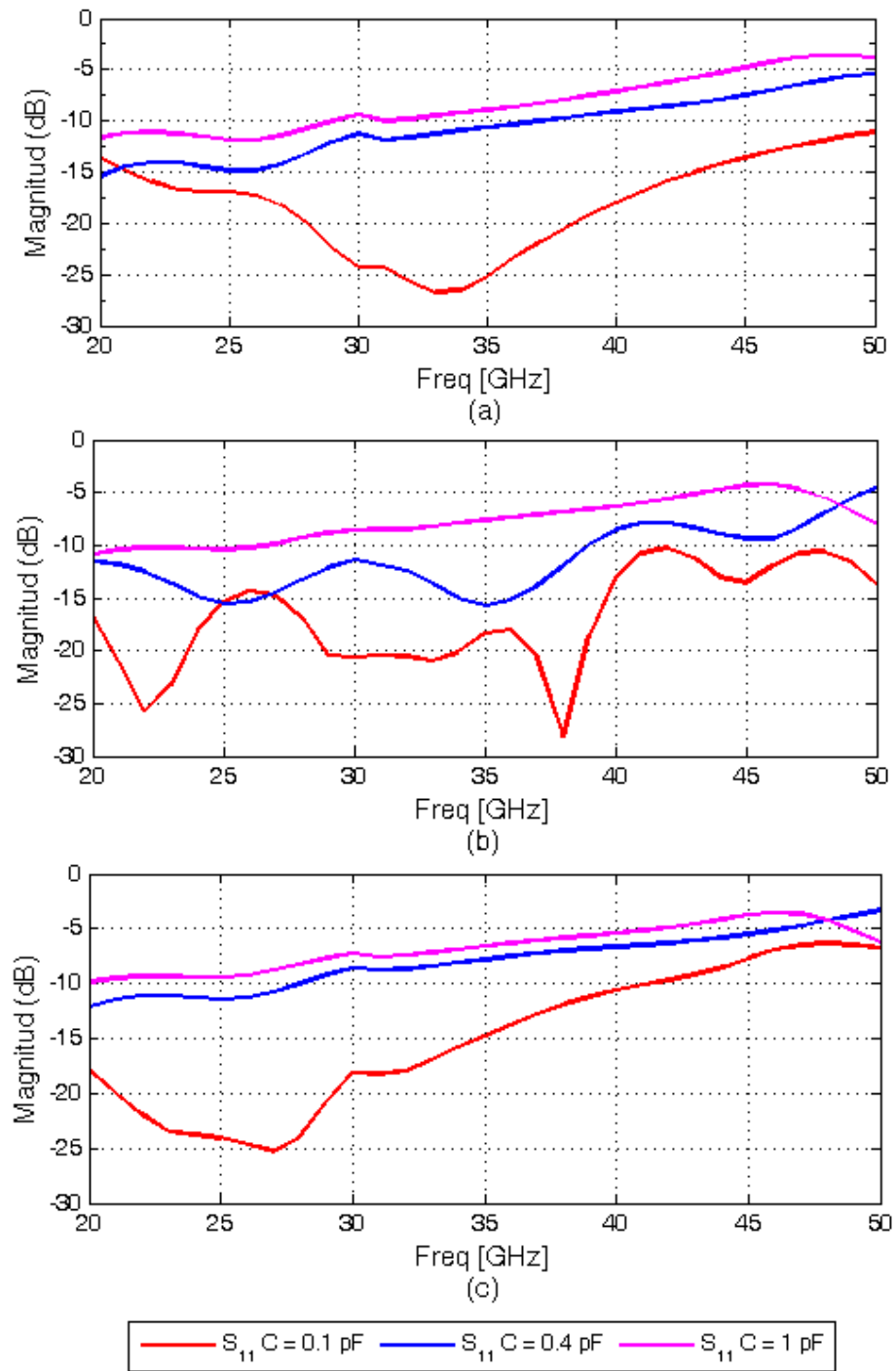
Los resultados obtenidos del modelo en HFSS para el filtro pasa altos se pueden ver a continuación. La figura 3.8 muestra las reflexión  $S_{11}$  para valores de condensador de 0.1, 0.4 y 1 pF. El gráfico de la figura 3.8 (a) muestra estos valores para una separación de 6 mil, y los gráficos de las figuras 3.8 (b) y (c), muestran estos mismos valores para una separación

de 8 y 10 mil respectivamente.

Se puede ver de los gráficos en las figuras 3.8 (a), (b) y (c), que el valor de capacitancia más apropiado para  $C_1$  independiente del largo de  $L_1$  es 0.1 pF, pues presenta las reflexiones más bajas. Observando las curvas  $S_{11}$  para 0.1 pF a distintos valores de separación, se tiene que para una separación de 10 mil, el filtro tiene un rango de 19-35 GHz bajo los  $-15dB$ . Para una separación de 8 mil, el rango bajo los  $-15 dB$  es entre 19-38 GHz. Y para una separación de 6 mil, el rango de 22-44 GHz está bajo los  $-15dB$ . Esto último denota que a menor separación se obtienen menores reflexiones para un mayor ancho de banda. Para los otros valores de capacitancia se obtienen reflexiones mayores, donde  $S_{11}$  no baja de los  $-15 dB$  entre los 25 y 50 GHz para ninguno de los tres gráficos. Dado que el transistor deberá funcionar para el rango de 30-50 GHz, lo ideal es construir un Bias Tee que funcione en este rango para poder caracterizar el transistor en su frecuencia de operación. Como se ve en los gráficos, para centrar el filtro pasa altos a mayor frecuencia se tendría que disminuir la separación a valores menores 6 mil.

Los parámetros críticos del modelo en HFSS son  $L_1$ ,  $C_1$ ,  $L_2$  y  $C_2$ . Siendo el primero el más crítico, dado que no se dispone de un condensador de menor capacitancia que 0.1 pF, se debe acortar  $L_1$  para lograr centrar el filtro pasa altos en la frecuencia deseada. Por motivos constructivos la separación no puede ser menor a 6 mil, siendo este último un valor ya bastante difícil de obtener, lo que acota el largo mínimo de  $L_1$  a 0.76 mil.





**Figura 3.8:** Simulación de Bias Tee en HFSS, para valores de  $C_1$  de 0.1, 0.4 y 1 pF. (a) separación de 6 mil. (b) separación de 8 mil. (c) separación de 10 mil.

### 3.3.3. Construcción de Componentes

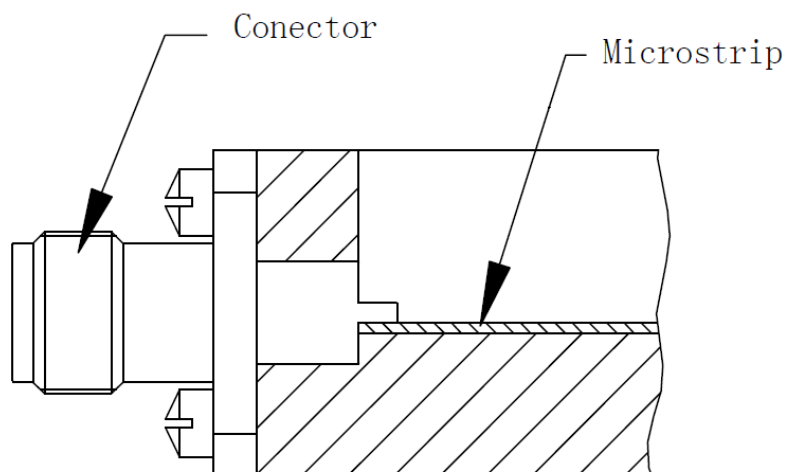
#### Bloque de Montaje

El bloque metálico donde va montado el circuito del Bias Tee fue mecanizado en una fresadora de control manual en el taller mecánico del DAS. El material de construcción es duraluminio, que posee buena conductividad y resistencias mecánica.

El bloque forma una caja con un orificio de fondo cuadrado de 20 *mm* de lado. La profundidad del orificio, el grosor de la pared y la altura de la caja están diseñados ajustar a las dimensiones de los conectores 2.4 mm y SMA. El grosor de la pared debe ser igual al largo del dieléctrico que cubre el pin de los conectores. La altura de la caja debe ser suficiente para poder montar los conectores en la pared. La profundidad del orificio debe ser tal que el pin de los conectores quede posado sobre la línea microcinta, para esto se debe considerar además de la altura de la línea microcinta, la altura extra que agrega el pegamento con que la línea va sujeta al bloque, que corresponde a cianoacrilato. La elección del pegamento será discutido más adelante. En la figura 3.9 se puede ver un diagrama que muestra el montaje de un conector 2.4 mm en la pared de la caja.

#### Líneas Microcinta

La fabricación de las líneas microcinta constituye uno de los factores limitantes en la obtención del filtro diseñado. Las dimensiones arrojadas por las simulaciones son difíciles de obtener sin una maquinaria especializada. El sustrato escogido (TR/duroid 6002) se compone de dos placas de cobre muy delgadas que rodean una capa de dieléctrico, esto conforma una plancha. Para crear un circuito en esta plancha es necesario remover todo el cobre de la placa superior que no forme parte del circuito, de manera que quedara en la cara superior un circuito metálico dibujado sobre el sustrato y en la cara inferior se tendrá una placa de cobre completa, la que corresponde al plano de tierra. Se puede extraer también todo el metal de la cara inferior si se sabe que el sustrato ira pegado directamente sobre un

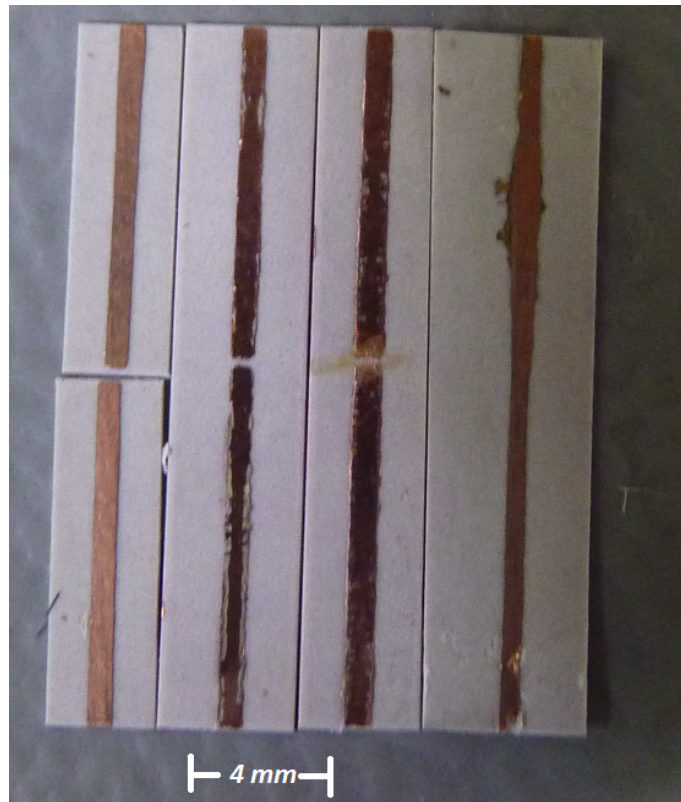


**Figura 3.9:** Diagrama de montaje de conector en pared del bloque de duraluminio.

conductor conectado a tierra.

Para la fabricación de las líneas microcinta se experimentó con dos métodos, el químico y el mecánico. El circuito fue construido usando el método fotoresistivo, que entra en la primera categoría mencionada. Éste consiste en imprimir el circuito requerido en una lamina transparente, luego aplicar la pintura fotosensible Positiv20 sobre la lamina de cobre del substrato donde irá impreso el circuito. Al aplicar luz ultravioleta sobre la cara pintada de cobre con la lamina transparente sobrepuesta, se debilitará la pintura expuesta a la luz (las áreas donde la transparencia no tenía impreso parte del circuito), luego se sumerge el substrato en soda caustica hasta que solo quede la pintura dibujando el circuito deseado. El substrato se sumerge finalmente en cloruro férrico donde el cobre que no este protegido por la pintura será extraído del dieléctrico quedando solo el circuito impreso en la capa superior de cobre. En este último paso si no se quiere perder la capa de cobre inferior que hace de tierra, es necesario cubrirla con alguna protección contra el cloruro férrico, esmalte de uñas puede servir para esta tarea. Finalmente se limpia la pintura fotoresistiva y el esmalte si fue aplicado de las placas de cobre con acetona, obteniéndose el circuito deseado. Los pasos para

realizar este método están detallados en el anexo A.1 de [17].



**Figura 3.10:** Fotografía de las líneas microcinta fabricadas.

Durante la fabricación, varias líneas fueron producidas en el mismo proceso sobre la misma placa de dieléctrico, luego el substrato fue guillotinado para separar las líneas en rectángulos independientes. La regla para los cortes es que a cada lado de la línea debe haber un área de substrato de ancho al menos 2.5 veces el ancho de la línea. Ésto asegura que el campo eléctrico se cierre a tierra a través del dieléctrico y no del aire en el borde de la rectángulo. Las líneas obtenidas se muestran en la figura 3.10.

Se puede observar que este método no es del todo satisfactorio. De las líneas producidas se escogen las más adecuadas desechando al menos el doble de líneas defectuosas o menos aptas. Aun así las líneas escogidas muestran una deficiencia en el *gap* y sus bordes son disparejos.

Siendo el primero el problema más relevante. Por esta razón, en la etapa de diseño no se fijó una distancia para el *gap*, si no que se estudio su comportamiento para un rango de valores de 6 a 10 *mil*, donde se espera que este método pueda producir un *gap* entre estos valores.

El método mecánico consiste en pegar el sustrato con cianoacrilato a una placa más rígida que va montada en la fresadora. La LPKF es una fresadora para crear circuitos impresos disponible en el DIE. Se realizaron pruebas de fabricación de circuitos microcinta que no dieron los resultados esperados. Si bien los cortes de la LPKF en el plano del circuito fueron lo suficientemente precisos para generar el circuito deseado, esta máquina esta diseñada para cortar sustratos más gruesos, por lo que se presentaron dos problemas. En primer lugar, la cabeza de la máquina donde va sujeta la broca, se apoya sobre el circuito para realizar el fresado. Por lo que al trabajar con RT/duroid 6002, raspa la delgada placa de cobre al moverse por sobre ella, sacando el cobre de las pequeñas áreas ya fresadas. En segundo lugar los cortes producidos por la fresa son muy dispares, por lo que es necesario realizar varias pasadas de fresado para lograr sacar una capa de cobre, bajando ligeramente en cada pasada la altura de la fresa. Esto resultó con sectores en el sustrato con cortes muy poco profundos donde se logro sacar exitosamente el cobre, pero con otros donde la fresa había atravesado el sustrato. Tener alturas de sustrato distintas a la nominal cerca de las líneas implica que el campo eléctrico tendrá menos dieléctrico entre la línea y la tierra, lo que alterará el comportamiento esperado del circuito.

En resumen el método químico permite fabricar las líneas pero no es eficiente. Además impone restricciones constructivas al diseño. Por otro lado el método mecánico tiene problemas que se pueden superar utilizando un fresadora más precisa. Sin embargo la utilización de la CNC <sup>3</sup> es poco eficiente para este proceso, por lo que un propósito de esta memoria fue investigar el método químico.

---

<sup>3</sup>Fresadora con control numérico por computador disponible en el DAS, que tiene alta precisión.

### 3.3.4. Montaje del bias tee

Al perforar en el bloque metálico los forados para los conectores 2.4 mm la broca deja una cavidad en el suelo de la caja. Se detectó durante el montaje que las líneas microcinta se doblaban hacia abajo por la presión al contacto con los conectores en esta zona donde existe esta cavidad. Por esta razón, se decidió instalar en primer lugar una lamina de aluminio sobre el fondo de la caja, de forma de tapar estos resquicios. Esta lamina va afirmada por cuatro tornillos al bloque de duraluminio, esto además de sujetarla, asegura su conexión a tierra, ya que no se tiene certeza que la lamina quede bien apoyada al fondo de la caja. De ahora en adelante la referencia al fondo de la caja incluirá a la lamina montada sobre éste.

#### Elección Del Pegamento

En la elección del pegamento a utilizar se consideraron las siguientes opciones:

- Pintura de plata
- Cianoacrilato
- Pegamento Epóxico

La pintura de plata es un pegamento conductor de fraguado lento, lo que lo convierte en un buen candidato. Sin embargo durante pruebas de montaje de prototipos se observó que si bien esta pintura es de fácil de extraer con acetona, minúsculos residuos quedan adosados al sustrato. Éstos al ser conductores pueden actuar como puntos de acumulación de carga que pueden interferir en el funcionamiento del circuito. Por esta razón fue descartada su utilización.

El cianocrilato es de fraguado rápido lo que dificulta su utilización, pero tiene la ventaja de su fácil extracción con acetona y que no deja residuos. Al no ser un material conductor se descarta su utilización en aplicaciones donde se requiera esta característica.

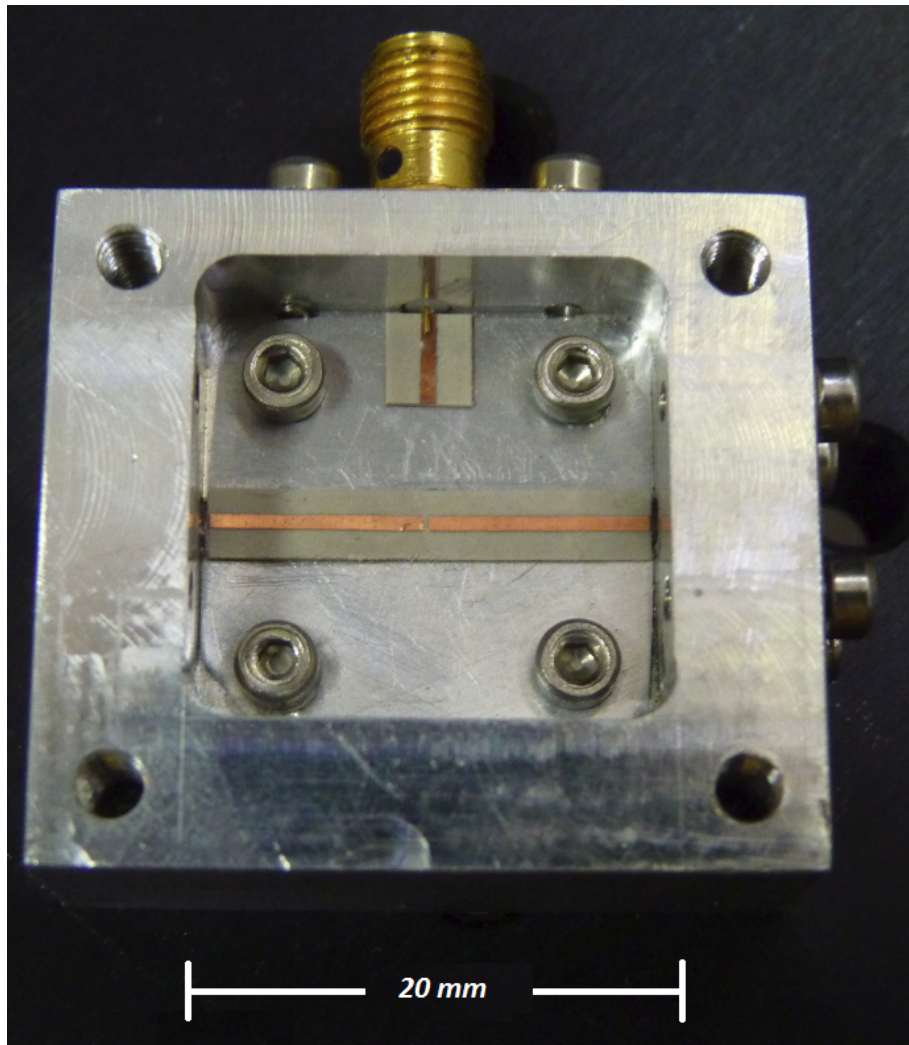
El pegamento epóxico es conductor y de fraguado lento. Es fácil de limpiar mientras no se haya fraguado, lo que permite corregir errores de montaje. Una vez fraguado resulta muy difícil de sacar. La experiencia mostró que después de 48 horas sumergido en cloroformo no se logro despegar un condensador de un bloque de duraluminio pegado con este método.

Se utilizará entonces cianoacrilato para pegar las líneas al fondo de la caja donde no se necesita un material conductor. Se estima que el efecto de agregar un segundo dielectrico (cianoacrilato) de mucho menor espesor entre el substrato y el bloque, no cambiara el desempeño del circuito. Los condensadores serán pegados con pegamento epóxico debido a la dificultad de su montaje, que necesitan el tiempo suficiente para montarlos correctamente antes de que el pegamento los fije al bloque. Además, este pegamento asegurará el contacto eléctrico de la placa inferior del condensador con la superficie donde será pegado.

### **Líneas Microcinta**

Las líneas que van del puerto 1 al 2 se pegaron con cianoacrilato al fondo de la caja intentando dejarlas alineadas entre los agujeros por donde ingresan los conectores 2.4 mm. La línea que va al puerto 3 se pega de la misma manera, como solo se espera que pase un voltaje continuo por ella, la alineación con el pin del conector SMA no es importante, solo basta que el conector tenga una superficie de contacto adecuada sobre el cobre la línea. El montaje de las líneas se puede ver en la figura 3.11.

Dado que el bloque metálico fue fresado en una fresadora con control manual, resulta inevitable tener pequeñas imprecisiones. Éstas afectan por sobre todo la alineación de las entradas de los conectores 2.4 mm por lo que resulta difícil alinear la línea principal con los pines de los conectores centrados en ella en ambos lados.

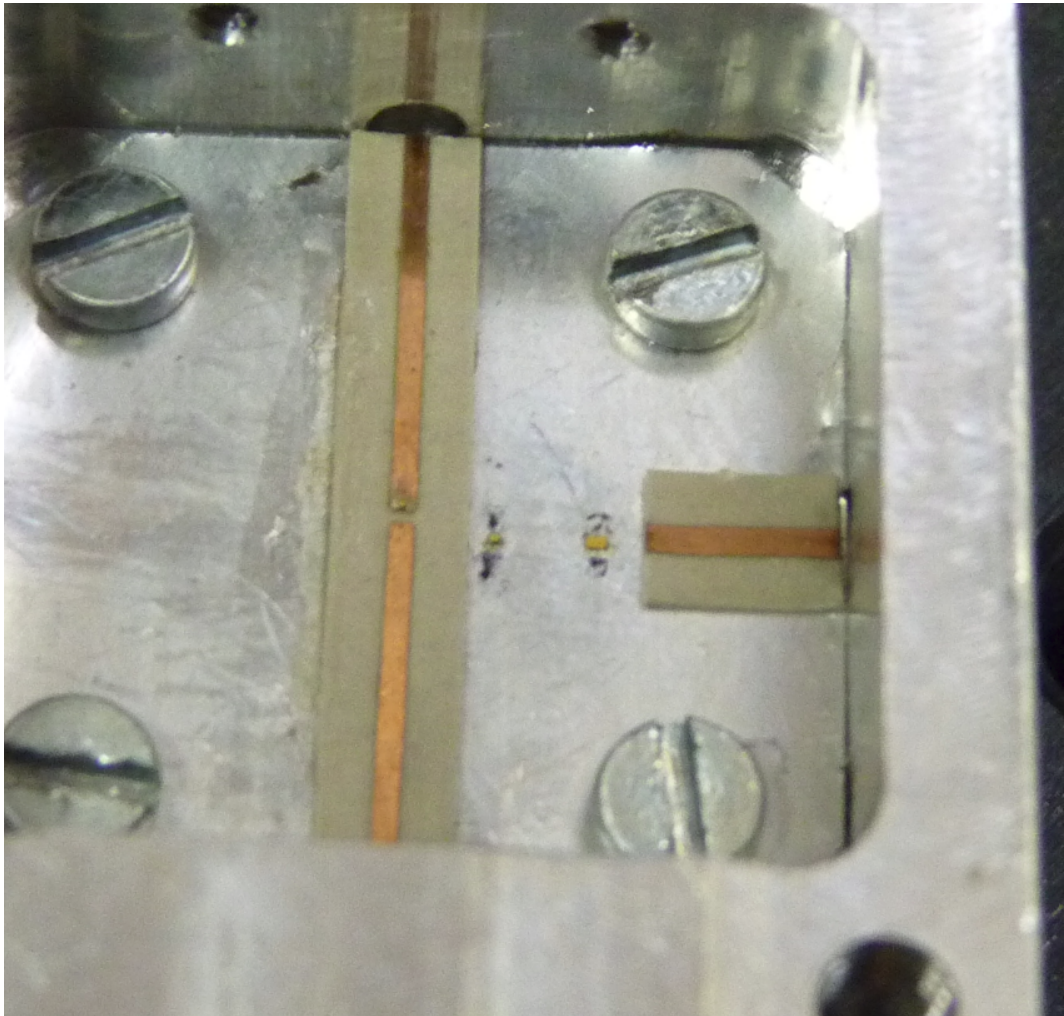


**Figura 3.11:** Fotografía de las líneas microcinta montadas sobre el bloque de duraluminio.

### Condensadores

Los condensadores fueron pegados con pegamento epóxico.  $C_1$ , es el más crítico, debe ir lo más cercano al borde de la línea que sea posible de forma que el hilo de oro  $L_1$  tenga la mínima longitud al sobrepasar el *gap*. Se debe cuidar que su base quede totalmente sobre la línea para que al realizar el hilo de oro no se rompa o desprenda la línea o el condensador.  $C_2$  y  $C_3$  van pegados sobre el fondo de la caja. En la figura 3.12 se puede ver el montaje de líneas y condensadores.



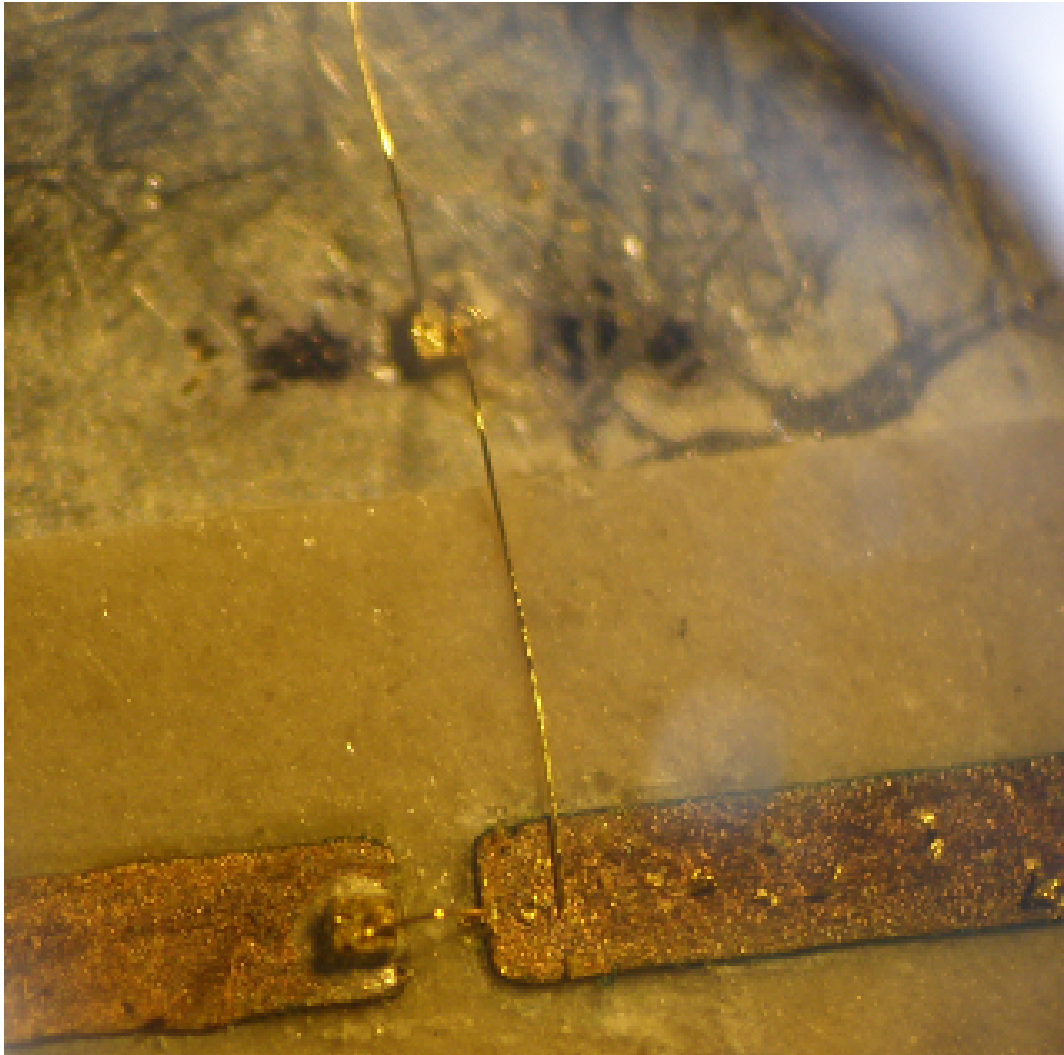


**Figura 3.12:** Fotografía de condensadores y líneas montados sobre el bloque de duraluminio.

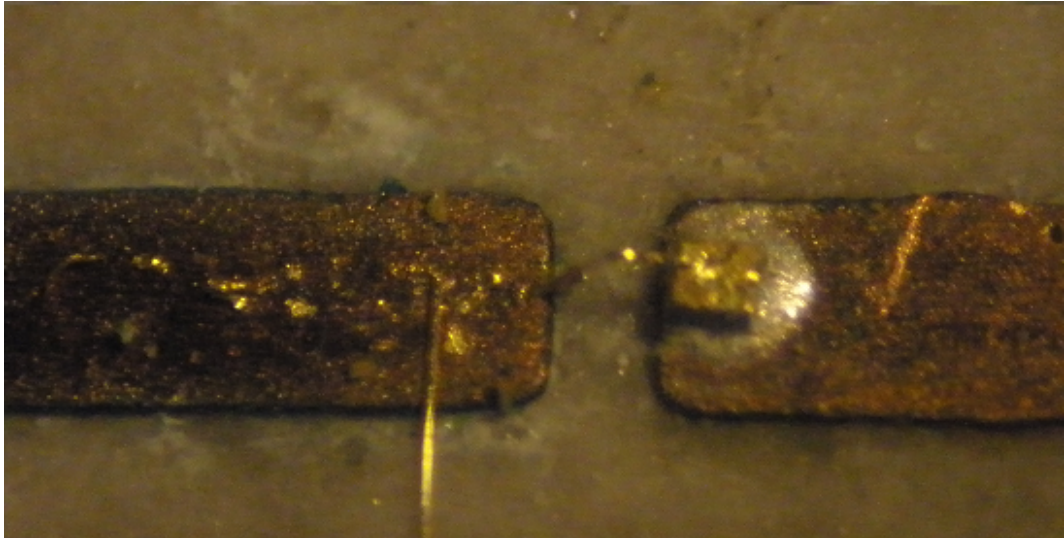
### hilos de Oro

Con el resto de los elementos ya montados sobre el bloque metálico se procede a realizar los hilos de oro. Para esto se utiliza la Bonding Machine modelo 4526 de la empresa Kuli-che & Soffa [18] disponible en el laboratorio de Instrumentación Astronómica del DIE. Esta máquina permite realizar conexiones eléctricas entre objetos de pequeñas dimensiones por medio de un hilo de oro llamado wire bonding, por lo que esta máquina está dotada de gran precisión, un control automatizado y un microscopio para operarla. El detalle de su operación puede ser visto en [17].

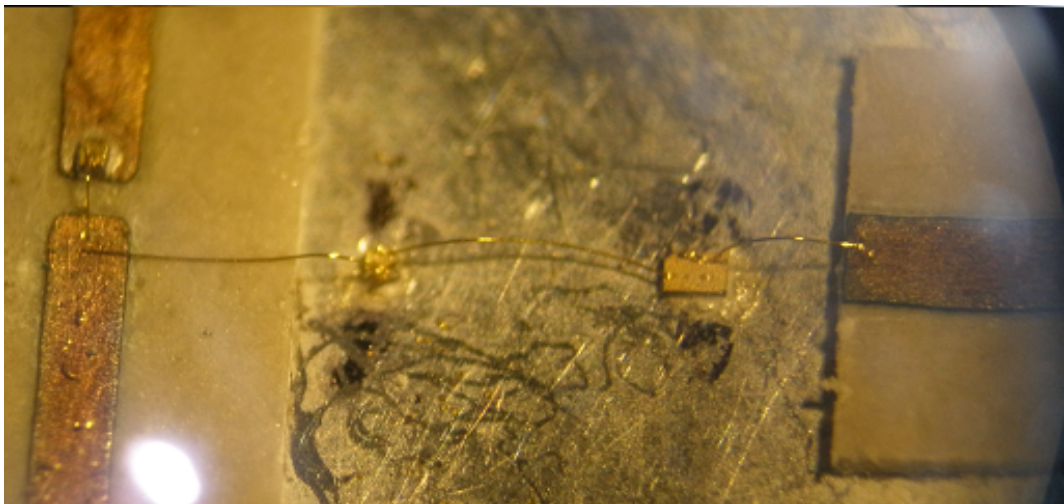
El hilo de oro  $L_1$  realizado, puede ser visto en las figuras 3.13 y 3.14. Mientras que el sistema completo de filtros pasa altos y pasa bajos, con sus inductancias y condensadores, puede ser visto en la figura 3.15.



**Figura 3.13:** Fotografía a través del microscopio de las inductancias 1 y 2. Puerto de entrada a la izquierda.



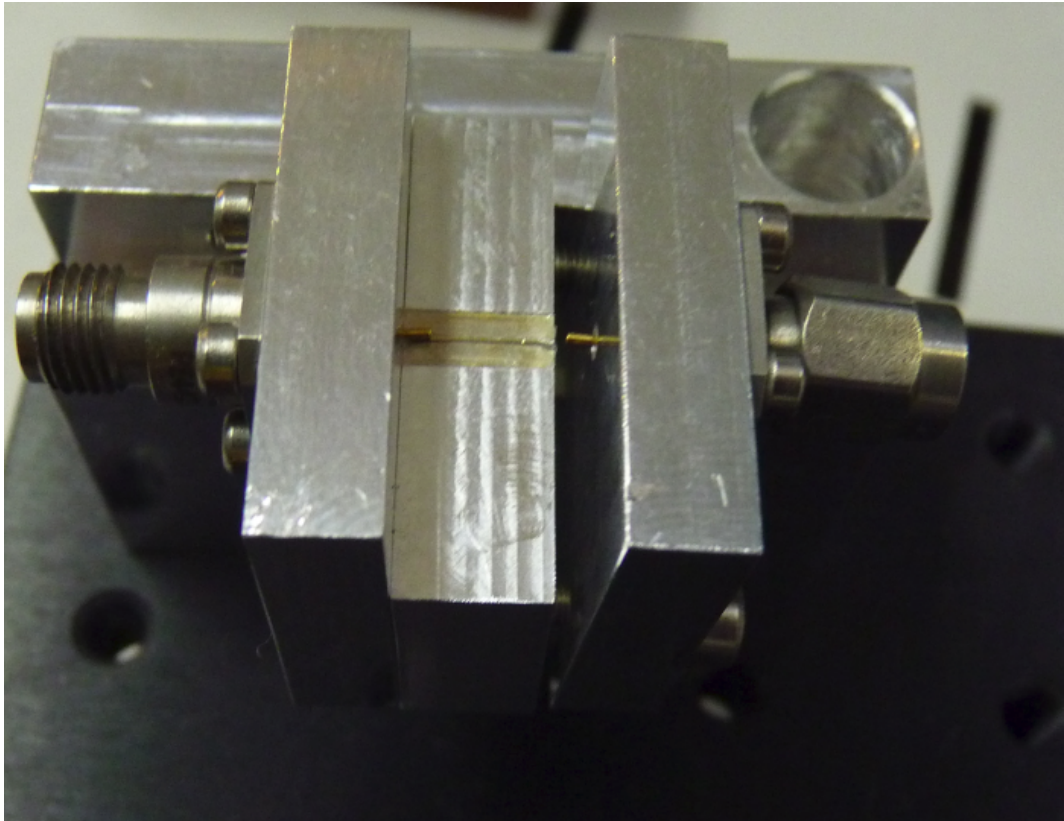
**Figura 3.14:** Fotografía a través del microscopio de la inductancia 1. Puerto de entrada a la derecha.



**Figura 3.15:** Fotografía a través del microscopio de las 4 inductancias. Puerto de entrada arriba.

### 3.4. Sistema de Montaje Acoplado

Se diseñó un sistema de montaje que permite intercambiar el DUT sin tener que desmontar todo el bloque donde va el dispositivo. Esto se logra separando el bloque de montaje en tres partes, dos módulos extremos donde están los puertos del bloque y un módulo central donde está montado el DUT. Con esto se pueden dejar los dos extremos siempre montados en el sistema, mientras que el módulo central se acopla y desacopla al sistema fácilmente, agilizando el montaje de piezas. En la figura 3.16 se puede ver el sistema de montaje, con el módulo removible central acoplado al puerto izquierdo. El puerto derecho está retirado mostrando donde se separa éste del módulo central.



**Figura 3.16:** Fotografía del bloque del sistema de montaje con un bloque removible acoplado.

Este sistema tiene la ventaja de evitar reconectar los cables 2.4 mm constantemente a

cada dispositivo que se quiera medir, disminuyendo el desgaste de conectores y bajando la probabilidad de dañarlos. Por otro lado el montaje de nuevos dispositivos se ve favorecido, ya que solo es necesario cambiar la parte central del bloque en las etapas de diseño y construcción.

### 3.5. Bloque del Transistor

El transistor será montado en el sistema de montaje acoplado, por lo que solo fue necesario diseñar el modulo central. Más adelante se vera que un área importante del sistema de caracterización no funciono correctamente, por lo que se dio prioridad a esto ante el montaje del transistor. Por esta razón la construcción de este modulo y el montaje del transistor no fueron realizados. En esta sección se describe de todas formas el diseño planificado para realizar el montaje.

Los componentes del bloque del transistor son similares a los de las Bias Tee pero sin la rama de polarización. Un par de conectores 2.4 mm en caras opuestas conectan a líneas microcinta que viajan hacia el dispositivo, un hilo de oro se encarga de unir la línea proveniente del puerto 1 con el contacto de la *compuerta* del transistor, y otro se encarga de unir la línea proveniente del puerto 2 con el contacto del *drenaje*. Los contactos de la *fuelle* están conectados a la cara inferior del transistor, que debe ir conectada a tierra.

Para el bloque del transistor y los bloques de los estándares TRL el substrato microcinta utilizado es CuFlon de Polyflon Company [19], cuyas características se pueden ver en el cuadro 3.3. El cambio de substrato se debe a que CuFlon presenta menores perdidas que RT/duroid 6002. Dado que por los estándares fueron fabricados en la CNC, no se tuvo el problema de trabajar con fotolitografía en un sustrato tan delgado.

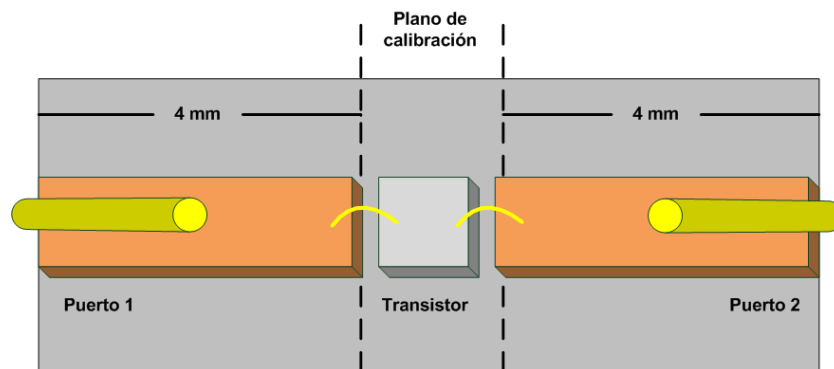
Las líneas que llevan la señal desde los puertos al transistor son de  $50 \Omega$  y de un largo de 4 mm. Este largo se consideró de manera que la onda se pueda adaptar de coaxial a microcinta

Altura de substrato	5 mil
Altura cada capa de cobre	9 $\mu$ m
Constante dieléctrica $\epsilon_r$	2.05
Factor de disipación TAN $\delta$	0.00045

**Cuadro 3.3:** Parámetros substrato CuFlon.

antes de llegar al hilo de oro del transistor. Éstas van pegadas con cianoacrilato al bloque metálico.

Entre las líneas se deja un espacio de 0.5 mm donde va montado el transistor que tiene 0.38 mm de ancho, lo que deja una distancia muy pequeña para que los hilos de oro que unen el dispositivo a las líneas no tengan un elevado valor de inductancia. La cara inferior del transistor da la conexión a tierra, por lo que debe ser pegado con pegamento conductor. Como ya se mencionó, se utilizará pegamento epóxico, el que debe ser cuidadosamente aplicado para no formar cortocircuitos en el transistor, en las líneas o entre ambos.



**Figura 3.17:** Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración.

## 3.6. Calibración TRL

### 3.6.1. Elección del Plano de Calibración

El diseño del sistema de calibración TRL es dependiente del lugar donde se sitúe el plano de calibración. El objetivo de la calibración es descontar de la medición del dispositivo todos los efectos de los elementos conectados entre éste y el VNA. Los elementos descontados serán todos los que estén situados detrás de plano de calibración. Por este motivo lo ideal es colocar el plano de calibración lo más cercano posible al dispositivo.

Los bondigs que unen el transistor a las líneas no pueden ser incluidos dentro de la calibración, por lo que se tendrá que hacer un *de – embedding* de estos posteriormente. Así, lo más cercano que se puede llevar el plano de calibración al transistor es hasta antes de estos hilos de oro. De esta forma la calibración TRL estará descontando todos los cables coaxiales del sistema de medición, los Bias Tee y dentro del bloque del transistor, los conectores 2.4 mm y las líneas microcinta que llevan la señal al transistor.

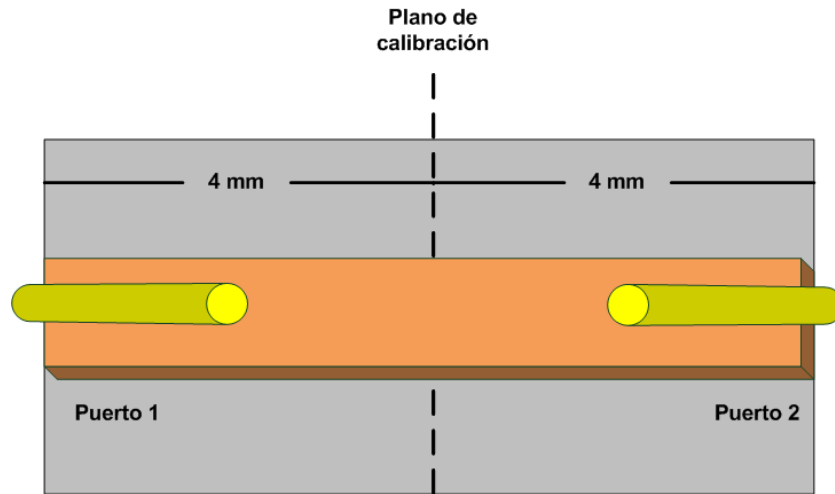
El diagrama que muestra el plano de calibración en el bloque del transistor se puede ver en la figura 3.17, donde se puede notar que sólo el transistor y los hilos de oro quedan fuera del plano de calibración.

### 3.6.2. Diseño y construcción de estándares

Con el plano de calibración ya escogido se puede diseñar el sistema de calibración TRL. Como se menciona en la sección 2.4.3 esta calibración esta formada por tres estándares: Directo, Reflexión y Línea.

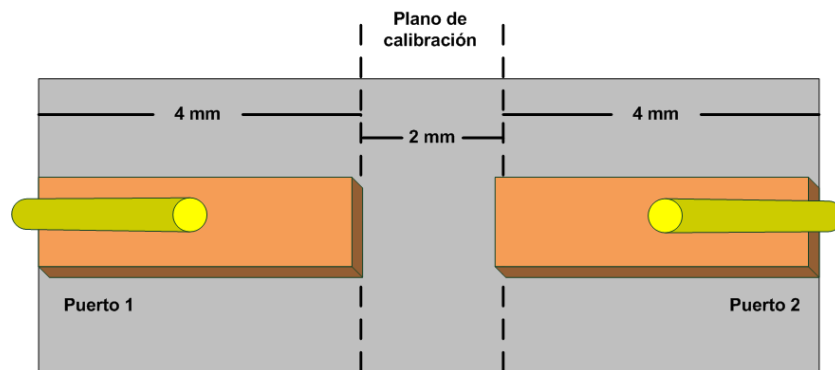
Directo corresponde a unir los dos planos de calibración para que la señal pase directamente de uno a otro, como el plano de calibración esta a 4 mm de los puertos, se debe generar una línea de 50  $\Omega$  de 8 mm de largo que conecte los dos puertos, así esta línea representa las

líneas de 4 mm a cada lado conectadas directamente.



**Figura 3.18:** Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración.

Reflexión consiste en que se tenga una reflexión perfecta que asegure la misma lógica con dos líneas de 4 mm, pero estas están separadas por 2 mm de distancia, para que la onda se refleje a la altura del plano de calibración, regresando al VNA por el mismo puerto por el que ingreso. De esta forma el bloque tendrá que ser de 10 mm de ancho.

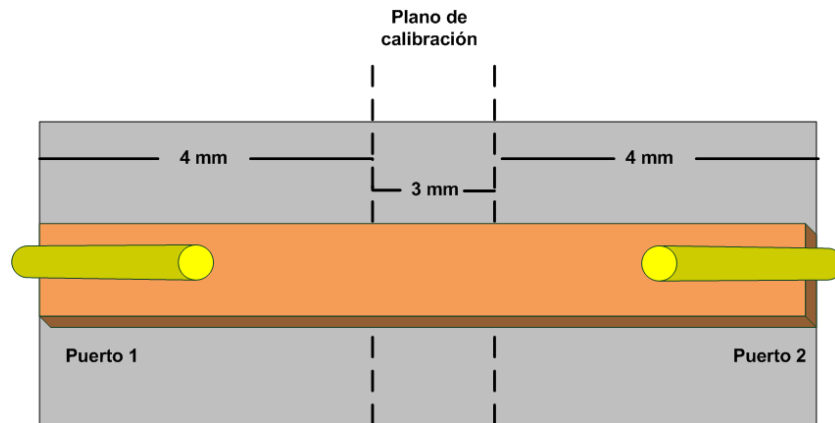


**Figura 3.19:** Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración.

Línea corresponde a una línea por donde la onda pasa del puerto 1 al 2, por lo que se



debe construir una línea de largo mayor a 8 mm ya que esta distancia sólo cubre hasta el plano de calibración. Se escogió una línea de 3 mm por lo que el bloque deberá ser de 11 mm de ancho. De esta forma una vez realizada la calibración al conectar esta línea de 11 mm, el sistema solo verá una línea de 3 mm, que es la que esta entre los planos de calibración.



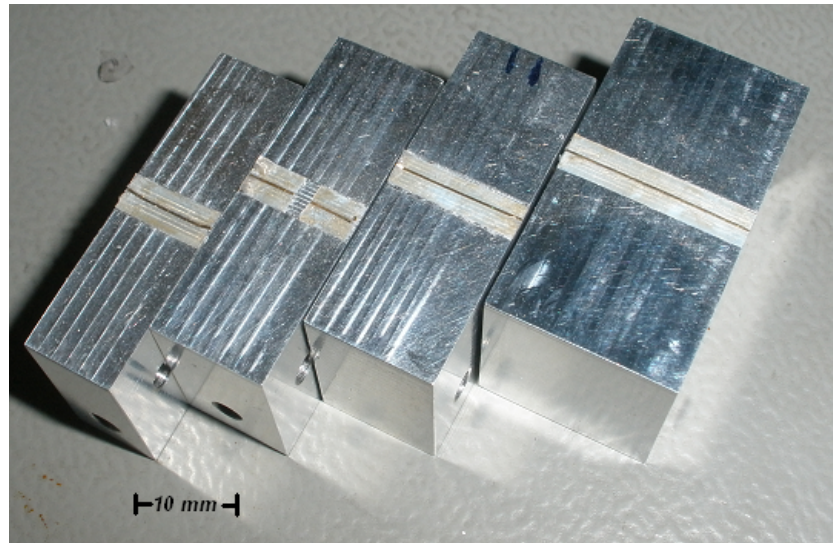
**Figura 3.20:** Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración.

Debido al grado de precisión requerido en los estándares, estas líneas fueron construidas en la CNC. Para esto se pegó el substrato a un bloque metálico para darle rigidez, se montó en la CNC y se fresó para formar las piezas requeridas. Luego, se despegan las líneas del bloque utilizando acetona. Se observó que la CNC no fue capaz de retirar completamente el cobre del substrato, por lo que se extrajo el cobre sobrante manualmente, aplicando cuidadosamente gotas de cloruro férrico sobre el metal sobrante.

### 3.6.3. Bloque de Calibración

Para el montaje de la calibración se utilizara el sistema montaje acoplado. De esta forma los conectores 2.4 mm estarán conectados directamente al sistema de montaje, y solo sera necesario diseñar los módulos centrales que contendrán cada estándar.

Los módulos independientes donde se monta cada línea serán 4 en total: Directo, Reflexión, Línea y Prueba. Los primeros 3 corresponden a los estándares de calibración. Prueba es una línea de distinto largo que Línea, que se utiliza para comprobar que la calibración funciona correctamente. Estos módulos pueden verse en la figura 3.21, donde aparecen de izquierda a derecha: Directo, Reflexión, Línea y Prueba.



**Figura 3.21:** Estándares de calibración TRL fabricados en módulos compatibles con el sistema de montaje acoplado. De izquierda a derecha: Directo, Reflexión, Línea y Prueba.

#### 3.6.4. Incorporación de la Calibración al VNA

Al realizar la calibración, el VNA abre un asistente donde el usuario le indica a la máquina qué estándar se está midiendo. Una vez medidos todos los estándares, el VNA realizará los cálculos descritos en la sección 2.4.3 para descontar el efecto de los elementos que estén detrás del plano de calibración, con lo que se habrá efectuado la calibración. Sin embargo, para que el VNA reconozca los estándares es necesario haberlos registrado previamente en la máquina y haber definido en ésta la calibración creada. Los pasos para definir la calibración TRL en el VNA se encuentran en la sección A de anexos.

## 3.7. Protocolo de Pruebas y Procesamiento de Datos

### 3.7.1. Protocolo de Pruebas

Las pruebas se realizan montando el sistema de pruebas como se ve en la figura 3.1. Antes de realizar las mediciones se efectúa la calibración TRL. Una vez terminado este procedimiento se puede comprobar que la calibración estuvo bien efectuada colocando el bloque que contiene la línea de prueba. En este caso se deberían obtener reflexiones bajo los  $-30\text{ dB}$ , y transmisiones muy cercanas a  $0\text{ dB}$ .

Se deben realizar tantas pruebas como puntos de operación se quieran conocer para el transistor. Las variables a medir en todas las pruebas son siempre los parámetros  $S$  del circuito de pruebas, el que estará formado, una vez realizada la calibración TRL, por el transistor y las dos inductancias en serie que generan los hilos de oro.

La primera prueba con la que se determinan los parámetros extrínsecos del transistor se realiza a  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$ , por lo que se regula la fuente de voltaje continuo que ingresa al Bias Tee 1 para que entregue un voltaje menor que  $V_{pinchoff}$ , y de esta forma entregar a la *compuerta* el voltaje adecuado. De la misma forma se regula la fuente de voltaje continuo que ingresa al Bias Tee 2 para que entregue un voltaje de  $0\text{ [V]}$  a  $V_{ds}$ . Esta prueba solo se realiza una vez por transistor ya que no depende de la polarización del dispositivo.

El segundo set de pruebas corresponde a variar el voltaje continuo que ingresa al Bias Tee 1, lo que significa variar el punto de operación del transistor variando el voltaje  $V_{gs}$ . Y repetir lo mismo para el Bias Tee 2, con lo que se variara  $V_{ds}$ . Con esto se tendrán tantas matrices  $S$  como combinaciones de voltajes se apliquen al transistor.

En todas las pruebas efectuadas es aconsejable medir los parámetros  $S$  para las mismas frecuencias, tomando el mismo numero de puntos. De esta forma al procesar los datos se

podrá trabajar con cada set de medición en las mismas frecuencias.

### 3.7.2. Procesamiento de Datos

Una vez obtenidas las matrices  $S$  del transistor para cada punto de operación deseado, más la matriz  $S$  del transistor a  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$ , se procede a procesar estos datos para obtener los parámetros del circuito equivalente del dispositivo. Para esto se realiza el método de caracterización descrito en la sección 2.3, implementado en el programa Matlab de la empresa MathWorks [20]. Matlab posee una librería especializada para trabajar con parámetros  $S$  capaz de abrir un archivo de extensión *.s2p*<sup>4</sup> e importar los parámetros  $S$  cargándolos en variables especializadas para tratar con este tipo de datos.

El algoritmo fue implementado en tres archivos, el primero consiste en el programa principal *HEMTECP*, que se encarga de llamar a un segundo archivo que contiene la función *EXTR* que se encarga de calcular los parámetros extrínsecos del transistor medido abriendo el archivo que contiene las mediciones a  $V_{ds} = 0$  y  $V_{gs} < V_{pinchoff}$ , y los retorna al programa principal. Luego *HEMTECP* se llama a un segundo programa *INTR* que se encarga de calcular los parámetros intrínsecos del transistor para un cierto punto de operación y lo retorna al programa principal. *HEMTECP* llamara tantas veces a *INTR* como puntos de operación hayan sido medidos en el transistor (valor que debe ser especificado en el código de *HEMTECP*). Los archivos con las mediciones para obtener los parámetros intrínsecos se deben llamar de la misma forma y diferenciarse por terminar con  $(n)$ , donde  $n$  es el número de medición, de esta forma el programa abrirá todos los archivos, calculando todos los parámetros para cada punto de operación. El código del programa descrito se encuentra en la sección B de Anexos.

---

<sup>4</sup>Extensión *.s2p*: archivo de texto ASCII que contiene los parámetros  $S$  de un circuito de dos puertos. Llamado archivo Touchstone, se utiliza tanto en programas de simulación como en equipos de medición.

# Capítulo 4

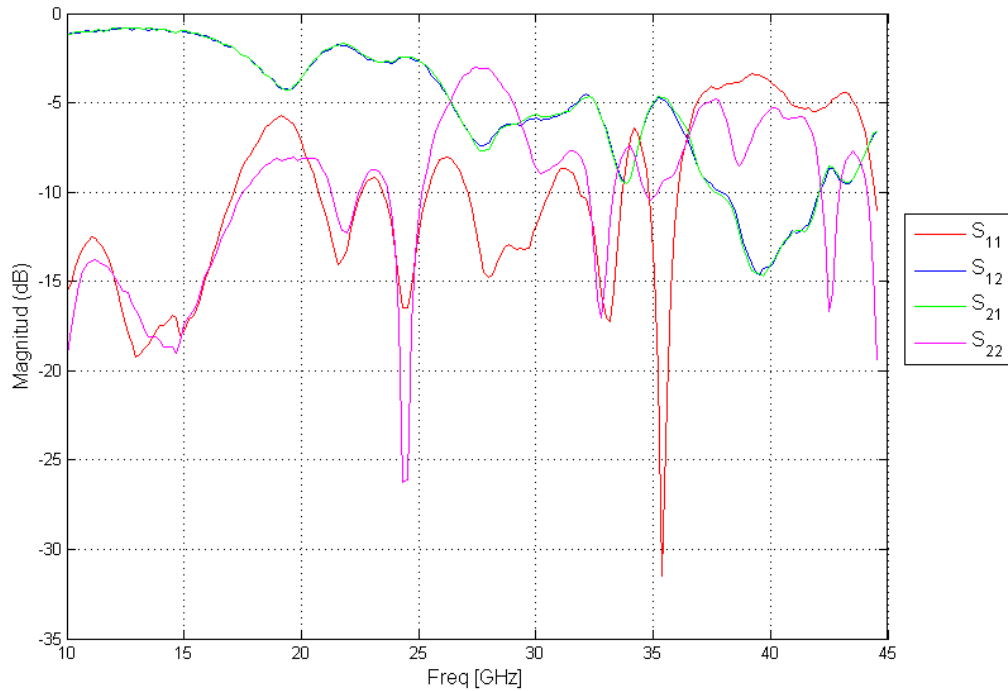
## Resultados y Análisis

### 4.1. Bias Tee

El VNA es solo capaz de medir redes de dos puertos, por lo tanto para obtener el funcionamiento completo del dispositivo se deberán realizar tres sets de mediciones. Primero se medirá conectando los puertos 1 y 2 del Bias Tee al VNA, luego 1 y 3, y finalmente los puertos 2 y 3. La primera medición es la más relevante ya que por las limitaciones físicas en la construcción del *gap*, se pueden tener en esta conexión los peores resultados. La enumeración de los puertos del Bias Tee es de la misma manera que en la sección 3.4. Todas las mediciones efectuadas al bias tee en esta sección, fueron realizadas bajo la calibración SOLT hecha con el kit de calibración 85056D para interfaz de 2.4 mm de Agilent.

Para observar el comportamiento del filtro pasa altos del bias tee, se conecta el puerto 1 del VNA al puerto 1 del Bias Tee y el puerto 2 del VNA al 2 del Bias Tee. Los parámetros  $S$  de la configuración descrita se puede ver en el gráfico de la figura 4.1. Los resultados observados muestran una transmisión inferior a los  $-5$  dB en la mayor parte del rango de interés (20 a 45 GHz), y una reflexión que supera la transmisión en el rango de 37 a 45 GHz.

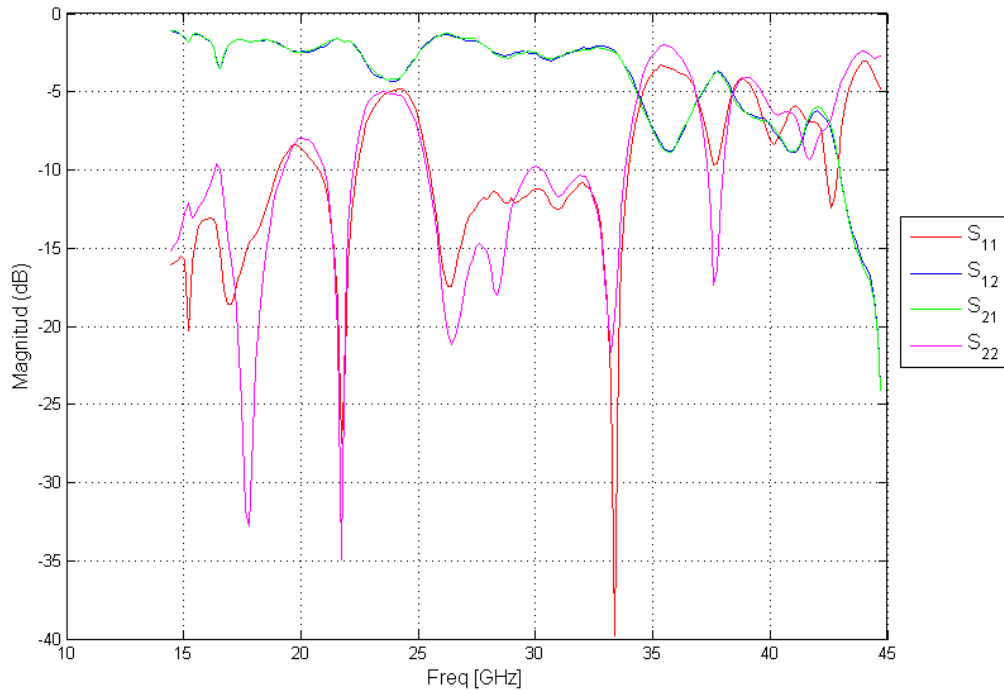
Los resultados que se ven en la figura 4.1, no son los esperables tomando en cuenta las simulaciones. Se realizaron varias pruebas para intentar identificar la causa de estas medidas, como disminuir las distancias de la línea a los bordes conductores, encerrándola en una caja



**Figura 4.1:** Gráfico de parámetros  $S$  del Bias Tee. Conectores 2.4 mm.

metálica sobrepuesta en el bloque de montaje, para disminuir las reflexiones y resonancias con la caja de montaje, usar el bloque con y sin tapa, y remover el suelo de aluminio incorporado, pero se obtuvieron resultados semejantes. También se consideraron problemas en la fabricación de las líneas en el sustrato RT/duroid 6002, o que el sustrato mismo no fuera el adecuado, pero en la construcción del bloque de calibración se trabajó con un sustrato distinto obteniéndose los mismos resultados.

Para descartar que el problema de las mediciones está en el diseño o en la construcción del Bias Tee, se montó en un bloque idéntico una línea microcinta de  $50 \Omega$ , y se midió con el VNA, utilizando los conectores 2.4 mm. El gráfico con los parámetros  $S$  de la línea medida se pueden ver en la figura 4.2. Si bien se observa una ventana entre los 26 y 34 GHz donde la reflexión está por debajo de los  $-10 \text{ dB}$  y en general las reflexiones son más bajas que en el circuito de Bias Tee, las mediciones no corresponden a lo que se espera al medir una línea



**Figura 4.2:** Gráfico de parámetros  $S$  de línea de  $50 \Omega$ . Conectores 2.4 mm.

de igual impedancia que el sistema, donde se deberían obtener reflexiones menores a  $-10 \text{ dB}$  de 10 a 44 GHz. Con estos antecedentes se puede inferir que el problema no se encuentra en el circuito del bias tee, sino en algún componente del bloque de montaje.

De esta forma los resultados obtenidos no reflejan el comportamiento del circuito diseñado, y por lo tanto no se realizó el resto de mediciones para comprobar el funcionamiento del Bias Tee. Los antecedentes presentados en esta sección llevaron a conjeturar que los conectores 2.4 mm son la causa del problema. El análisis de estos conectores se realiza más adelante en la sección 4.3.

## 4.2. Calibración TRL

Para medir como funciona la calibración TRL, se conectara el sistema de montaje acoplado directamente al VNA. Luego se realizara la calibración intercambiando los estándares en el sistema de montaje. Luego con el sistema ya calibrado se procederá a medir líneas de  $50 \Omega$ , con lo que se espera ver bajas reflexiones y altas transmisiones.

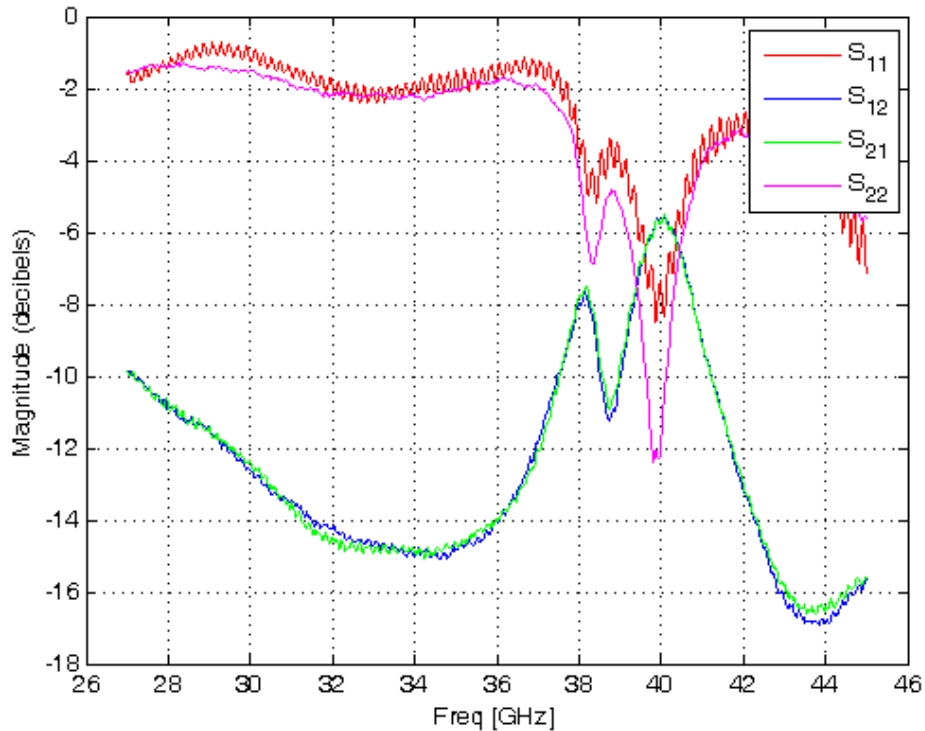
Una vez realizada la calibración, Se utilizo el estándar Directo como DUT. Si la calibración fue exitosa, en el VNA se debería medir que el puerto 1 está directamente conectado al puerto 2, lo que implica medir bajas reflexiones y altas transmisiones. La razón de medir este estándar es que al realizar la calibración, éste fue el ultimo elemento en ser montado en el sistema y, por lo tanto, el primero en ser medido por el VNA. Ésto implica poder medir una línea sin intervenir el sistema de medición cambiando el DUT.

Como punto de comparación a las mediciones efectuadas bajo calibración TRL, se incluye en la figura 4.3 la medición efectuada al mismo estándar pero con el sistema calibrado con el kit de calibración SOLT 85056D para interfaz de 2.4 mm de Agilent. El En la figura 4.4 se puede ver los parámetros  $S$  vs frecuencia del estándar Directo con la calibración TRL operando.

Se puede notar en el gráfico de la figura 4.3 que las reflexiones son más altas que la transmisión, ésto presenta aun peores resultados que midiendo una línea de  $50 \Omega$  en CuFlon que en RT/duroid 6002 (figura 4.2). En la calibración 85056D el plano de calibración llega hasta los conectores 2.4 mm. De esta forma, bajo esta calibración se mide todo el modulo del estándar Directo, incluyendo la adaptación de los conectores 2.4 mm a línea microcinta. Al medir una línea de  $50 \Omega$  se espera tener reflexiones bajo los 30 dB, aun así se los resultados arrojan que la línea prácticamente no transmite.

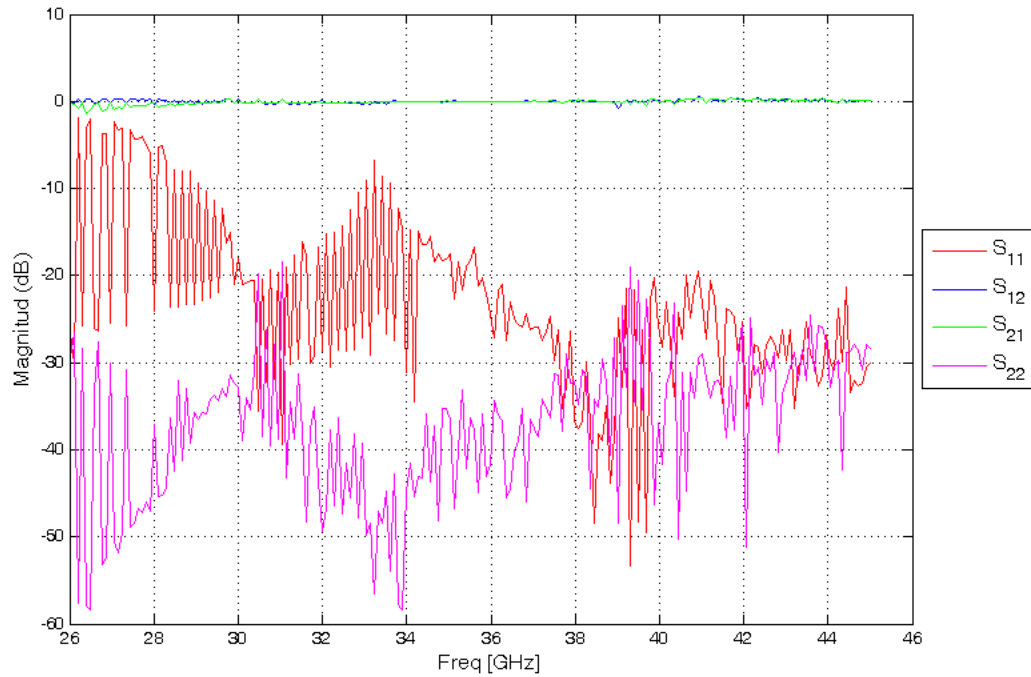
La calibración TRL efectuada tiene el plano de calibración después de la adaptación de





**Figura 4.3:** Gráfico de parámetros  $S$  del estándar Directo bajo calibración SOLT (kit 85056D).

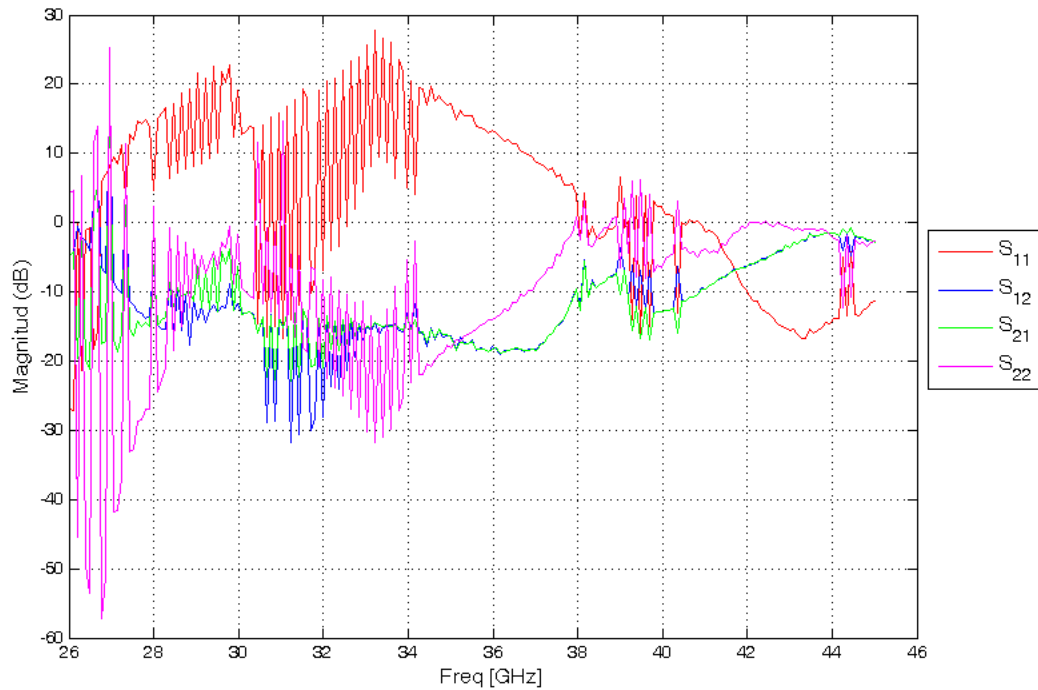
2.4 mm a microcinta, por lo que no debería mostrar altas reflexiones. Se puede apreciar del gráfico de la figura 4.4 que esta calibración logra anular el mal desempeño de los conectores que se aprecia en el gráfico de la figura 4.3, obteniéndose transmisiones cercanas a los 0  $dB$  y reflexiones en torno a los -20  $dB$ . Con este resultado se tiene que el sistema es apto para poder medir el transistor y caracterizarlo, pero un problema fue encontrado al realizar pruebas adicionales. Al desacoplar el conector del puerto 2 del estándar Directo en el bloque de calibración y luego volverlo a conectar, sin cambiar nada más de la configuración en la prueba, se encontró que los parámetros  $S$  del estándar cambiaron totalmente en comparación a lo que se tenía en la figura 4.4. Los nuevos parámetros se pueden ver en el gráfico de la figura 4.5, donde se puede ver que la transmisión sobrepasa los -5  $dB$  solo en el rango de 42 a 45 GHz y que la reflexión no solo es más alta que en la medición anterior si no que además sobrepasa los 0  $dB$ . Estos últimos resultados se pueden asociar a un error numérico.



**Figura 4.4:** Gráfico de parámetros  $S$  del estándar Directo tras la calibración TRL.

$S_{11}$  en el gráfico de la figura 4.5 llegan hasta los  $20\text{ dB}$ , medida físicamente imposible en una red pasiva. La calibración consiste en obtener el comportamiento de etapas intermedias entre los puertos internos del VNA y el DUT, y calcular como se debería medir el DUT si estuviera conectado directamente a los puertos internos del VNA. De esta forma, los errores de precisión al obtener las características de las etapas intermedias, pueden provocar una mala medición del DUT bajo la calibración. La operación de estas medidas erróneas en las matrices que descuentan estos efectos de la medición original, puede hacer crecer numéricamente los errores originales. Ésto produce mayor imprecisión al medir el DUT bajo calibración, al punto de medir algo muy distinto, como puede ser una amplificación en un circuito pasivo.

El hecho de obtener resultados distintos al medir el mismo circuito, bajo la misma calibración, en el mismo espacio de tiempo, y con la sola diferencia de haber reconectado un puerto, implica que la calibración es extremadamente sensible a la posición del pin del conector 2.4



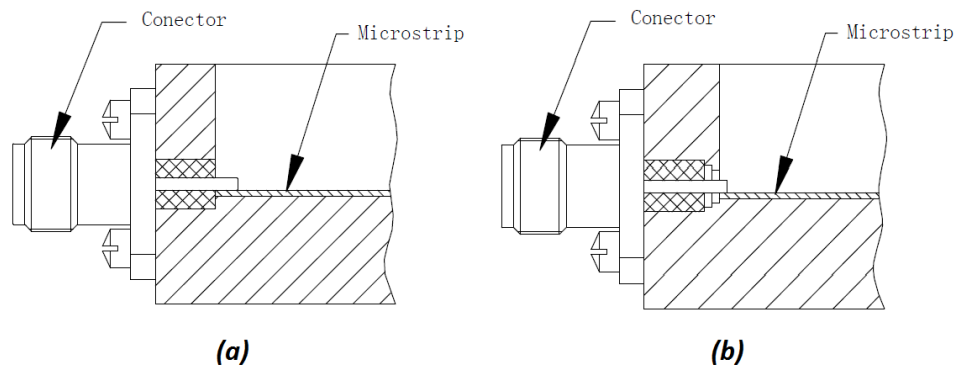
**Figura 4.5:** Gráfico de parámetros  $S$  del estándar Directo tras la calibración TRL, al reconectar el puerto 2.

mm sobre la línea a medir. Este efecto no ocurre bajo calibración SOLT (85056D), que no considera la adaptación de conector 2.4 mm a microcinta. Ésto implica que el crecimiento del error numérico hace la calibración altamente inestable, y por lo tanto inefectiva para realizar la caracterización de transistores, ya que al conectar el bloque con el transistor en el sistema de medición la calibración se perderá.

Este problema se asocia a los conectores 2.4 mm, ya que al obtenerse con estos altas reflexiones y bajas transmisiones como se ve en la sección 4.1, la calibración no obtiene la precisión suficiente para descontar estos efectos. De esta forma se espera que resolviendo el problema de los conectores, el sistema de calibración tendrá un funcionamiento adecuado.

### 4.3. Análisis de conectores 2.4 mm

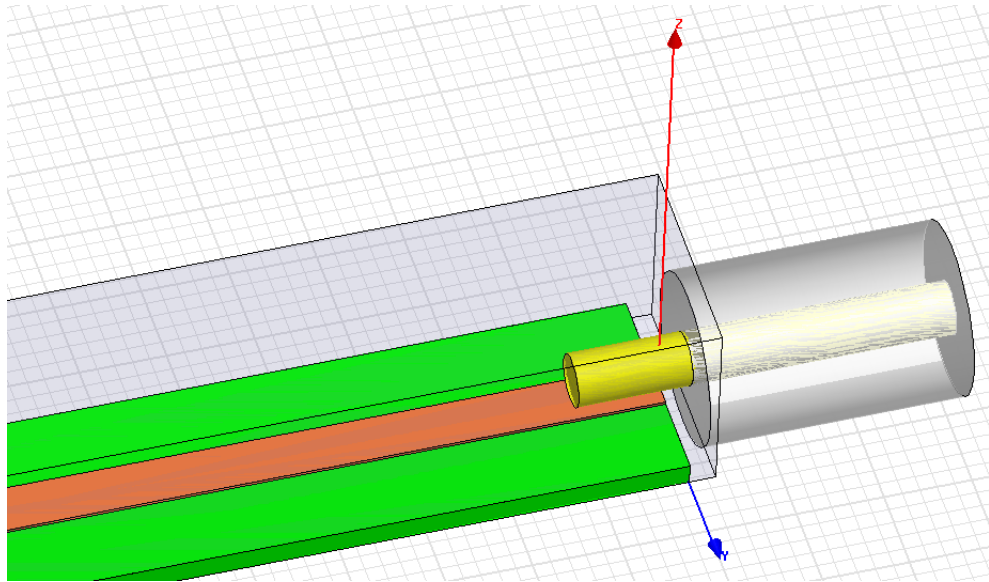
En los resultados arrojados tanto por las mediciones del Bias Tee como por el sistema de calibración se encontró un alto nivel de reflexión, lo que sugiere un elemento común en ambos bloques de montaje. El diseño del filtro Bias Tee queda descartado de momento como error, ya que al medir líneas de  $50 \Omega$  se tiene el mismo resultado, en ambos bloques. El método de fabricación y la precisión de las líneas microcinta queda descartado ya que se fabricaron con procesos diferentes, para distintos substratos, y en el caso de los estándares de calibración fueron fabricados en la CNC donde se obtienen formas más precisas que con el método de pintura fotoresistiva. Los bloques metálicos donde van montados los circuitos son diferentes también para ambos montajes. Esto deja los conectores 2.4 mm como el principal elemento en común.



**Figura 4.6:** Diagrama de montaje de conectores 2.4 mm. (a) montaje simple. (b) montaje de adaptación [21].

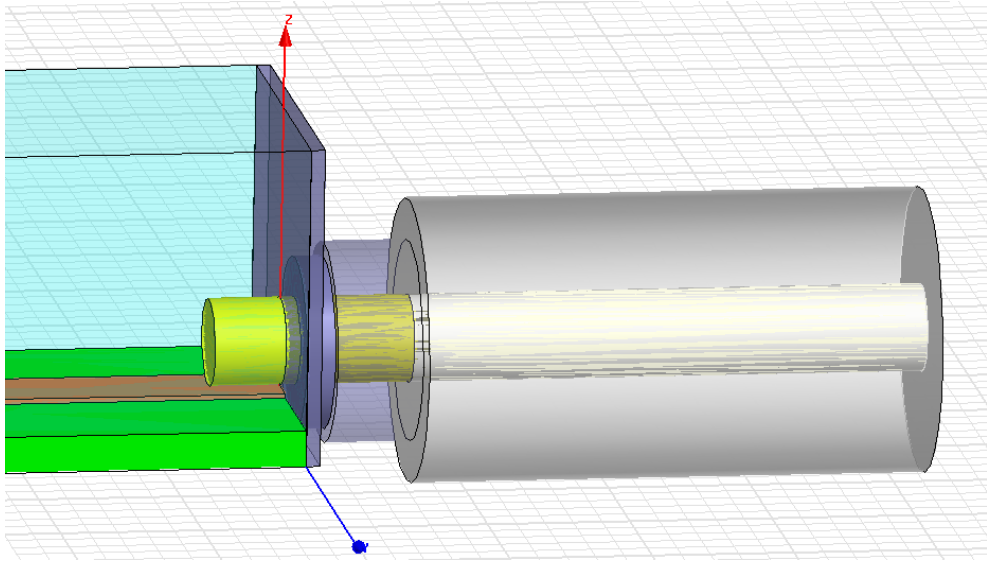
Se busco información relativa al montaje de los conectores en la pagina del fabricante [12], pero no se encontró información relevante. En cambio en la pagina de Allwin Technology [21], otro fabricante de conectores, se describen varias formas de montaje. En particular, se encontró el llamado montaje de adaptación. En este montaje se adapta la llegada del conector a la línea microcinta por medio de variaciones en el radio del agujero en la pared del bloque metálico por donde atraviesa el conector, de forma que el dieléctrico que rodea al pin no llegue hasta el final del túnel. De esta forma, la sección del pin entre el dieléctrico y la punta que

sobresale del agujero, estará rodeado por aire, y el radio del túnel de esta sección se estrechara escalonadamente. En la figura 4.6 a) se puede ver el montaje utilizado en el presente trabajo, mientras que en la figura 4.6 b) se puede ver el montaje de adaptación sugerido por Allwin.



**Figura 4.7:** Renderización del modelo en HFSS del conector 2.4 mm en configuración simple.

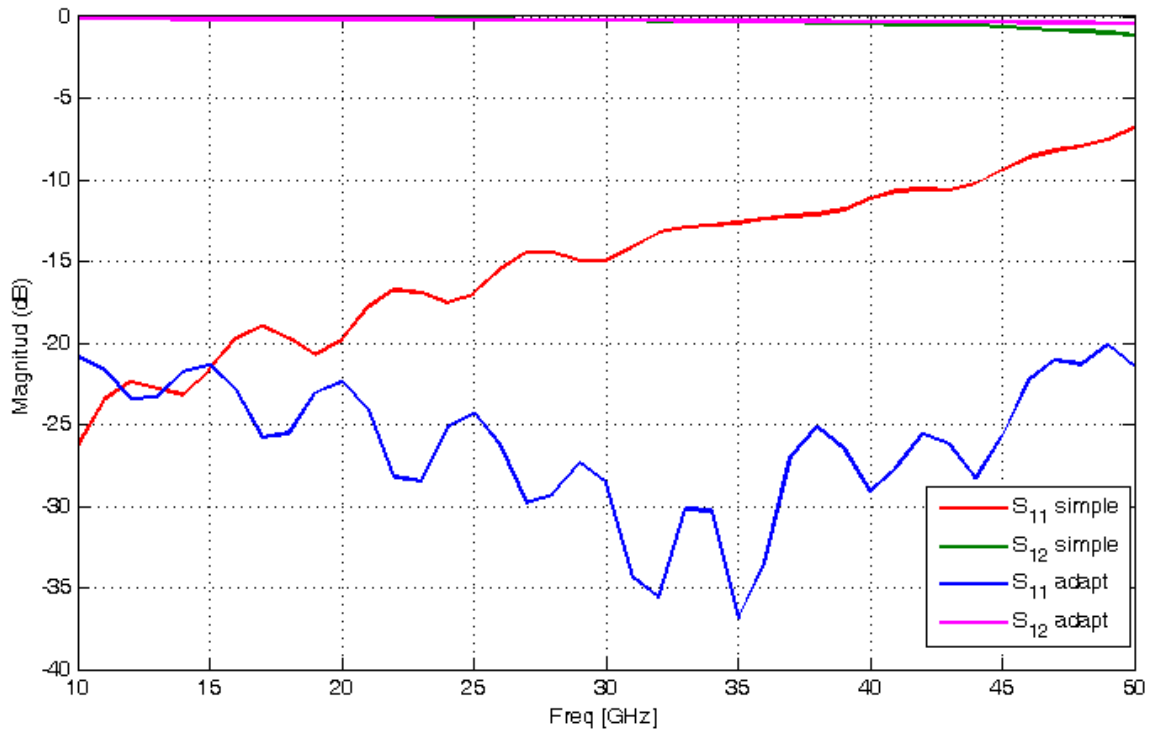
Se crearon dos modelos en HFSS para simular el comportamiento de los conectores. El primer modelo consiste en un conector acoplado a una línea microcinta RT/duroid 6002, en montaje simple, donde un puerto esta en el conector, y el otro al final de la línea. El segundo modelo corresponde al mismo conector y la misma línea pero en montaje de adaptación como el de la figura 4.6 b). Las especificaciones técnicas [9] indican que el dieléctrico del conector esta formado por oxido de polifenileno. Dado que no indican sus propiedades eléctricas, se realizaron simulaciones donde se determino que el substrato debe tener propiedades parecidas al teflón. Los modelos mencionados se realizaron utilizando este material (de constante dieléctrica igual a 2.98 y tangente de perdidas de 0.0016), y oro (conductividad de  $4.1 \times 10^7$  S/m) para el conductor. En la figura 4.7 se puede ver la renderización del modelo en montaje simple, mientras que en la figura 4.8 se ve el modelo en configuración de adaptación. Para este último modelo se realizaron simulaciones para encontrar las dimensiones que lograsen la



**Figura 4.8:** Renderización del modelo en HFSS del conector 2.4 mm en configuración de adaptación.

mejor adaptación.

El gráfico de la figura 4.9 muestra los parámetros  $S$  del circuito línea-conector para el montaje simple y el montaje de adaptación. Para la configuración simple, se puede observar que la transmisión en la simulación es mucho más alta que en el sistema real, siendo superior a  $-1$  dB en prácticamente todo el ancho de banda, mientras que en el real (figura 4.2) se midieron transmisiones inferiores a  $-2.5$  dB hasta los 33 GHz, que luego están por bajo los  $-5$  dB para frecuencias mayores. Esto indica que la simulación no es capaz de describir todos los fenómenos relevantes que se tienen en el sistema construido. De todas formas la simulación muestra que el circuito línea-conector tiene alta transmisión y baja reflexión de 10 a 30 GHz donde se tienen reflexiones menores a  $-15$  dB, pero para frecuencias mayores la reflexión va aumentando hasta llegar a los  $-10$  dB a 45 GHz y a  $-7$  dB a 50 GHz, lo que implica un reflexión menor a  $-1$  dB a esta última frecuencia. Esto puede dar explicación a las altas reflexiones y bajas transmisiones encontradas al medir el sistema real a frecuencia superiores a 33 GHz.



**Figura 4.9:** Gráfico de parámetros  $S$  de las simulaciones del conector 2.4 mm en configuración simple y en configuración de adaptación.

Al observar las curvas de la conexión de adaptación en el gráfico de la figura 4.9, se puede ver que la adaptación realizada entre la línea y el conector mejora considerablemente el desempeño del circuito, donde se obtienen una reflexión inferior a  $-20$  dB y una transmisión superior a los  $-0.5$  dB en todo el ancho de banda de 20 a 50 GHz, lo que implica reflexiones un 30% más bajas en promedio en comparación con la simulación del montaje simple. Se observa en particular que el montaje adaptado tiene mejor funcionamiento a frecuencias altas en comparación al simple, mientras que empeora ligeramente para las frecuencias más bajas, pero en general tiene un comportamiento más robusto en todo el ancho de banda.

Estos resultados indican que, al menos a nivel de simulación, se logra una mejor adaptación de impedancia del conector utilizando el montaje con adaptación. El siguiente paso es construir un bloque prototipo para probar el montaje sugerido, donde se espera un mejor

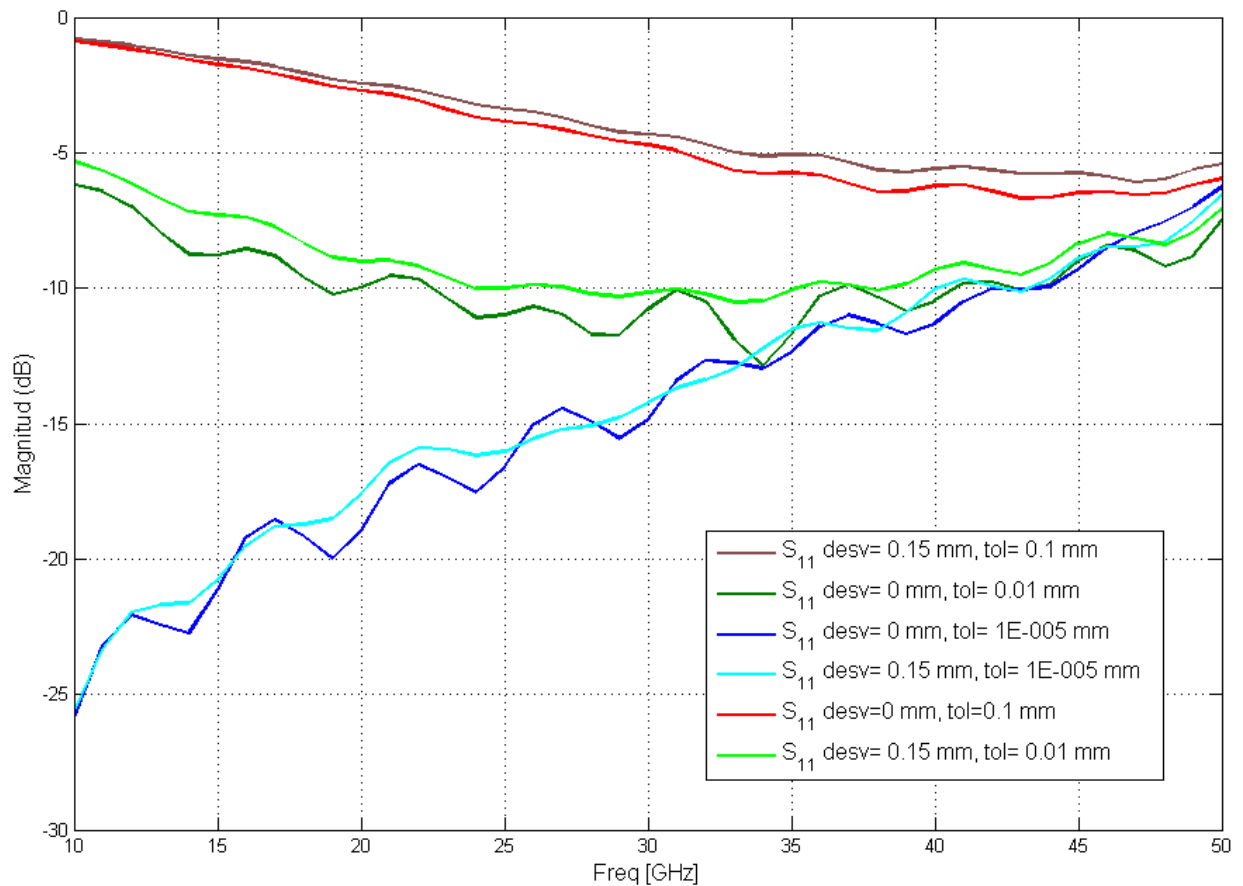
desempeño en comparación con el montaje simple que se utiliza actualmente. Debido a la precisión requerida, la fabricación de este bloque requerirá la utilización de la CNC. Esta etapa queda fuera del trabajo de esta memoria.

Se realizaron más simulaciones para observar el comportamiento del circuito línea-conector ante errores de precisión detectados en el montaje real. Específicamente se probó como afecta que el conector esté separado verticalmente de la línea, y el efecto de la alineación horizontal entre el conector y el centro de la línea. En los modelos en HFSS el parámetro *tolerancia* indica cuanto está separado el extremo inferior del pin respecto a la línea microcinta, cuando este valor es cercano a cero (igual a cero genera un error numérico en la simulación) significa que se están tocando, mientras que a medida que este valor crece negativamente, el pin se estará elevando por sobre la línea. El parámetro *desviacion* da cuenta de cuanto esta desalineado el centro del pin con respecto al centro de la línea, valores positivos implica que el pin mueve en sentido positivo a lo largo del eje  $Y$  del sistema de referencia de las figuras 4.7 y 4.8 representado por un vector azul.

El gráfico de la figura 4.10 muestra los parámetros  $S_{11}$  del modelo de montaje simple para distintos valores de *desviacion* y *tolerancia*. Aquí se puede ver que la elevación del pin es preponderante en el nivel de reflexión, donde para una elevación de  $0.01\text{ mm}$  se obtienen reflexiones en torno a los  $-10\text{ dB}$ ,  $5\text{ dB}$  en promedio por sobre la reflexión para una *tolerancia* cercana a cero. Mientras que para una elevación de  $0.1\text{ mm}$  se tienen reflexiones en torno a los  $-5\text{ dB}$ . Se puede ver que la elevación del pin tiene mayores aumentos de reflexión mientras más baja sea la frecuencia. Este efecto podría estar afectando el montaje real donde el problema de montaje es más complejo con el pin del conector conectado en diagonal hacia la línea.

En este último gráficos se ve que el efecto de la alineación horizontal es mucho menor, donde para cada valor de elevación se simularon dos posiciones horizontales del conector, una en el centro, y otra a  $0.15\text{ mm}$  del centro de la línea. La reflexión no cambia en más de un

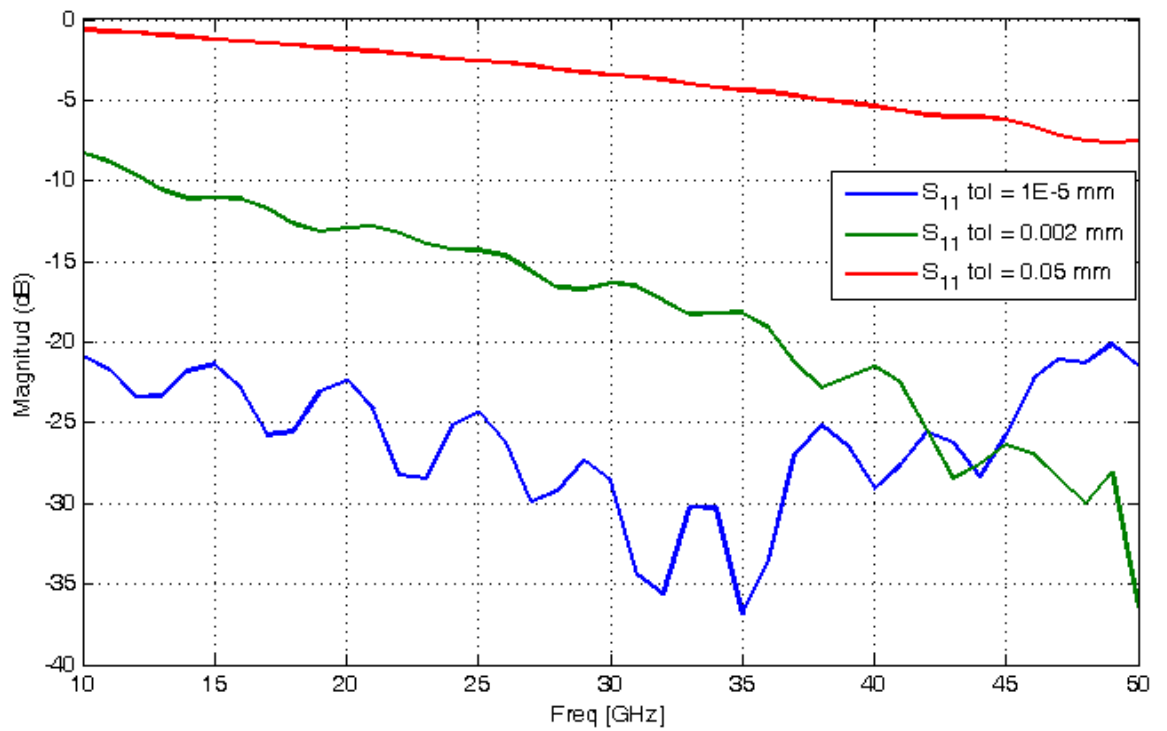




**Figura 4.10:** Gráfico de parámetros  $S_{11}$  de la simulación del conector 2.4 mm en configuración simple, ante variaciones de su alineamiento vertical y horizontal con respecto a la línea.

decibel entre ambas posiciones.

Se simuló además como afecta la elevación al modelo con adaptación para conocer su comportamiento ante posibles errores de conexión y observar si es más robusto ante este problema. En el gráfico de la figura 4.11 se puede ver como cambia el parámetro  $S_{11}$  para valores de elevación de  $0,0001 \approx 0$ ,  $0,002$  y  $0,05$  mm, donde se puede apreciar que para  $0,002$  la reflexión aumenta en promedio de  $-26$  a  $-13$  dB aproximadamente para frecuencias inferiores a  $38$  GHz, pero para frecuencias mayores la reflexión a  $0,002$  mm de elevación es más baja que en el caso de elevación cero. Para una elevación de  $0,05$  mm se ve que la reflexión



**Figura 4.11:** Gráfico de parámetros  $S_{11}$  de la simulación del conector 2.4 mm en configuración de adaptación, ante variaciones de su alineamiento vertical con respecto a la línea.

es superior a  $-7.5 \text{ dB}$  en todo el ancho de banda. Se observa además que a diferencia de las simulaciones para el modelo de conexión simple, el efecto de la elevación no empeora la reflexión para frecuencias bajas.

# Capítulo 5

## Conclusiones

El objetivo del presente trabajo fue diseñar, fabricar y probar un sistema de calibración de transistores HEMT. El sistema de calibración está compuesto de cinco elementos principales. 1, El VNA que se utilizará para medir los parámetros  $S$ . 2, el Bias Tee que acopla la señal y la polarización que ingresarán al transistor. 3, el sistema de calibración TRL necesario para descontar de la medición del transistor el efecto del resto de los elementos del sistema de caracterización. 4, el bloque de montajes acoplados, que permitirá realizar la calibración TRL de forma más expedita, y para montar e intercambiar en él, los distintos DUTs que se quieran medir. Y 5, un programa computacional que calcula a partir de las mediciones, los parámetros del transistor. Se utiliza el sistema de montaje acoplado para realizar la calibración, y montar el transistor, mientras que los bias tee están montados en sus propios bloques.

Las simulaciones arrojaron que el circuito Bias Tee diseñado tendría reflexiones menores a los  $-10$  dB en gran parte del ancho de banda (18 a 40 GHz) si se lograba la precisión de construcción adecuada ( $gap < 10$  mil). Al medir el circuito construido se encontró que si bien la precisión lograda en microcinta era cercana a la esperada, los niveles de reflexión medidos fueron mucho más altos de lo esperado, superiores a  $-10$  dB de 17 a 45 GHz. Para comprobar si el problema es el filtro diseñado o algún problema en el método de montaje, se probó construir, montar y medir una línea de  $50 \Omega$ , donde se encontraron reflexiones mayores a  $-10$  dB en gran parte del ancho de banda. Esto implica que el problema está en el montaje.

También se tuvieron problemas en el sistema de calibración TRL construido. En primer lugar se observó que si bien éste y el Bias Tee estaban contruidos con distintos substratos, y más aún el sistema de calibración fue construido utilizando la CNC, ambos bloques al ser medidos con el VNA mostraron altos niveles de reflexión y baja transmisión. En segundo lugar se observó que la calibración TRL construida disminuye considerablemente el efecto de los componentes que se encuentran entre el DUT y los puertos internos del VNA. Pero esta calibración es muy inestable y ante cualquier variación del montaje, la calibración deja de funcionar, observándose en el VNA curvas físicamente imposibles. Esto es atribuido a un error numérico causado por el mal funcionamiento detectado del bloque. Este error se debe a problemas de imprecisión al medir la adaptación de conector 2.4 mm a línea microcinta, causado por las altas reflexiones que presenta esta adaptación.

Se encontró que el elemento común entre el montaje del Bias Tee y el montaje de la calibración lo constituían los conectores 2.4 mm. De esta forma se procedió a analizar estos conectores creando un modelo en HFSS y simulando su comportamiento al estar conectado a una línea microcinta. Se encontró además que existía un método alternativo de montaje del conector llamado montaje de adaptación, por lo que también fue modelado en HFSS en busca de una explicación al problema. Las simulaciones arrojaron que el conector en montaje simple si bien tenía reflexiones más bajas que las mediciones del sistema real, las reflexiones del modelo aumentaban a alta frecuencia, tal como ocurría en el sistema real. El modelo del montaje de adaptación reveló tener un mejor comportamiento que el de montaje simple, con una reflexión bajo los  $-20$  dB en todo el ancho de banda, y ser más robusto a altas frecuencias.

Se realizaron pruebas de sensibilidad en ambos modelos de conexión, para comprobar como afecta la posición del pin del conector respecto a la línea microcinta. Se observó que la alineación lateral no es tan relevante, lo que indica que para los montajes reales este no debería ser un factor preponderante. Por otro lado se observó que ambos modelos eran sensi-

bles a la elevación del pin sobre la línea, esto es importante ya que de momento los sistemas de montaje utilizados no garantizan que el pin quede ajustado con buena precisión sobre la línea, en general queda un poco sobre y en diagonal, o queda presionando fuertemente la línea al punto de deformarla.

El trabajo realizado en esta memoria se ve interrumpido por razones de tiempo. Construir el prototipo del montaje de adaptación requerirá la utilización de la CNC. Con esto, de los objetivos planteados, solo se logro cumplir con las etapas de diseño y construcción. Dado que los módulos finales no funcionaron de forma correcta, no se pudo caracterizar un transistor de forma exitosa. Sin embargo, este trabajo ha permitido encontrar problemas asociados a la caracterización de transistores que no habían sido considerados previamente. Además da líneas de como solucionar estos problemas. También se construyo el sistema de montaje acoplado, que facilitara la medición de dispositivos. Estos avances no solo incumben a la caracterización de transistores HEMT, sino también a cualquier proyecto del laboratorio que incluya trabajar con conectores 2.4 mm y líneas microcinta.

Queda propuesto realizar más simulaciones del montaje de los conectores 2.4 mm, modelando el pin unido por soldadura a la línea a distintas alturas. Se sugiere como continuación de este trabajo, construir un prototipo de montaje de conector 2.4 mm de tipo adaptación, revisar el resto de técnicas de montaje y buscar maneras de aumentar la precisión de éstas, como puede ser la utilización de un micromanipulador de manera de tener mayor precisión al colocar las líneas microcinta, condensadores, transistores u otros elementos de tamaños milimétricos, que requieran ser insertados con en los bloques de montaje. Además se sugiere revisar el substrato utilizado en el sistema de calibración, ya que CuFlon se deforma fácilmente ante la presión de los conectores, y además como el bloque de calibración es un sistema móvil, las líneas microcinta de éste se desgastan rápidamente, por ambas razones se sugiere utilizar un substrato más duro.

# Anexos

## A

Pasos a seguir para definir la calibración TRL en el VNA.

1. Desplegar el menú *Response*, luego desplegar el menú *Cal*, de aquí el menú *More* y finalmente se aprieta *Cal Kit*.
2. Ésto abre la ventana de calibraciones. Aquí se aprieta *Insert New*, lo que despliega la ventana *Edit Kit*. Dentro de esta ventana en la sección *Identification* se le da el nombre y la descripción a la calibración. En particular la calibración descrita se llama *QTRLMicrostrip*.
3. En la misma venta *Edit Kit* en la sección *Connectors* se aprieta en *Add or Edit*, con lo que se ingresa a la ventana *Add or Edit Connectors*, donde se definen los conectores, dándoles nombre, frecuencia de operación entre 26 y 45 GHz,  $Z_0 = 50$ , y en *media* se escoge coaxial. Luego se cierra esta ventana.
4. En la parte inferior de la ventana *Edit Kit*, se presiona *Add*, y en la ventana desplegable se escoge *THRU* y *Ok*, luego se repite dos veces la operación anterior para escoger nuevamente *THRU* y luego *OPEN*. Esto agregará estos tres estándares a la lista.
5. Luego se procede a editar estos estándares.

Se presiona sobre un *THRU* y luego se aprieta en *Edit*, esto abre la ventana *Thru/Line/Adapter*. Aquí se le cambia el nombre al estándar por *Line*, se definen las

frecuencias entre 26 y 45 GHz,  $Delay = 10$ ,  $Loss = 0$  y  $Z_0 = 50$ , y se cierra esta ventana.

Se presiona sobre el *THRU* restante, y se presiona *Edit*, volviendo a ingresar en la ventana *Thru/Line/Adapter*, se nombra el estándar como *THRU*, se definen las frecuencias entre 26 y 45 GHz,  $Delay = 0$ ,  $Loss = 0$  y  $Z_0 = 50$ , y se cierra esta ventana.

Se presiona sobre *OPEN*, y se presiona *Edit*, con lo que se ingresa a la ventana *Opens*, se nombra el estándar como *OPEN*, se definen las frecuencias entre 26 y 45 GHz,  $C_0 = 1$ ,  $C_1 = 0$ ,  $C_2 = 0$ ,  $C_3 = 0$ ,  $Delay = 0$ ,  $Loss = 0$  y  $Z_0 = 50$ , y se cierra esta ventana.

6. Una vez definidos los estándares, pueden ser asignados a la calibración. Para esto en la sección *Class Assignment*, se escoge *TRL* en el menu desplegable, y se aprieta el botón, con lo que se ingresa a la ventana *Modify TRL Calibration Class Assignment*. Dentro de esta ventana se chequea en *TRL THRU*, *LINE Z<sub>0</sub>* y *THRU* estándar. Finalmente en la sección baja de esta ventana se presiona sobre *THRU*, y se presiona en la flecha hacia la derecha, lo que mueve el estándar *THRU* de la lista *unselected* a la lista *selected*. Se cierra la ventana *Modify TRL Calibration Class Assignment*.
7. Con esto la calibración esta definida en el VNA, y puede ser accesada como cualquier otra calibración bajo el nombre de *QTRLMicrostrip*.

## B

Programa para calcular modelo equivalente del transistor a partir de las pruebas realizadas. Está dividido en tres archivos, HEMTECP es el programa principal que llama a las funciones EXTR e INTR constituidas en dos archivos aparte que son las encargadas de calcular los parámetros y retornarlos a HEMTECP.

## HEMTECP

```
%Programa principal
%Los datos de la caracterización de transistores HEMT es procesada aquí
%para obtener los parámetros de circuito equivalente del transistor.
%Este programa llama a las funciones EXTR e INTR para que calculen los
%valores, para luego retornarlos a este programa.

function average = HEMTECP (numSetups)
%average es una matriz que contiene separados por filas, los parámetros
%extrínsecos, y luego los parámetros intrínsecos. Y cada columna representara
%una medicion distinta, para cada punto de operación.
numFreq = 201;
start = 60; % frecuencia de partida
extr = zeros(6);
intr = zeros(7,numSetups);
Parameters = zeros(13,numSetups);
average = zeros(13,numSetups);
parName(1,:) = 'Rs ';
parName(2,:) = 'Rg ';
parName(3,:) = 'Rd ';
parName(4,:) = 'Ls ';
parName(5,:) = 'Lg ';
parName(6,:) = 'Ld ';
parName(7,:) = 'Cgd';
parName(8,:) = 'Cgs';
parName(9,:) = 'Cds';
parName(10,:) = 'Ri ';
parName(11,:) = 'gm ';
parName(12,:) = 'gd ';
parName(13,:) = 't ';

%obteniendo los parámetros extrínsecos:
extr = EXTR(strcat('Data\S2p Sparring\EC2612_pinched(1).s2p'),start); % función
%que calcula parámetros extrínsecos.

%obteniendo los parámetros intrínsecos para cada punto de operación medido:
for k = 1:numSetups
intr(:,k) = INTR(strcat('Data\S2p Sparring\EC2612_2V_10mA', '(' ,k+48, ')', '.s2p'),extr,start); % función
%que calcula parámetros intrínsecos.
end

%Aquí se rellena average con los parámetros calculados.
for h = 1:numSetups
for k = 1:6
average(k,h) = extr(k);
end

for k = 1:7
average(k+6,h)= intr(k);
end
end
end
% se pueden agragar ahora fuciones que grafiquen estos valores, o que
% los guarden en archivos.
```

## EXTR

```
%Esta funcion calcula los parametros extrínsecos.

function parameters = EXTR(fileS2pPinch,start)
pinchData = read(rfdata.data,fileS2pPinch); %importando parámetros S del archivo .s2p.
```



```

s_params = pinchData.S_Parameters;
numFreq = size(s_params,3); %cantidad de frecuencias medidas
freq = pinchData.Freq;
freq = freq;
w = freq*2*pi();
z0 = pinchData.z0;
z_params = s2z(s_params,z0); % calculo de parámetros Z

%preallocating
Ls = zeros(numFreq);
Lg = zeros(numFreq);
Ld = zeros(numFreq);
Rs = zeros(numFreq);
Rg = zeros(numFreq);
Rd = zeros(numFreq);
%initializing
LS = 0;
LG = 0;
LD = 0;
RS = 0;
RG = 0;
RD = 0;

% calculando Ls, Lg y Ld
%truco numérico: derivada de Z con respecto a w^2
for k = start:numFreq
    %for each frequency
    Ls(k)=imag(z_params(1,2,k))*w(k);
    Lg(k)=imag(z_params(1,1,k))*w(k);
    Ld(k)=imag(z_params(2,2,k))*w(k);
end
    %promedio
LS = (Ls(200)-Ls(140))/(w(200)^2-w(140)^2);
LG = (Lg(200)-Lg(140))/(w(200)^2-w(140)^2)-LS;
LD = (Ld(200)-Ld(140))/(w(200)^2-w(140)^2)-LS;

%calculando Rs, Rg y Rd
for k = start:numFreq
    %for each frequency
    Rs(k)=[real(z_params(1,2,k))];
    Rg(k)=[real(z_params(1,1,k))-Rs(k)];
    Rd(k)=[real(z_params(2,2,k))-Rs(k)];
end

for k = start:numFreq
    %Average
    RS = RS+Rs(k);
    RG = RG+Rg(k);
    RD = RD+Rd(k);
end
RS = RS/(numFreq-start);
RG = RG/(numFreq-start);
RD = RD/(numFreq-start);

%      OUTPUT      %
parameters(1) = RS;
parameters(2) = RG;
parameters(3) = RD;
parameters(4) = LS;
parameters(5) = LG;
parameters(6) = LD;
end

```

# INTR

```
% Esta función calcula los parámetros intrínsecos
% solo para un ser de mediciones (punto de operación)
% HEMTECP puede iterar esta función para obtener las curvas parameter vs Vgs, Vds.

function parameters = INTR (fileS2pActive,extr,start)
activeData = read(rfdata.data,fileS2pActive); %importando parámetros S del archivo .s2p.
s_params = activeData.S_Parameters;
numFreq = size(s_params,3);
freq = activeData.Freq;
w = freq*2*pi();
z0 = activeData.z0;

%extr indexes
Rs = 1;
Rg = 2;
Rd = 3;
Ls = 4;
Lg = 5;
Ld = 6;

%preallocating
Cgd = zeros(numFreq-start);
Cgs = zeros(numFreq-start);
Cds = zeros(numFreq-start);
Ri = zeros(numFreq-start);
gm = zeros(numFreq-start);
gd = zeros(numFreq-start);
t = zeros(numFreq-start);
%initializing
CGD = 0;
CGS = 0;
RI = 0;
GM = 0;
GD = 0;
CDS = 0;
T = 0;

% Obteniendo la matriz Y %

% transformar de matriz S a Z, luego Z11-iwLg y Z22-iwLd
z_params = s2z(s_params,z0);
for k = start:numFreq
    z_params(1,1,k) = z_params(1,1,k)-i*w(k)*extr(Lg);
    z_params(2,2,k) = z_params(2,2,k)-i*w(k)*extr(Ld);
end

% transformar de matriz Z a Y, y luego de Y a Z.
y_params = z2y(z_params);
z_params = y2z(y_params);

% Z11-Rs-Rg-iwLs & Z12-Rs-iwLs & Z21-Rs-iwLs & Z22-Rs-Rd-iwLs
for k = start:numFreq
    z_params(1,1,k) = z_params(1,1,k)-extr(Rs)-extr(Rg)-i*w(k)*extr(Ls);
    z_params(1,2,k) = z_params(1,2,k)-extr(Rs)-i*w(k)*extr(Ls);
    z_params(2,1,k) = z_params(2,1,k)-extr(Rs)-i*w(k)*extr(Ls);
    z_params(2,2,k) = z_params(2,2,k)-extr(Rs)-extr(Rd)-i*w(k)*extr(Ls);
end

% transformando de matriz Z a la matriz Y final.
y_params = z2y(z_params);

% Calculando parámetros intrínsecos
```

```

for k = start:numFreq
    %Y12 = iwCgd
    Cgd(k) = -1*imag(y_params(1,2,k))/w(k);
    %Y11 = RiCgs^2w^2+iw(Cgs+Cgd)
    Cgs(k) = imag(y_params(1,1,k))/w(k)-Cgd(k);
    Ri(k) = real(y_params(1,1,k))/(Cgs(k)^2*w(k)^2);
    %Y21 = gm-iw(Cgd+gm(RiCgs+t))
    gm(k) = real(y_params(2,1,k));
    t(k) = (-1*imag(y_params(2,1,k))/w(k)-Cgd(k))/gm(k)-Ri(k)*Cgs(k);
    %Y22 = gd+iw(Cds+Cgd)
    gd(k) = real(y_params(2,2,k));
    Cds(k) = imag(y_params(2,2,k))/w(k)-Cgd(k);
end

    % promedio
for k = start:numFreq
    CGD = CGD + Cgd(k);
    CGS = CGS + Cgs(k);
    RI = RI + Ri(k);
    GM = GM + gm(k);
    GD = GD + gd(k);
    CDS = CDS + Cds(k);
    T = T + t(k);
end

CGD = CGD/(numFreq-start);
CGS = CGS/(numFreq-start);
RI = RI/(numFreq-start);
GM = GM/(numFreq-start);
GD = GD/(numFreq-start);
CDS = CDS/(numFreq-start);
T = T/(numFreq-start);

%          OUTPUT          %
parameters(1) = CGD;
parameters(2) = CGS;
parameters(3) = CDS;
parameters(4) = RI;
parameters(5) = GM;
parameters(6) = GD;
parameters(7) = T;
end

```

# Glosario

- Banda prohibida - band gap: en física del sólido, es la banda de energía que separa la banda de conducción y la banda de valencia.
- Contacto - pad: superficie metálica ubicada en los terminales de un dispositivo. Es el punto donde se realiza la conexión eléctrica entre distintos terminales.
- Estándares de calibración TRL: ver sección 2.4.3
  - Directo - through
  - Reflexión - reflect
  - Línea - line
- Hilo de oro - gold wire bonding: delgado hilo de oro utilizado para hacer conexiones eléctricas entre dispositivos de pequeño tamaño. Se requiere de una máquina especializada para realizar estas conexiones llamada bonding machine. Además de oro, estos puentes se pueden realizar con aluminio y cobre.
- Línea microcinta - microstrip line: línea de transmisión eléctrica utilizada en microondas. Consiste en una franja de conducción separada de un plano de tierra por una capa de dieléctrico llamada sustrato.
- Milésima de pulgada - mil, thou or point: unidad de medida del sistema imperial, equivalente a 0.001 pulgadas o 0.0254 mm.
- Puertos de un transistor FET: en los transistores FET, el voltaje aplicado en la compuerta maneja la corriente que fluye entre el drenaje y la fuente.

- Compuerta - gate
  - Fuente - source
  - Drenaje - drain
- 
- Renderización - renderization: termino utilizado para referirse a la generación de una imagen a partir de un modelo computacional.

# Índice de figuras

2.1. Geometría Línea Microcinta[2]. . . . .	15
2.2. Campos en Línea Microcinta [2]. . . . .	15
2.3. Circuito de dos puertos con ondas incidentes y reflejadas [3]. . . . .	16
2.4. Significado físico de paramtetros $S$ [3]. . . . .	18
2.5. Gráfico Polar con coeficiente de reflexión para corto circuito, adaptación perfecta y circuito abierto [3]. . . . .	19
2.6. Carta Smith círculos de igual resistencia [3]. . . . .	20
2.7. Carta Smith estándar [3]. . . . .	20
2.8. Ruido equivalente de un dispositivo de ganancia $G$ . (a) Dispositivo ruidoso. (b) Dispositivo sin ruido [2]. . . . .	22
2.9. Ruido en circuito receptor formado por elementos ruidosos en cascada. . . . .	23
2.10. Diagrama del Transistor HEMT [5]. . . . .	25
2.11. Principio de Modulación de Dopaje en HEMT [5]. . . . .	26
2.12. Circuito equivalente de pequeña señal de un HEMT representado sobre el dispositivo físico [6]. . . . .	27
2.13. Circuito equivalente de pequeña señal del transistor HEMT [7]. . . . .	28
2.14. Circuito equivalente de pequeña señal del transistor HEMT a $V_{ds} = 0$ y $V_{gs} < V_{pinchoff}$ [7]. . . . .	29
2.15. Método para extraer la matriz $Y$ intrínseca del transistor [7]. . . . .	31
2.16. Representación en grafo de flujo de señales de una red dos puertos [2]. . . . .	33
2.17. Diagrama de Bloques de medición en VNA de un dispositivo de dos puertos [2]. . . . .	34
2.18. Diagrama de Bloques Calibración TRL [2]. . . . .	35

2.19. Diagrama de Bloques y grafos de flujos de señales de estándares de calibración TRL. (a) Directo. (b) Reflexión. (c) Línea [2]. . . . .	36
3.1. Diagrama de conexión del sistema de medición. . . . .	40
3.2. Conectores. (a) 2.4 mm macho. (b) 2.4 mm hembra. (c) SMA hembra [12]. . . . .	41
3.3. Esquema de transistor pHemt EC2612 con dimensiones físicas en $\mu m$ [13]. . . . .	42
3.4. Diagrama de bloques del filtro Bias Tee. . . . .	43
3.5. Diagrama circuital del Bias Tee. . . . .	44
3.6. Renderización del modelo en HFSS del Bias Tee, que representa los compo- nentes físicos del circuito de la figura 3.5. . . . .	45
3.7. Renderización de los Filtros del Bias Tee en mayor detalle. (a) Filtro pasa altos. (b) Filtro pasa bajos. . . . .	47
3.8. Simulación de Bias Tee en HFSS, para valores de $C_1$ de 0.1, 0.4 y 1 pF. (a) separación de 6 mil. (b) separación de 8 mil. (c) separación de 10 mil. . . . .	49
3.9. Diagrama de montaje de conector en pared del bloque de duraluminio. . . . .	51
3.10. Fotografía de las líneas microcinta fabricadas. . . . .	52
3.11. Fotografía de las líneas microcinta montadas sobre el bloque de duraluminio. . . . .	56
3.12. Fotografía de condensadores y líneas montados sobre el bloque de duraluminio. . . . .	57
3.13. Fotografía a través del microscopio de las inductancias 1 y 2. Puerto de entrada a la izquierda. . . . .	58
3.14. Fotografía a través del microscopio de la inductancia 1. Puerto de entrada a la derecha. . . . .	59
3.15. Fotografía a través del microscopio de las 4 inductancias. Puerto de entrada arriba. . . . .	59
3.16. Fotografía del bloque del sistema de montaje con un bloque removible acoplado. . . . .	60
3.17. Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración. . . . .	62
3.18. Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración. . . . .	64

3.19. Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración. . . . .	64
3.20. Diagrama que muestra el montaje planeado para el transistor y la elección del plano de calibración. . . . .	65
3.21. Estándares de calibración TRL fabricados en módulos compatibles con el sistema de montaje acoplado. De izquierda a derecha: Directo, Reflexión, Línea y Prueba. . . . .	66
4.1. Gráfico de parámetros $S$ del Bias Tee. Conectores 2.4 mm. . . . .	70
4.2. Gráfico de parámetros $S$ de línea de 50 $\Omega$ . Conectores 2.4 mm. . . . .	71
4.3. Gráfico de parámetros $S$ del estándar Directo bajo calibración SOLT (kit 85056D). . . . .	73
4.4. Gráfico de parámetros $S$ del estándar Directo tras la calibración TRL. . . . .	74
4.5. Gráfico de parámetros $S$ del estándar Directo tras la calibración TRL, al reconectar el puerto 2. . . . .	75
4.6. Diagrama de montaje de conectores 2.4 mm. (a) montaje simple. (b) montaje de adaptación [21]. . . . .	76
4.7. Renderización del modelo en HFSS del conector 2.4 mm en configuración simple. . . . .	77
4.8. Renderización del modelo en HFSS del conector 2.4 mm en configuración de adaptación. . . . .	78
4.9. Gráfico de parámetros $S$ de las simulaciones del conector 2.4 mm en configuración simple y en configuración de adaptación. . . . .	79
4.10. Gráfico de parámetros $S_{11}$ de la simulación del conector 2.4 mm en configuración simple, ante variaciones de su alineamiento vertical y horizontal con respecto a la línea. . . . .	81
4.11. Gráfico de parámetros $S_{11}$ de la simulación del conector 2.4 mm en configuración de adaptación, ante variaciones de su alineamiento vertical con respecto a la línea. . . . .	82



# Referencias

- [1] A. Pannekoek, *A History Of Astronomy*, segunda ed. Dover Publications, Inc., 1989.
- [2] D. M. Pozar, *Microwave Engineering*, tercera ed. John Wiley & Sons, Inc., 2005.
- [3] S. Marsh, *Practical MMIC Design*. Artech House, Inc., 2006.
- [4] G. Gonzalez, *Microwave Transistors Amplifiers Analysis and Design*, primera ed. Prentice-Hall, Inc., 1984.
- [5] I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, segunda ed. John Wiley & Sons, Inc., 2003.
- [6] T. Wilson, K. Rohlf, and S. Huttemeister, *Tools of Radio Astronomy*, quinta ed. Springer, 2009.
- [7] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the fet small-signal equivalent circuit," *IEEE Transactions On Microwave Theory And Techniques*, vol. 36, no. 7, Julio 1988.
- [8] S. Yanagawa, H. Ishihara, and M. Ohtomo, "Analytical method for determining equivalent circuit parameters of gaas fet's," *IEEE Transactions On Microwave Theory And Techniques*, vol. 44, no. 10, Octubre 1996.
- [9] PE44221 datasheet. [Online]. Available: <http://www.pasternack.com/product-2.4mm-Male-4-Hole-Panel-Mount-.250-Extended-Dielectric-PE44221-70408.html>

- [10] PE44218 datasheet. [Online]. Available: <http://www.pasternack.com/product-2.4mm-Female-4-Hole-Panel-Mount-.250-Extended-Dielectric-PE44218-70404.html>
- [11] PE4001 datasheet. [Online]. Available: <http://www.pasternack.com/product-SMA-Female-2-Hole-Panel-Mount-Stub-Contact-Extended-Dielectric-PE4001-69781.html>
- [12] Pasternack Enterprises, Inc. [Online]. Available: <http://www.pasternack.com>
- [13] EC2612 datasheet. [Online]. Available: <http://www.alldatasheet.com/datasheet-pdf/pdf/33018/UMS/EC2612.html>
- [14] United Monolithic Semiconductors. [Online]. Available: <http://www.ums-gaas.com>
- [15] RT/duroid 6002 datasheet. [Online]. Available: <http://www.rogerscorp.com/documents/609/acm/RT-duroid-6002-laminate-datasheet.aspx>
- [16] Rogers Corporation. [Online]. Available: <http://www.rogerscorp.com>
- [17] C. Jarufe, "Diseño y fabricacion de un amplificador de microondas de bajo ruido para la banda de 31-45 Ghz," Memoria Ingenieria, Universidad de Chile, Santiago, Chile, Abril 2010.
- [18] Kulicke & Soffa. [Online]. Available: <http://www.kns.com>
- [19] Polyflon. [Online]. Available: <http://www.polyflon.com>
- [20] Mathworks. [Online]. Available: <http://www.mathworks.com/>
- [21] Allwin Technology. [Online]. Available: <http://www.allwintek.com>