



UNIVERSIDAD DE CHILE
FACULTAD DE CIENCIAS FÍSICAS Y MATEMÁTICAS
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

DISEÑO Y CONSTRUCCIÓN DE DISPOSITIVO
TRIFÁSICO-POLIFÁSICO PARA PEQUEÑOS GENERADORES

MEMORIA PARA OPTAR AL TÍTULO DE
INGENIERO CIVIL ELECTRICISTA

JORGE HENDRYK DHARMAWIDJAJA MUÑOZ

PROFESOR GUÍA:
ROBERTO CÁRDENAS DOBSON

MIEMBROS DE LA COMISIÓN:
HÉCTOR AGUSTO ALEGRÍA
LORENZO REYES CHAMORRO

SANTIAGO DE CHILE
ENERO 2013

RESUMEN DE LA MEMORIA
PARA OPTAR AL TÍTULO DE
INGENIERO CIVIL ELECTRICISTA
POR: JORGE DHARMAWIDJAJA MUÑOZ
FECHA: ENERO, 2013
PROF. GUÍA: Msc.PhD. ROBERTO CÁRDENAS DOBSON

“DISEÑO Y CONSTRUCCIÓN DE DISPOSITIVO TRIFÁSICO-POLIFÁSICO PARA PEQUEÑOS GENERADORES”

En el actual escenario mundial, donde cada vez es más frecuente que pequeños generadores ERNC suministren energía eléctrica residencial, comercial e inclusive industrial, se prevee que los sistemas de eléctricos de potencia tradicionales migren a sistemas que incorporen pequeños generadores ERNC inyectando su energía excedente directamente a la red de distribución. Frente a este nuevo escenario, el Estado ha tenido que legislar al respecto promulgando una ley que regula el ingreso de estas nuevas tecnologías y desarrollando el reglamento correspondiente con la finalidad de hacer sustentable y mantener de forma segura los sistemas eléctricos de potencia, exigiéndolos cumplir con normas técnicas. Además la nueva legislación incentiva el ingreso de estos nuevos actores con el pago, de las empresas distribuidoras de la energía excedente inyectada.

Para poder incorporar estos pequeños generadores dentro del sistema eléctrico, se propone la construcción de un dispositivo que amplíe la forma de operación de distintos tipos de estos pequeños generadores, y que además permita que estos cumplan con las nuevas normativas para que se incorporen al sistema eléctrico de distribución y sincronizarlos en forma segura.

El objetivo del trabajo de título es desarrollar y construir un dispositivo, que cumpla la función de interfaz entre el generador y consumo-red, con una potencia de 10[kW], que sea autónomo y que permita operar con un consumo aislado o sincronizado, que busca obtener un mejor rendimiento uniendo fases para el caso de operación en isla con conexión monofásica, y además, evaluar la rentabilidad del dispositivo.

Se contruye un convertor de 7 piernas que se compone principalmente de un DSP que controla su funcionamiento, placas de transductores que miden variables eléctricas necesarias para el control y la placa del convertor, la cual recibe las señales de control y controla los circuitos de potencia. Se acondiciona parte del laboratorio de electrónica de potencia para realizar pruebas controladas y seguras.

Se diseñan los algoritmos de modulación y control del sistema, que corresponden a modulación de espacio vectorial en 3 dimensiones que permite tener una salida del inversor trifásica con neutro, lo que permite conectar carga directamente, y control resonante que tiene la característica de controlar en torno a una frecuencia específica de 50[Hz]. Se realizan las pruebas de algoritmos y se registran las salidas que verifica que el inversor mantiene una tensión de salida a 50[Hz], en vacío, con variación de carga e igualando fases. Se calcula una breve evaluación económica para estimar la rentabilidad del equipo.

Finalmente se obtiene un dispositivo experimental que puede servir como referencia de diseño y construcción de un convertor, desarrollo de algoritmos de modulación y control. Además de una base de aprendizaje en uso *software* para programar DSP y *hardware* de electrónica de potencia.

Gracias

A mis padres Jackie y Julia, por haberme acompañado durante este largo proceso.

A mis hermanos Jack y Javier, quienes son mis mejores amigos.

A mi profesor Guía Roberto Cárdenas, quien me dió todas las facilidades y apoyo para realizar mi memoria.

A mis amigos de siempre quienes siempre están presentes.

A mis amigos y compañeros de la U Gabriel, Lulo, Gusoto y Andrejo.

A mis compañeros del laboratorio Mati, Enrique, Hortencia, Claudio y Pablo, por el apoyo y buen grupo de trabajo.

Y a todos con los que me acompañaron durante ésta etapa.

Índice General

Índice de Figuras	VIII
Índice de Tablas	IX
Acrónimos	X
1. Introducción	1
1.1. Motivación	1
1.2. Objetivos	4
1.3. Estructura del documento	5
2. Fundamentos del trabajo de título y estado del arte	6
2.1. Proyecto “ <i>Central microhidráulica plug and play</i> ”	6
2.2. Conversor de potencia “ <i>Back to Back</i> ”	7
2.2.1. Componentes del Conversor	7
2.2.2. Módulo rectificador	8
2.2.3. DC-Link	9
2.2.4. Inversor	9
2.3. Net-metering: Ley N°20.571	10
2.4. Norma técnica	11

2.4.1.	Comportamiento en estado normal en la red de media tensión del SD	12
2.4.2.	Calidad de servicio del PMGD	12
2.4.3.	Operación en isla	13
2.4.4.	Pruebas de diseño y de la instalación de conexión	13
3.	Estrategias de modulación y control	15
3.1.	Estrategia de modulación SVM	15
3.2.	Estrategia de control resonante	21
3.3.	Modulación de fases	25
3.4.	Estrategia de sincronización	27
4.	Implementación	29
4.1.	Hardware	32
4.1.1.	Procesador digital de señales (DSP)	32
4.1.2.	Unidad lógica programable (FPGA)	33
4.1.3.	Puerto de interface con el computador (HPI)	34
4.1.4.	Placa conversor back to back	35
4.1.5.	Espejo de corriente	35
4.1.6.	Transductores de corriente y tensión	36
4.1.7.	Filtro de salida	38
4.2.	Software	38
4.2.1.	Code Composer	38
4.2.2.	MATLAB	39
4.3.	Operación del conversor	39

4.3.1. Etapa previa	39
4.3.2. Operación	40
5. Pruebas y validaciones del conversor <i>Back to Back</i>	41
5.1. Operación SVM	41
5.2. Control resonante	42
5.2.1. Diseño del control resonante	42
5.2.2. Prueba de seguimiento de la referencia del control resonante	45
5.2.3. Prueba de cambio de referencia de un control resonante	47
5.2.4. Prueba de fases con igual modulación	48
5.3. Parámetros del conversor	52
5.3.1. Eficiencia	52
5.3.2. Armónicos	52
6. Evaluación económica	55
6.1. Tipos y curvas de Consumos	55
6.1.1. Residencial	56
6.1.2. Comercial	57
6.1.3. Industrial	59
6.2. Costo de inversión del conversor	59
6.3. Evaluación económica	61
7. Resumen y análisis de resultados	65
7.1. Construcción del dispositivo	65
7.2. Pruebas del dispositivo	66

7.3. Evaluación económica	68
8. Conclusiones	69
8.1. Conclusiones	69
8.2. Trabajo a futuro	71
Bibliografía	73
A. Registro de memoria, tarjeta FPGA	75

Índice de Figuras

1.1. Visión de sistemas futuros.	2
2.1. Esquema Conversor Back to Back.	7
2.2. Corto circuito en el DC Link al activar ambos IGBTs de una pierna.	8
2.3. Componentes Conversor Back to Back con IGBTs.	9
2.4. Esquema Inversor - Filtro LC - Carga.	10
3.1. Prisma generado por la combinación de conmutaciones posibles en el espacio $\alpha - \beta - \gamma$ [8]	18
3.2. Prismas posibles en el espacio $\alpha - \beta - \gamma$ [8].	18
3.3. Tetraedros posibles dentro del prisma I [8].	19
3.4. Ordenamiento de vectores activos y matrices de proyección para los respectivos prismas y tetraedros[8]	20
3.5. Diagrama de Control Resonante.	22
3.6. LGR para control resonante utilizando MATLAB.	23
3.7. Diagrama de modulación de fases a y b idénticas mediante igual voltaje de referencia.	26
4.1. Tablero de alimentación trifásica.	29
4.2. Autotransformador trifásico variable.	30
4.3. Osciloscopio marca LeCrow, resolución 350[MHz]	31

4.4. Fuente de poder de $\pm 15[V]$	32
4.5. Tarjeta DSK C6713.	33
4.6. Tarjeta FPGA.	34
4.7. Placa conversor back to back.	35
4.8. Dimensión y conexión de transductores LA25-P PCB, LEM.[12]	36
4.9. Tarjeta de transductores de corriente.	37
4.10. Dimensión y conexión de transductores LV20-P PCB, LEM.[13]	37
4.11. Tarjeta transductores de tensión.	38
5.1. Onda trifásica modulada utilizando <i>SVM</i>	42
5.2. Onda trifásica modulada utilizando <i>SVM</i> , con filtro de salida desbalanceada	43
5.3. Diseño de controlador resonante en LGR.	44
5.4. Ceros y polos del control resonante, frecuencia de resonancia y malla LEAD-LAG.	44
5.5. Prueba de un control resonante con fallas de diseño.	46
5.6. Prueba del funcionamiento del control resonante en vacío.	46
5.7. Diferencia entre voltaje de referencia y voltaje en la carga.	47
5.8. Prueba de cambio de referencia, aumento de 30[V] a 32[V].	48
5.9. Prueba de cambio de referencia, disminución de 32[V] a 14[V].	49
5.10. Voltajes de referencias de las fases a, b y c, con igual modulación entre fases a y c.	50
5.11. Voltajes medidos de las fases a, b y c, con igual modulación entre fases a y c.	50
5.12. Voltaje de referencia de fase a, con igual modulación entre fases a y c.	50
5.13. Igual modulación entre fase a y c, corriente por el neutro en vacío.	51
5.14. Igual modulación entre fase a y c, corriente por el neutro con carga.	51

6.1. Característica de carga residencial horaria del alimentador Renca Junio-Julio 2001.	56
6.2. Curva de demanda residencial.	57
6.3. Característica de carga comercial horaria del alimentador Kennedy Junio-Julio 2001.	58
6.4. Curva de demanda comercial.	58
6.5. Característica de carga industrial horaria del alimentador Panamericana Junio-Julio 2001.	59
6.6. Curva de demanda industrial.	60
6.7. Resumen de costos de diseño y fabricación del convertor back to back	61
6.8. Resumen análisis de resultados de ganancia neta.	63
6.9. Resumen cálculo de VAN en alternativas con flujo positivo.	64
7.1. Esquema de convertor con rectificador y chopper.	66

Índice de Tablas

2.1. Descripción Ley 20571, Net-metering.[7]	10
3.1. Voltajes fase-neutro para las combinaciones de estado en el espacio $a - b - c$	16
3.2. Voltajes para las combinaciones de estado en el espacio $\alpha - \beta - \gamma$	17
4.1. Parámetros del autotransformador trifásico variable.	30
5.1. Medición de voltajes armónicos con carga.	53
5.2. Medición de corrientes armónicos con carga.	53
5.3. Medición de voltajes armónicos con 2 fases iguales.	53
5.4. Medición de corrientes armónicos con 2 fases iguales.	54
5.5. Resumen de la Distorsión total de armónicos (THD).	54
6.1. Equipos eléctricos utilizados habitualmente en un hogar.	62

Acrónimos

IGBT	<i>Insulated Gate Bipolar Transistor</i> - Transistor Bipolar con Puerta Aislada
DSP	<i>Digital Signal Processor</i> - Procesador Digital de Señal
DSC	<i>Digital Signal Controller</i> - Controlador Digital de Señal
FPGA	<i>Field Programmable Gate Array</i> - Unidad Lógica Programable
HPI	<i>Host Port Interface</i> - Puerto de Interface
PWM	<i>Pulse Width Modulation</i> - Modulación por Ancho de Pulso
GPIO	<i>General Purpose Input Output</i> - Entrada/Salida con Propósito General
CE-FCFM	Centro de Energía, Facultad de Ciencias Físicas y Matemáticas, Universidad de Chile.
MCH	Micro Central Hidráulica
SVM	<i>Space Vector Modulation</i> - Modulación Espacio Vectorial
VAN	<i>Valor Actual Neto</i>
PMGD	<i>Pequeños Medios de Generación Distribuida</i>
SEC	Superintendencia de electricidad y combustibles
r.m.s	<i>root mean square</i> - raíz cuadrada del valor cuadrático medio, valor eficaz
PCB	<i>Printed Circuit Board</i> - Tarjeta de circuito impreso

Capítulo 1

Introducción

1.1. Motivación

Los generadores pequeños son utilizados para suministrar energía eléctrica a consumos aislados, aportar en industrias o comercio con el fin de aprovechar de mejor manera las tarifas de las empresas distribuidoras, o generar energía eléctrica para consumo propio. Actualmente el consumo energético residencial en Chile, es aportado principalmente por fuentes como la leña, biomasa, y en menor medida petróleo, electricidad y gas natural.

En el presente escenario energético a nivel mundial, se prevee que en los futuros sistemas de potencia eléctricos migraran de forma gradual desde grandes sistemas de potencia tradicionales con una generación eléctrica mediante grandes plantas, a sistemas más flexibles como se muestra en la figura 1.1 [14]. Considerando este nuevo escenario, se espera que coexistan los grandes generadores con generación tradicional (grandes centrales hidroeléctricas, térmicas de combustibles fósiles y minerales, nuclear, etc.) con las nuevas tecnologías de generación distribuida (microhidráulicas, eólicas, solares, geotérmicas, biomasa, etc), donde se deben plantear soluciones sustentables con estos recursos desde el punto de vista regulatorio, técnicos y económicos.

Desde el punto de vista regulatorio, actualmente se están incorporando nuevas normativas y regulaciones que incentiven la incorporación de las nuevas tecnologías dentro de un sistema de generación distribuida. La legislación vigente referentes al tema, la ley 20.257, “Generación con fuentes de energías renovables no convencionales.”, donde se modifica y detalla la definición de Energías Renovables No Convencionales (ERNC), se establece que en los sistemas interconectados de capacidad instalada superior a 200MW, las empresas realicen retiros de ERNC equivalentes al 10 % de su retiro total, ya sea con generadores propios o contratados. La ley 20.571, “Regula el pago de las tarifas eléctricas de las generadoras residenciales.”, donde se establece que los usuarios finales que posean medios de generación con *ERNC* o con instalaciones de cogeneración eficiente con potencia instalada menor a 100kW, tienen derecho a inyectar la energía excedente generada de esta forma a la red de distribución

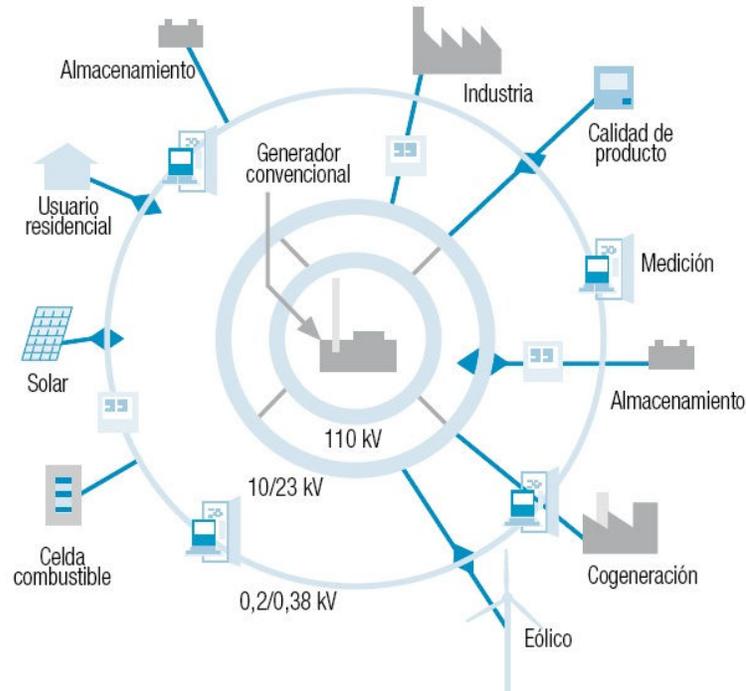


Figura 1.1: Visión de sistemas futuros.

eléctrica a través de los respectivos empalmes, cumpliendo el reglamento correspondiente que determina los requerimientos necesarios que protegen la seguridad de las personas, de los bienes, la seguridad y continuidad de suministro.

El decreto supremo N°244 (*DS244*), establece las condiciones que deben cumplir los pequeños medios de generación (*PMG*) y los pequeños medios de generación distribuida (*PMGD*), para que puedan conectarse en forma segura a los sistemas de distribución o de transmisión según correspondan.

En la parte técnica, se presentan desafíos con el ingreso de estos generadores, principalmente los conectados directamente a través de los empalmes residenciales, y es donde se enmarca el presente trabajo de título. Los pequeños generadores deben ser capaces de generar electricidad con las condiciones nominales de operación de un sistema eléctrico en Chile, es decir, a $50[Hz]$ y $220[V_{rms}]$, con lo cual suministrar energía eléctrica a un consumo aislado o conectado a la red. El suministro eléctrico entregado por las máquinas que utilizan ERNC o paneles fotovoltaicos, a diferencia de las máquinas que utilizan derivados del petróleo como fuente energética, presentan la característica de que necesitan un dispositivo de interfase que permita enlazar de forma segura y continua el generador a un consumo o a una red de distribución, ya que las fuentes ERNC no es posible o sencillo controlar el flujo de fluido como fuente de energía mecánica en el rotor o radiación sobre las celdas fotovoltaicas. Estas condiciones desarrollan en los pequeños generadores, desarrollan diversos tipos de dispositivos, entre los cuales destacan los convertidores de potencia, que proporcionan una flexibilidad y control en su entrada y salida eléctrica, otorgando estabilidad, continuidad en el suministro y en su proceso permite detectar fallas que se encuentren en el lado del consumo,

a diferencia de los generadores con máquinas síncronas conectadas a la red. En cambio, los convertidores deben tener un control de su frecuencia y voltaje de forma continua, inclusive una vez sincronizado a una red de distribución.

El ingreso de las nuevas fuentes de generación ha permitido que los componentes de electrónica de potencia hayan disminuido sus precios considerablemente, por las ventajas que estos presentan al conectarse con fuentes de energía no regulable. Los convertidores como dispositivos de interfase entre un generador y un consumo, tienen la ventaja de que no restringen la velocidad de giro del rotor, lo que permite obtener en los terminales de salida valores nominales, independiente de las cargas conectadas a cada fase, mejorando la operación y eficiencia en isla de un pequeño generador, además de diversos desarrollos posibles de estos dispositivos por poseer un controlador que permite obtener entradas y salidas moduladas.

Entre los objetivos técnicos, se busca mejorar el rendimiento de la máquina al generar energía mediante un dispositivo que permita flexibilizar la inyección mediante un dispositivo que, entre sus características, permita entregar el suministro eléctrico de forma monofásica, bifásica o trifásica, en vez de utilizar resistencias que disipen la energía producida en exceso distribuye la energía de las tres fases de generación y las distribuye según se requiera en las fases del consumo.

Un convertidor Back to Back de 4 piernas de salidas, nos permite conectar directamente una carga, donde 3 piernas corresponden a las fases correspondientes y la última cumple la función de neutro para permitir la circulación de corrientes de secuencia cero causadas por cargas monofásicas o un consumo general desbalanceado. El convertidor se encuentra en primera instancia en lazo abierto, mediante el algoritmo de modulación vectorial (SVM), donde las perturbaciones, conexiones, desconexiones y desbalances no controlan la salida.

Como se menciona anteriormente, se encuentra aprobada la ley de “Net-Metering” (*NM*) y se espera el reglamento para que entre en vigencia, el cual consiste a grandes rasgos en la venta de energía eléctrica excedente producida por pequeños generadores instalados en sitios residenciales. Esto incentiva fuertemente el ingreso de pequeñas fuentes de generación distribuida dado que permite que el retorno de la inversión. Considerando lo anterior, resulta importante considerar una evaluación técnica-económica que permita obtener el impacto económico del dispositivo en los distintos tipos de conexión a la red u operando en isla.

1.2. Objetivos

El objetivo general del trabajo consiste en diseñar, simular e implementar un dispositivo que permita a pequeños generadores operar en isla o conectados a una red mayor, con la capacidad de proporcionar tensión y potencia adecuada. El convertor de potencia debe poseer un sistema de control adecuado que permita que el generador funcione de forma continua con una mínima intervención de un operador.

El objetivo general de este trabajo es revisar la aplicación de un esquema distribuido de regulación de frecuencia, que permita definir y cuantificar los efectos derivados del pago del SSCC de regulación en el SIC desde el punto de vista de las centrales de pasada que potencialmente puedan contar con reservas de potencia. Para el cumplimiento de dicho objetivo, se plantean los siguientes objetivos específicos:

- Plantear una solución factible de optimización del rendimiento total de pequeños generadores trifásicos aislados o conectados a la red.
- Implementar un dispositivo o adecuar un modelo existente que sea capaz de satisfacer la variación natural de consumo o condiciones de operación de la máquina.
- Estudiar la respuesta del convertor para que se encuentre en condiciones adecuadas para que pueda conectarse a la red, cumpliendo la normativa vigente.
- Realización de un análisis económico que permita determinar las ventajas o desventajas del esquema.

1.3. Estructura del documento

Este trabajo se estructura de la forma siguiente:

En el capítulo 2 se contextualiza describen los fundamentos de la memoria, características de los pequeños generadores y las distintas formas de operación que son utilizadas generalmente, además se identifica el dispositivo que se desea implementar según configuraciones existentes y aplicaciones.

En el capítulo 3 se fundamentan las estrategias de modulación y de control del sistema, frente a variaciones tanto en la entrada como salida del convertidor.

En el capítulo 4 se describe el desarrollo de la implementación del sistema, hardware y software utilizados y los equipos necesarios para realizar correctamente las pruebas,

En el capítulo 5 se describen las pruebas realizadas y los valores esperados, con el fin de validar los controladores.

El capítulo 6 desarrolla una evaluación técnica-económica simplificada considerando que el convertidor es un prototipo comercial, por lo que debe cumplir con la normativa técnica vigente de operación y conexión.

El capítulo 7 se exponen y analizan los resultados de las simulaciones, pruebas del convertidor de potencia y resultados económicos, determinando los aspectos importantes logrados como prototipo comercial y los cuales se deben realizar mejorías.

El capítulo 8 se entregan las conclusiones del trabajo realizado y se proponen trabajos a futuro.

Capítulo 2

Fundamentos del trabajo de título y estado del arte

El objetivo del capítulo es contextualizar el trabajo de título y presentar diversos dispositivos existentes en el mercado o literatura, que mediante la electrónica de potencia, permiten interectar pequeños generadores con consumos aislados o conectados a la red.

2.1. Proyecto “*Central microhidráulica plug and play*”

El proyecto “*Central microhidráulica plug and play*”, perteneciente al “Centro de Energía” (CE - FCFM), consiste en desarrollar una micro central hidráulica (MCH) que tenga características que no involucre obras civiles mayores, de potencia de $\approx 10[kVA]$ y que pueda funcionar de forma autónoma e inteligente, con la posibilidad de operar tanto en isla como conectada a uan red de baja tensión. Este proyecto plantea desarrollar como primera versión, una central micro-hidráulica comercial, su funcionamiento se basa en un generador síncrono de rotor bobinado con control de tensión por la variación de la corriente de campo del generador y control de la frecuencia mediante resistencias de desahogo activados por triacs, que además pueden controlar las cargas desbalanceadas, en todos los casos operando en modo aislado.

El trabajo de título se integra al proyecto como un dispositivo complementario a la MCH, que cumpla la función de interfaz entre la central y el consumo-red, y permita otorgarle flexibilidad de operar en forma monofasica o trifásica en modo isla, con la característica de acoplar 2 o 3 fases con la finalidad de suministrar una mayor potencia suegún se requiera.

2.2. Conversor de potencia “Back to Back”

El conversor Back to Back es un dispositivo que utiliza electrónica de potencia y recibe su nombre debido a que se conforma por dos convertidores, uno del lado de la máquina y otro del lado de la red. La ventaja de un conversor Back to Back, es que permite desacoplar el lado del generador o máquina, con el lado de la red o consumo como se muestra en la figura 2.1.

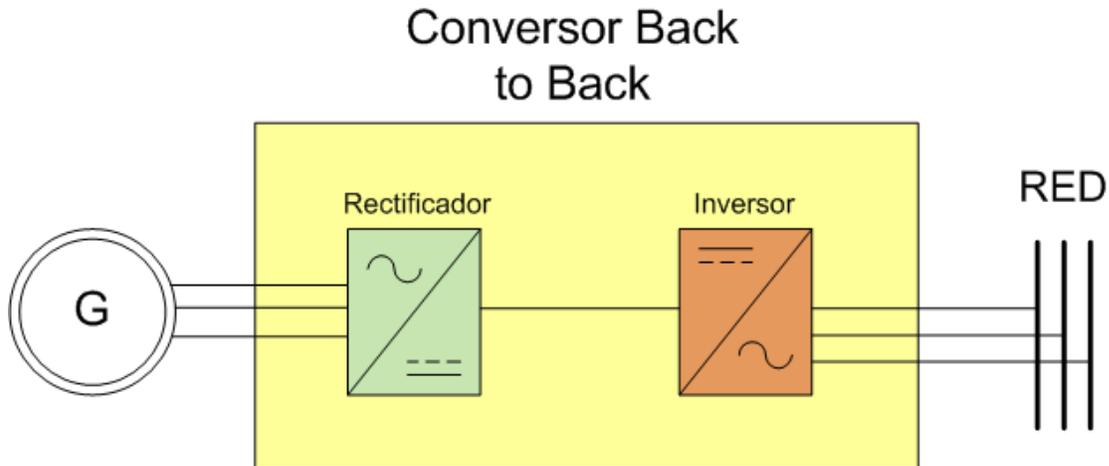


Figura 2.1: Esquema Conversor Back to Back.

El hecho que el dispositivo presente la característica modular de las distintas etapas de conversión, es que se puede controlar, construir, simular y realizar las en forma independiente, siendo una ventaja durante el desarrollo del conversor, focalizando los esfuerzos de una componente a la vez, así como controlar de forma parcializada las distintas etapas, manteniendo el funcionamiento del equipo y para trabajos posteriores, estudiar y comparar los distintos tipos de topologías y control para cada etapa y determinar cuales son más adecuados.

2.2.1. Componentes del Conversor

El conversor Back to Back utiliza componentes de electrónica de potencia para operar, donde los IGBTs (Insulated Gate Bipolar Transistor) son las compuertas de conmutación para generar una rectificación o inversión según corresponda. Para el conversor construido, se compone de 14 IGBTs con un diodo en antiparalelo o 7 IGBTs duales, donde cada par constituye una pierna del conversor. Dada la configuración de conexión de cada pierna, ésta debe cumplir la restricción de que no pueden estar activos simultáneamente ambos IGBTs la misma pierna, ya que genera un cortocircuito entre los terminales positivos y negativos del DC-Link. Para evitar el problema anterior, entre las conmutaciones del IGBT superior e

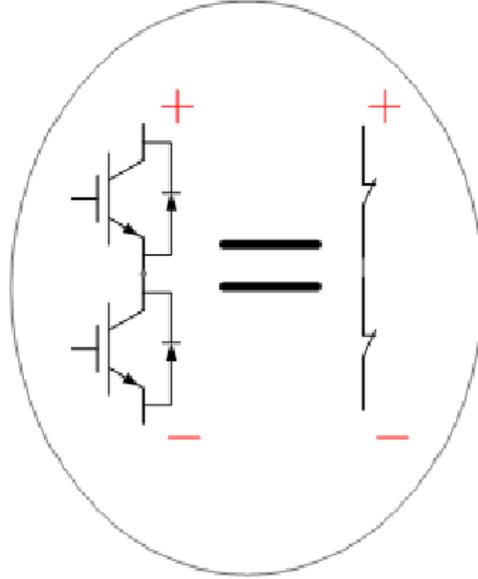


Figura 2.2: Corto circuito en el DC Link al activar ambos IGBTs de una pierna.

inferior, debe existir un tiempo de holgura o muerto según las especificaciones de los IGBTs con respecto a su velocidad física de conmutación, como se muestra en la figura 2.2.

$$S_{jf} = \begin{cases} 1, & \text{si } S_{in} \text{ y } S_{fn} \text{ cerrados} \\ 0, & \text{si } S_{in} \text{ y } S_{fn}, \text{ o } S_{in} \text{ y } S_{fn} \text{ cerrados} \end{cases} \quad (2.1)$$

El convertor Back to Back se puede dividir en tres etapas, rectificación, enlace DC (DC Link) e inversora como se muestra en la figura 2.3, las cuales pueden operar de forma controlada o lazo cerrado como en lazo abierto según sean los requerimientos del sistema.

2.2.2. Módulo rectificador

El módulo rectificador cumple la función, tal como dice su nombre, de rectificar la tensión de entrada del convertor. Al tener un enlace de tensión continua, permite desacoplar el sistema, disponiendo de diversas formas para cumplir la función, además de permitir que el generador pueda estar operando a frecuencia o tensión distinta a la de la red. Considerando la continuidad de operación, el sistema se vuelve más robusto frente a perturbaciones o variaciones de las condiciones de alimentación de la turbina.

En el caso del convertor de 7 piernas, 3 son utilizadas para rectificar, utilizando estrategias como un puente rectificador de onda completa o modulación SVM 2D [1] cuando se desea utilizar una etapa rectificadora controlada.

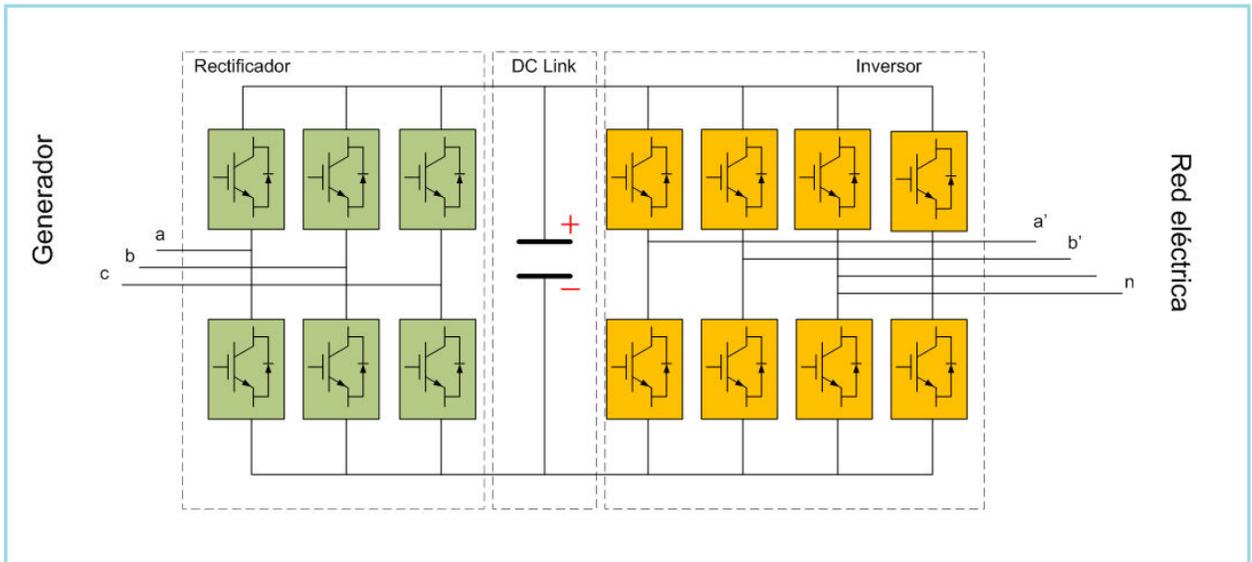


Figura 2.3: Componentes Conversor Back to Back con IGBTs.

2.2.3. DC-Link

El enlace en corriente continua o DC Link, se basa principalmente en un arreglo de condensadores con el fin de regular la tensión continua de entrada, generando un desacople entre la entrada y la salida del conversor, la tensión del DC-Link es directamente controlada en la etapa rectificadora, en el caso de que sea posible controlarla, y sufre alteraciones debido a las variaciones de cargas que existan en la etapa inversora.

2.2.4. Inversor

El inversor del equipo, consta principalmente de 2 partes, la de modulación de salida y el filtro de salida. La modulación de salida se compone de 4 piernas o IGBTs duales, los cuales 3 generan los pulsos de salida de cada fase y 1 por donde circulan corrientes de secuencia cero, cumpliendo la función de neutro, lo que permite conectar cargas directamente a la salida de conversor, esto es conocido como modulación por SVM 3D[8].

Si se conectan directamente cargas a la salida del inversor, éstas rara vez son equilibradas, por lo que se utilizan métodos de control que permitan mantener las tensiones, frecuencias y desfases en sus consignas adecuadas y que además tenga una respuesta en un tiempo aceptable sobre variaciones de cargas, independientes de fases, debido a continuas conexiones y desconexiones de cargas, habituales en consumos residenciales. Los métodos que se utilizan frecuentemente son *Control DQ* y *Control resonante*, ya que funcionan particularmente bien controlando suministro eléctrico de naturaleza alterna [3].

El filtro de salida es un filtro LC, suaviza los pulsos de onda cuadrada que se obtienen en la modulación, transformándola en una onda sinusoidal a partir de la variación de ancho

<i>Net-metering</i>	
Tipo de Norma	:Ley 20571
Fecha de Publicación	:22 - 03 - 2012
Fecha de Promulgación	:20 - 03 - 2012
Organismo	:MINISTERIO DE ENERGÍA
Título	:REGULA EL PAGO DE LAS TARIFAS ELÉCTRICAS DE LAS GENERADORAS RESIDENCIALES
Inicio de Vigencia	:La ley entrará en vigencia unan vez publicado el reglamento a que se refiere el Art. 149 bis, que el N°2 del Artículo único incorpora en el D.F.L. 4°, Economía, de 2007

Tabla 2.1: Descripción Ley 20571, Net-metering.[7]

de pulso siguiendo una forma sinusoidal, como se indica en la figura 2.4.

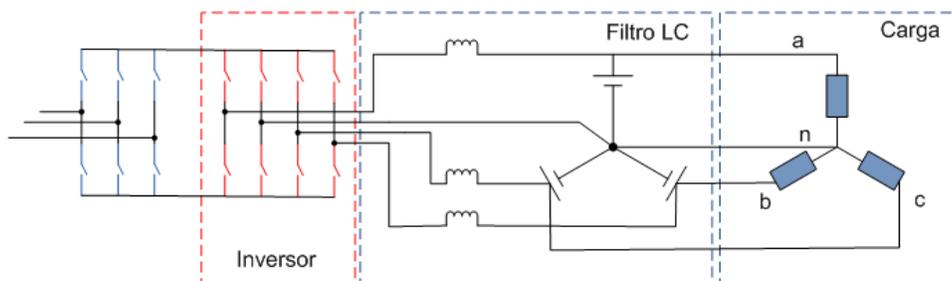


Figura 2.4: Esquema Inversor - Filtro LC - Carga.

2.3. Net-metering: Ley N°20.571

La ley de Net-metering, la cual regula el pago de tarifas eléctricas de las generadoras residenciales, proporciona un incentivo al uso de ERNC residenciales o cogeneradores eficientes, en la tabla 2.1 se menciona la descripción de la ley.

A continuación se desarrolla un resumen de partes de la ley que se debe considerar para el presente trabajo.

La ley introduce modificaciones en el decreto de fuerza de ley N°4, del Ministerio de Economía, Fomento y Reconstrucción del año 2007; donde el *Artículo 149 bis*, permite que usuarios regulados que posean para su propio consumo equipamiento de generación eléctrica mediante ERNC o instalaciones de cogeneración eficiente, puedan inyectar la energía generada a la red de distribución, donde un reglamento (aún no disponible) determina los requisitos necesarios que se debiesen cumplir para conectar los empalmes a la red.

El reglamento debe determinar las condiciones tales que no afecte la seguridad de las personas y bienes, además de la seguridad y continuidad de suministro. Para ser considerado dentro de la ley, la capacidad *instalada* no debe superar los 100[kW] y la empresa distribuidora deberá velar que tanto las instalaciones para inyectar los excedentes y como las modificaciones que se realicen, cumplan las exigencias establecidas por el reglamento.

En el caso de que se realicen obras adicionales o modificación de las instalaciones necesarias para permitir la conexión e inyección de energía, deberán ser solventadas por el dueño de las instalaciones.

La valorización de la energía inyectada serán al precio que los concesionarios traspasan a los clientes regulados, permitiendo realizan un balance de energía consumida y generada. En el caso de que existan excedentes de energía inyectada, el valor puede ser descontado en facturaciones siguientes o al término del período definido, la concesionaria debiera pagar la energía excedente inyectada al cliente regulado.

Los pagos, compensaciones o ingresos mediante la inyección de energía que perciban los usuarios regulados no serán considerados como renta, lo que permite acelerar el retorno de la inversión al momento de evaluar un proyecto posteriormente. La evaluación económica puede realizarse utilizando las disposiciones de la ley, en cambio, la evaluación técnica está sujeta a un reglamento no disponible, por lo que para la memoria se utilizará la normativa vigente para pequeños medios de generación distribuida, los cuales debiesen ser análogos al reglamento.

2.4. Norma técnica

La normativa técnica o reglamento que deben cumplir los equipos que deseen conectarse a una red de distribución licitada utilizando la nueva ley de net-metering, como es el caso del convevrsor, se utilizará en el presente informe la normativa técnica para PMGD, “*Norma técnica de conexión y operación de PMGD en instalaciones de media tensión*” (NTCO)[10] y el “*Decreto 244, Reglamento para medios de generación no convencionales y pequeños medios de generación*” (D244)[9], de las cuales se pueden extraer las exigencias necesarias para el proyecto.

- La construcción de un PMGD debe ser realizada por profesionales o empresas con experiencia en el rubro. La conexión al sistema de distribución (SD) y puesta en servicio de un PMGD deberá ser realizada por instaladores eléctricos que dispongan de la certificación clase A emitida por la superintendencia de electricidad y combustibles (SEC).
- El interesado en conectar un PMGD a la red de media tensión de un SD, deberá informar por escrito a la respectiva Empresa Distribuidora o Empresa con Instalaciones de Distribución, adjuntando los antecedentes establecidos por la reglamentación vigente.

- En el caso de inversores y convertidores de frecuencia: protocolos de pruebas o antecedentes similares sobre las armónicas superiores e intermedias esperadas.

Además de estas exigencias, se asume que para el caso de la ley de net-metering, no se aplicarían exigencias de coordinación de maniobras de conexión y desconexión, dado que la mayoría de los equipos existentes en el mercado, disponen de un sistema de sincronización con la red.

2.4.1. Comportamiento en estado normal en la red de media tensión del SD

La elevación de tensión que se genera por los PMGD que operan en una red de media tensión de un SD no debe exceder, en el punto de repercusión asociado a cada uno de ellos, el 6 % de la tensión existente sin dichas inyecciones.

Los ajuste máximos de los equipos de sincronización automática serán los siguientes.

- Diferencia de tensión: $\Delta V < \pm 10\%$
- Diferencia de frecuencia: $\Delta f < \pm 0,5[Hz]$
- Diferencia de ángulo de fase: $\Delta \varphi < \pm 10^\circ$

El PMGD no podrá energizar la red de media tensión del SD, cuando la red se encuentre desenergizada, salvo autorización y coordinación previa con la empresa distribuidora.

El equipo de cierre de la instalación de conexión deberá ser capaz de resistir un 220 % de la tensión de suministro.

2.4.2. Calidad de servicio del PMGD

- *“Un PMGD y su instalación de conexión no deberán inyectar una corriente continua superior al 0,5 % del valor de la corriente nominal del punto de conexión.”*

Para el caso del reglamento del net-metering, esta exigencia puede tener más holgura con respecto a la normativa de un PMGD considerando que está diseñada para una conexión en baja tensión. Sin embargo resulta interesante obtener las mediciones de inyección de corriente continua del dispositivo.

- *“Las corrientes y tensiones armónicas generadas por PMGD con inversores o convertidores de frecuencia deberán ser documentadas por el fabricante mediante un informe sobre pruebas a un prototipo.”*

“Las corrientes armónicas inyectadas por el PMGD no deberán superar los límites dispuestos en la normativa vigente.”

Estos valores aún no están definidos en la normativa vigente, y se espera que aparezcan en la próxima actualización de la presente normativa.

2.4.3. Operación en isla

- En el caso de una operación en isla de manera involuntaria debido a una falla en el SD, la instalación de conexión del PMGD deberá detectar la situación y desconectarse de la red de media tensión del SD en un tiempo máximo de 2 segundos.
- La empresa distribuidora o la empresa con instalaciones de distribución, puede convenir con el propietario u operador del PMGD una operación en isla del PMGD, bajo condiciones de interrupciones de suministro programados por la empresa correspondiente. Para ello, el propietario u operador del PMGD y la empresa respectiva, deberán suscribir un acuerdo de operación en el que aseguren condiciones apropiadas de calidad de suministro a usuarios y la suficiente seguridad de operación del PMGD.

2.4.4. Pruebas de diseño y de la instalación de conexión

Las pruebas de diseño serán aplicadas, según corresponda, a los equipos de la instalación de conexión. Las pruebas serán efectuadas en equipos representativos, ya sea en fábrica, en un laboratorio o en terreno. Las pruebas son requeridas tanto para equipos en celdas, con componentes herméticos, como para equipos individuales al aire libre.

Las pruebas de diseño se aplicarán a un mismo equipo en el siguiente orden:

- Respuesta a tensión y frecuencia anormales.
- Sincronización.
- Prueba integral de conexión.
- Prueba de formación fortuita de isla.
- Limitación de la inyección DC.
- Armónicas.

La normativa vigente descrita anteriormente puede variar, considerando que los PMGD son generadores que están en el rango de potencia menores a 9.000 kilowatts. Los equipos considerados en la ley de net-metering son mayoritariamente residenciales, por lo que sus potencias serán mucho menores y conectadas a baja tensión ($< 1[kV]$).

Se describe solo una parte de la normativa vigente NTCO[10], que corresponde a los ítemes de interés en este trabajo de título y que se intenta lograr, considerando que el proyecto tiene fines comerciales.

Capítulo 3

Estrategias de modulación y control

En el capítulo se definen las estrategias de modulación y control del convertidor back to back, que permiten obtener una salida sinusoidal a tensión y frecuencia definida frente a variaciones que se presentan en el consumo o la red.

Entre las estrategias de modulación, la más sencilla es mediante modulación PWM convencional[2], el cual consiste en comparar una sinusoidal con una onda triangular. La estrategia de modulación vectorial o SVM (*“Space Vector Modulation”*, en sus siglas en inglés), es una de las más utilizadas y de la que se desarrolla en el presente trabajo de título.

3.1. Estrategia de modulación SVM

La estrategia que se utiliza en el presente trabajo de título corresponde a una modulación SVM con una variación para una etapa inversora de 4 piernas y que se denomina SVM 3D, el cual presenta la ventaja de manejar corrientes que circulan por el neutro, permitiendo conectar cargas desbalanceadas o cargas monófasicas a la salida del convertidor.

La modulación utilizando SVM es uno de los más utilizados métodos de modulación por ancho de pulso, debido a que aprovecha de mejor forma la tensión en el DC-Link, presenta baja distorsión en la salida y minimiza las pérdidas generadas en las conmutaciones del inversor.

Los algoritmos de modulación SVM se explican en mayor detalle la implementación y los respectivos resultados en [1] y en el caso específico de SVM 3D en [8], donde el lector se puede remitir para comprender mejor su funcionamiento.

Las estrategias de modulación vectorial SVM utilizan vectores espaciales instantáneos de corriente y tensión en un espacio ortogonal a los habituales $a - b - c$, definido como $\alpha - \beta - \gamma$, generando un vector linealmente independiente que se puede definir como

$$X = X_\alpha + j \cdot X_\beta + k \cdot X_\gamma \quad (3.1)$$

y se define la transformada como:

$$[X_\alpha \ X_\beta \ X_\gamma]^T = T_{abc \rightarrow \alpha\beta\gamma} \cdot [X_a \ X_b \ X_c]^T \quad (3.2)$$

donde $T_{abc \rightarrow \alpha\beta\gamma}$ y T^{-1} se definen,

$$T_{abc \rightarrow \alpha\beta\gamma} = T = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (3.3)$$

$$T_{\alpha\beta\gamma \rightarrow abc} = T^{-1} = \frac{2}{3} \begin{bmatrix} 1 & 0 & 1 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix} \quad (3.4)$$

Que permite pasar fácilmente desde el espacio $a - b - c$ al $\alpha - \beta - \gamma$ y viceversa.

El inversor al poseer 4 piernas, se generan $4^2 = 16$ combinaciones posibles de estados entre los IGBTs, dada a la restricción que no pueden encontrarse los 2 IGBTs de una pierna al mismo tiempo activos, por lo que cada pierna se define un estado $[S_a, S_b, S_c, S_n]$ donde se denota, por ejemplo, $S_a = 'p'$ cuando el switch superior está activo y $S_a = 'n'$ cuando el switch inferior está activo, ambos para la fase 'a'.

Si se considera que la tensión del DC-Link es V_{DC} , se obtiene la tabla 3.1 con todas las combinaciones de estados válidas para los voltajes fase - neutro.

	pppp	nnnp	pnpn	ppnp	npnp	nppp	nnpp	pnpp
V_{an}	0	$-V_{DC}$	0	0	$-V_{DC}$	$-V_{DC}$	$-V_{DC}$	0
V_{bn}	0	$-V_{DC}$	$-V_{DC}$	0	0	0	$-V_{DC}$	$-V_{DC}$
V_{cn}	0	$-V_{DC}$	$-V_{DC}$	$-V_{DC}$	$-V_{DC}$	0	0	0
	pppn	nnnn	pnnn	ppnn	npnn	nppn	nnpn	pnpn
V_{an}	V_{DC}	0	V_{DC}	V_{DC}	0	0	0	V_{DC}
V_{bn}	V_{DC}	0	0	V_{DC}	V_{DC}	V_{DC}	0	0
V_{cn}	V_{DC}	0	0	0	0	V_{DC}	V_{DC}	V_{DC}

Tabla 3.1: Voltajes fase-neutro para las combinaciones de estado en el espacio $a - b - c$

Si se utiliza la transformación T , se obtiene la tabla 3.2.

	pppp	nnnp	pnpn	ppnp	npnp	nppp	nnpp	pnpp
V_α	0	0	$\frac{2}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$-\frac{2}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$\frac{1}{3}V_{DC}$
V_β	0	0	0	$\frac{1}{\sqrt{3}}V_{DC}$	$\frac{1}{\sqrt{3}}V_{DC}$	0	$-\frac{1}{\sqrt{3}}V_{DC}$	$-\frac{1}{\sqrt{3}}V_{DC}$
V_γ	0	$-V_{DC}$	$-\frac{2}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$-\frac{2}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$-\frac{2}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$
	pppn	nnnn	pnnn	ppnn	npnn	nppn	nnpn	pnpn
V_α	0	0	$\frac{2}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$-\frac{2}{3}V_{DC}$	$-\frac{1}{3}V_{DC}$	$\frac{1}{3}V_{DC}$
V_β	0	0	0	$\frac{1}{\sqrt{3}}V_{DC}$	$\frac{1}{\sqrt{3}}V_{DC}$	0	$-\frac{1}{\sqrt{3}}V_{DC}$	$-\frac{1}{\sqrt{3}}V_{DC}$
V_γ	V_{DC}	0	$\frac{1}{3}V_{DC}$	$\frac{2}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	$\frac{2}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	$\frac{2}{3}V_{DC}$

Tabla 3.2: Voltajes para las combinaciones de estado en el espacio $\alpha - \beta - \gamma$

En la tabla 3.2 se destaca que la tensión V_γ corresponde a la componente de secuencia cero, es decir, la corriente que circula por el neutro cuando que es cero cuando es una carga equilibrada.

Al graficar los vectores en el espacio $\alpha\beta\gamma$ se obtiene un prisma como se muestra en la figura 3.1 y donde se identifican los vectores nulos (ZSV), $pppp$ y $nnnn$, y los vectores no nulos (NZSV)

Luego se debe definir el vector de referencia de tensiones que es determinado por la estrategia de control y que para aplicarlo a la modulación, se tiene que utilizar la transformada $T_{abc \rightarrow \alpha\beta\gamma}$, esto nos permite modular a diferentes tensiones o frecuencias de referencia.

Con las tensiones de referencias definidas, se procede mediante 2 pasos para identificar el vector de que se utiliza para modular.

- 1 Se elige los vectores de conmutación.
- 2 Se proyecta el vector de referencia entre los vectores de conmutación elegidos.

Para la identificación de los vectores de conmutación, se procede de forma similar a SVM, proyectando el vector referencia entre los prismas del plano $\alpha - \beta$, como se muestra en la figura 3.2.

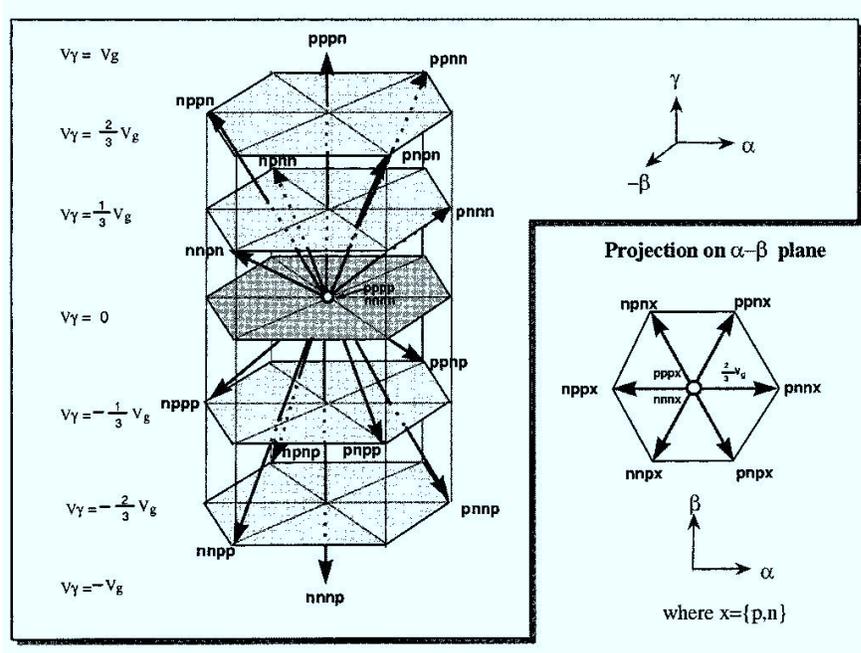


Figura 3.1: Prisma generado por la combinación de conmutaciones posibles en el espacio $\alpha - \beta - \gamma$ [8]

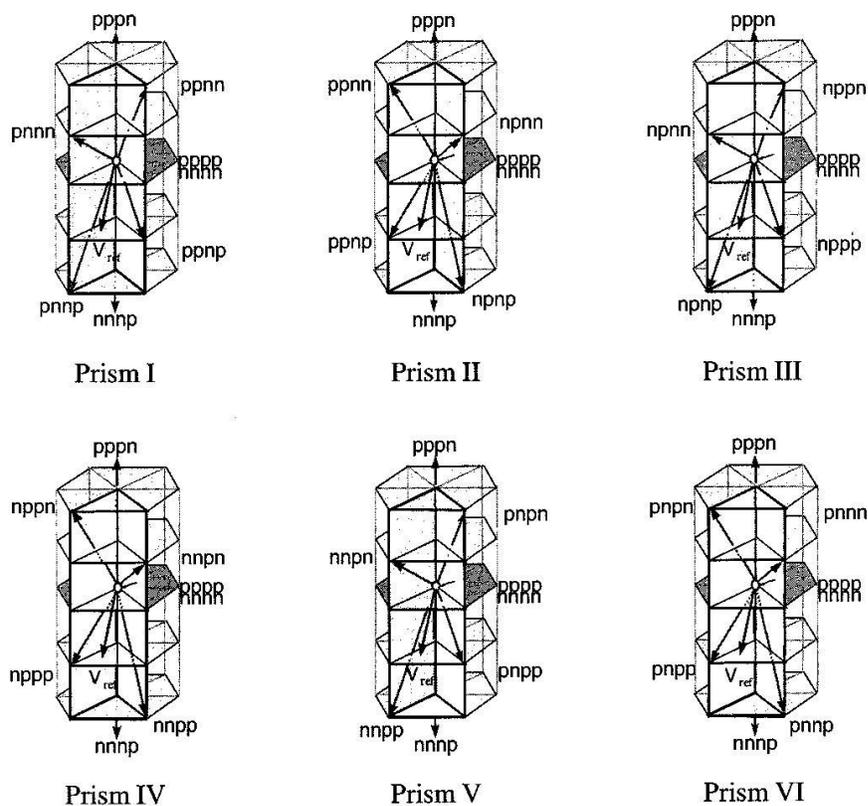


Figura 3.2: Prismas posibles en el espacio $\alpha - \beta - \gamma$ [8].

En cada uno de los prismas existen 6 vectores no nulos y 2 nulos, por lo que se divide en 4 tetraedros, los cuales poseen 3 vectores no nulos y 2 nulos como se muestra en la figura 3.3.

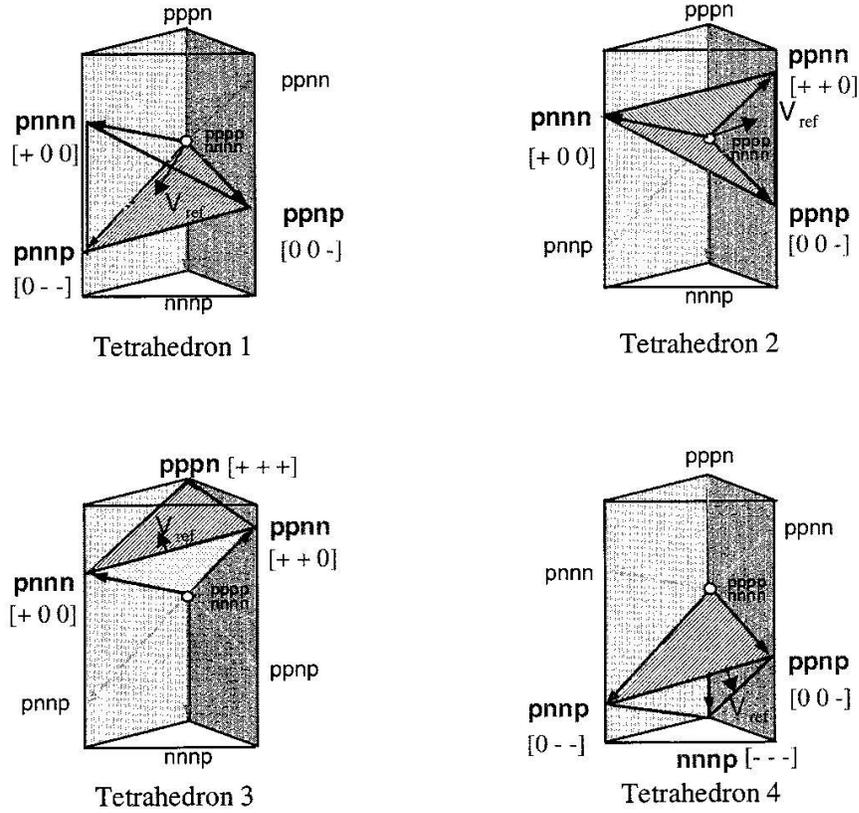


Figura 3.3: Tetraedros posibles dentro del prisma I [8].

Finalmente para sintetizar el vector de referencia de la salida del inversor, se determina los ciclos de trabajo de los vectores adyacentes que están activos del tetraedro, que se realiza mediante un ordenamiento predeterminado con el fin de minimizar las pérdidas por conmutación, variando solo la activación de una pierna. En el caso de que el vector de referencia se ubique en el prisma I y tetraedro 1, se obtiene

$$V_{ref} = d_1 \cdot V_1 + d_2 \cdot V_2 + d_3 \cdot V_3 \quad (3.5)$$

$$\begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} = \frac{1}{V_{DC}} \begin{bmatrix} 1 & 0 & 1 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \\ 0 & \sqrt{3} & 0 \end{bmatrix} \begin{bmatrix} V_{\alpha.ref} \\ V_{\beta.ref} \\ V_{\gamma.ref} \end{bmatrix} \quad (3.6)$$

$$d_z = 1 - d_1 - d_2 - d_3 \quad (3.7)$$

El ordenamiento de los vectores adyacentes y la matriz de proyección en un tetraedro distinto se especifican según la figura 3.4.

Tetrahedron Prism	1	2	3	4
I	V1: $pnnn$ V2: $pnnp$ V3: $ppnp$ $\begin{bmatrix} 1 & 0 & 1 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \\ 0 & \frac{\sqrt{3}}{2} & 0 \end{bmatrix}$	V1: $pnnn$ V2: $ppnn$ V3: $ppnp$ $\begin{bmatrix} \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \end{bmatrix}$	V1: $pnnn$ V2: $ppnn$ V3: $pppn$ $\begin{bmatrix} \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ 0 & \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix}$	V1: $pnnp$ V2: $ppnp$ V3: $nnnp$ $\begin{bmatrix} \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ 0 & \frac{\sqrt{3}}{2} & 0 \\ -1 & 0 & -1 \end{bmatrix}$
II	V1: $ppnn$ V2: $ppnp$ V3: $npnn$ $\begin{bmatrix} 1 & 0 & 1 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \\ -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \end{bmatrix}$	V1: $ppnp$ V2: $npnn$ V3: $npnp$ $\begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ -1 & 0 & -1 \end{bmatrix}$	V1: $ppnn$ V2: $npnn$ V3: $pppn$ $\begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix}$	V1: $ppnp$ V2: $npnp$ V3: $nnnp$ $\begin{bmatrix} \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \end{bmatrix}$
III	V1: $npnn$ V2: $npnp$ V3: $npnp$ $\begin{bmatrix} -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \\ -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \end{bmatrix}$	V1: $npnn$ V2: $npnn$ V3: $npnp$ $\begin{bmatrix} 0 & \sqrt{3} & 0 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \\ -1 & 0 & -1 \end{bmatrix}$	V1: $npnn$ V2: $npnp$ V3: $pppn$ $\begin{bmatrix} 0 & \sqrt{3} & 0 \\ -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ 1 & 0 & 1 \end{bmatrix}$	V1: $npnp$ V2: $npnp$ V3: $nnnp$ $\begin{bmatrix} 0 & \sqrt{3} & 0 \\ -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \end{bmatrix}$
IV	V1: $npnn$ V2: $npnp$ V3: $npnp$ $\begin{bmatrix} -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ -1 & 0 & -1 \\ 0 & -\sqrt{3} & 0 \end{bmatrix}$	V1: $npnp$ V2: $nnpn$ V3: $nnpp$ $\begin{bmatrix} -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \end{bmatrix}$	V1: $npnp$ V2: $nnpn$ V3: $pppn$ $\begin{bmatrix} -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ 0 & -\sqrt{3} & 0 \\ 1 & 0 & 1 \end{bmatrix}$	V1: $npnp$ V2: $nnpp$ V3: $nnnp$ $\begin{bmatrix} -\frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ 0 & -\sqrt{3} & 0 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \end{bmatrix}$
V	V1: $npnp$ V2: $nnpp$ V3: $ppnp$ $\begin{bmatrix} -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \\ -1 & 0 & -1 \\ \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \end{bmatrix}$	V1: $nnpn$ V2: $pnpn$ V3: $ppnp$ $\begin{bmatrix} -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ 1 & 0 & 1 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \end{bmatrix}$	V1: $nnpn$ V2: $pnpn$ V3: $pppn$ $\begin{bmatrix} -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \end{bmatrix}$	V1: $nnpp$ V2: $ppnp$ V3: $nnnp$ $\begin{bmatrix} -\frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \end{bmatrix}$
VI	V1: $pnnp$ V2: $ppnp$ V3: $ppnn$ $\begin{bmatrix} -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} & -1 \\ \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \end{bmatrix}$	V1: $ppnp$ V2: $ppnn$ V3: $ppnp$ $\begin{bmatrix} 0 & -\sqrt{3} & 0 \\ 1 & 0 & 1 \\ \frac{1}{2} & \frac{\sqrt{3}}{2} & -1 \end{bmatrix}$	V1: $pnnp$ V2: $ppnn$ V3: $pppn$ $\begin{bmatrix} 0 & -\sqrt{3} & 0 \\ \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \end{bmatrix}$	V1: $ppnp$ V2: $ppnp$ V3: $nnnp$ $\begin{bmatrix} 0 & -\sqrt{3} & 0 \\ \frac{3}{2} & \frac{\sqrt{3}}{2} & 0 \\ -1 & 0 & -1 \end{bmatrix}$

Figura 3.4: Ordenamiento de vectores activos y matrices de proyección para los respectivos prismas y tetraedros[8]

3.2. Estrategia de control resonante

La modulación utilizando SVM 3D funciona bien para cargas las cuales no varían en el tiempo, ya que funciona como un sistema en lazo abierto. Para el caso de un pequeño generador, las cargas cambian continuamente y sin un patrón definido, por lo que se propone utilizar control resonante para generar un sistema en lazo cerrado que permita regular la tensión de salida del generador, evitando sobretensiones y manteniendo las tensiones de todas las fases a una referencia fija, independiente del tipo de cargo o su desbalance.

El control resonante es utilizado para controlar la tensión en la salida del convertidor con respecto al neutro, y además es capaz de regular las secuencias positivas, negativas y cero con un mismo controlador.

La estructura del control resonante posee 2 polos imaginarios en el plano “s” y una frecuencia de resonancia ω_0 . Para el caso del control de la parte inversora, la frecuencia de salida y resonancia es la misma, ω_0 .

El característica del controlador es que a una frecuencia de resonancia ω_0 , la función de transferencia tiene una ganancia infinita, como se puede apreciar en la ecuación 3.8.

$$G_{RC}(s) = K_c \cdot \frac{s^2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + \omega_0^2} \quad (3.8)$$

Donde K_c es la ganancia del controlador, ω_n la frecuencia natural y ζ el coeficiente de amortiguamiento.

En el dominio de las frecuencias se tiene que,

$$G_{RC}(j\omega) = K_c \cdot \frac{-\omega^2 \cdot \zeta \cdot \omega_n \cdot j\omega + \omega_n^2}{-\omega^2 + \omega_0^2}, \text{ con } s = j\omega \quad (3.9)$$

Por lo que si $\omega \rightarrow \omega_n$, se tiene que $G_{RC} \rightarrow \infty$.

Como se presenta en el a figura 2.3, la salida del convertidor tiene un filtro LC, por lo que se puede definir la función de transferencia en el dominio de Laplace como:

$$G_a(s) = \frac{V_{aL}}{V_{an}} = \frac{R_a}{s^2 \cdot R_a \cdot L_f \cdot C_f + s \cdot L_f + R_a} \quad (3.10)$$

Donde las variables son,

V_{aL} : Voltaje de medida en la carga.

V_{an} : Voltaje de salida de la fase a y el neutro a la salida del convertor.

R_a : Carga en la fase a.

L_f : Inductancia del filtro LC.

C_f : Capacitancia del filtro LC.

La función de transferencia para el controlador resonante en el plano z tiene la siguiente estructura:

$$G_{CR}(z) = K \cdot \frac{z^2 + a_1 \cdot z + a_2}{z^2 + b_1 \cdot z + b_2} \quad (3.11)$$

Donde K corresponde a la ganancia del controlador resonante.

Dado el algoritmo de modulación de SVM 3D, el cual modula cada fases con respecto al neutro, resulta conveniente el desarrollo del sistema de control resonante en forma independiente para cada fase, obteniendo un dispositivo flexible capaz de controlar los desbalances de cargas en forma automática. Esta estructura de modulación y control de fases independientes, permite diseñar diversos tipos de sistemas, en los cuales se utilicen frecuencias o tensiones distintas, como se muestra en la figura 3.5.

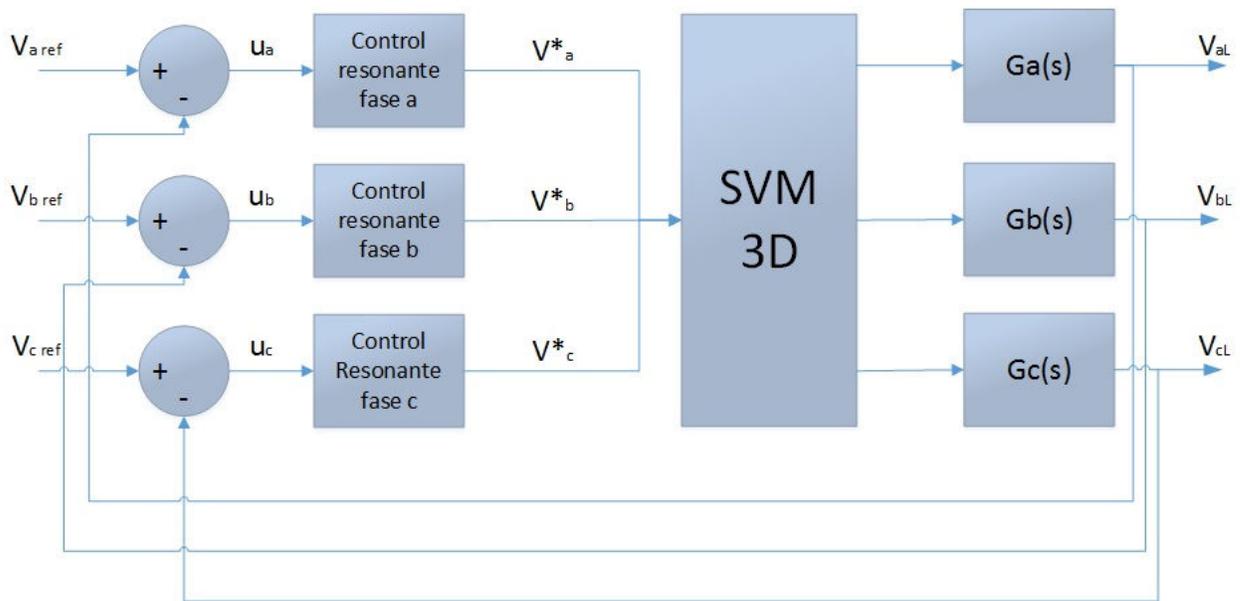


Figura 3.5: Diagrama de Control Resonante.

Esto permite alimentar cargas o consumos trifásicos en $380[V]$ a $50[Hz]$ desbalanceados, controlar 3 máquinas monofásicas a voltajes y frecuencias de entrada distintas entre si, entre otras aplicaciones, desarrollando un buen algoritmo que determine en forma apropiada los voltajes de referencias y un control resonante que sea estable en las diversas condiciones de operación.

En el diseño del controlador, se debe considerar la discretización del sistema por lo que se agrega un cero por el retenedor de orden cero (ZOH, *zero-order hold*) y además se genera un retardo debido al procesamiento en la fase moduladora SVM 3D, agregando un polo en el eje real.

Para mejorar la respuesta del controlador frente a las variaciones de carga, y obtener un dispositivo que se comporte en forma adecuada frente a casos en que la se aísla la carga y solo queda coenctado el filtro de salida LC, se agrega una malla LEAD-LAG en el diseño del controlador. La función de transferencia incluyendo la malla LEAD -LAG queda definida de la forma:

$$G_{CR}(z) = K \cdot \frac{z^2 + a_1 \cdot z + a_2}{z^2 + b_1 \cdot z + b_2} \cdot \frac{z^2 + a_3 \cdot z + a_4}{z^2 + b_3 \cdot z + b_4} \quad (3.12)$$

donde se la ganancia del controlador corresponde al primer término, los parámetros del controlador al segundo y la malla LEAD-LAG al tercer término.

El controlador resonante se diseña utilizando el lugar geométrico de las raíces sobre el plano “z”, y luego se transforma al espacio de estado, lo cual simplifica la programación del controlador por su estructura del cálculo de variables según sus estados anteriores.

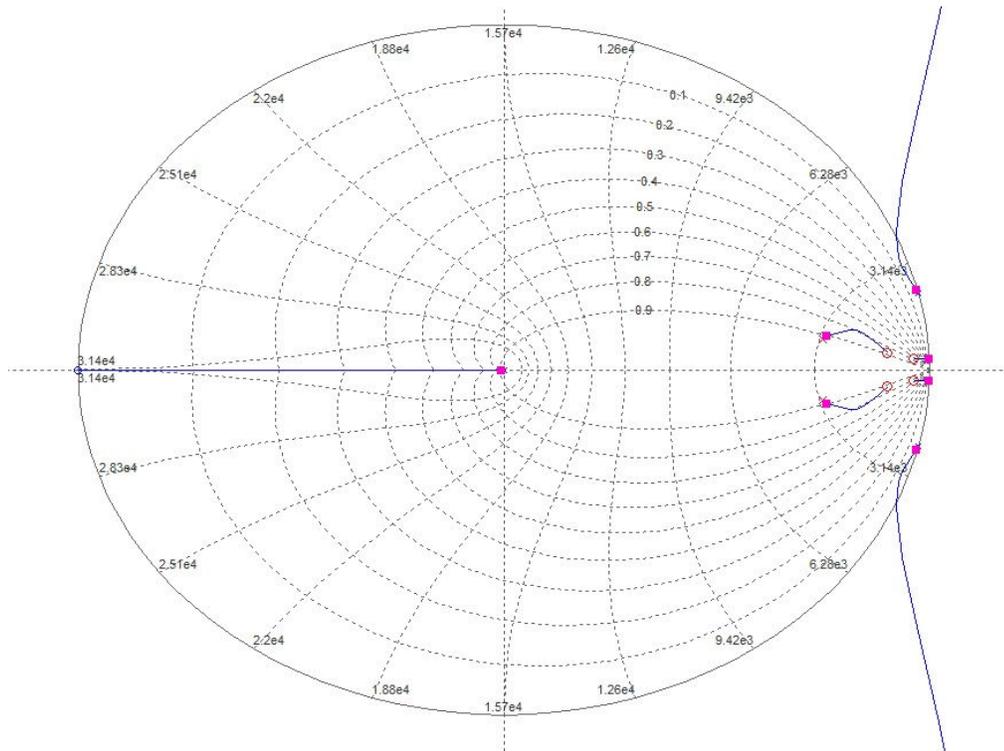


Figura 3.6: LGR para control resonante utilizando MATLAB.

En la figura 3.6, se observa el *LGR* de un control resonante diseñado en MATLAB, donde se observan los polos dentro del círculo unitario.

Finalmente se obtiene un controlador en espacios de estado de la forma:

$$A_{CR} = \begin{bmatrix} A_{11} & A_{12} & A_{13} & A_{14} \\ A_{21} & A_{22} & A_{23} & A_{24} \\ A_{31} & A_{32} & A_{33} & A_{34} \\ A_{41} & A_{42} & A_{43} & A_{44} \end{bmatrix} \quad (3.13)$$

$$B_{CR} = \begin{bmatrix} B_{11} \\ B_{21} \\ B_{31} \\ B_{41} \end{bmatrix} \quad (3.14)$$

$$C_{CR} = [C_{11} \quad C_{12} \quad C_{13} \quad C_{14}] \quad (3.15)$$

$$D_{CR} = [D_{11}] \quad (3.16)$$

Finalmente el control a programar en espacios de estados, utilizando las ecuaciones de diferencias discretas para la fase a queda de la forma:

$$\left. \begin{aligned} u_a &= V_{aref} - V_{aL} \\ X_a(k+1) &= A_{CR} \cdot X_a(k) + B_{CR} \cdot X_a(k) \\ V_a &= C_{CR} \cdot X_a^T(k) + D_{CR} \cdot u_a \end{aligned} \right\} , \text{ para la fase a} \quad (3.17)$$

Donde las variables corresponden a:

- u_a , error en lazo cerrado entre el voltaje de referencia de la fase a y el voltaje medido.
- V_{aref} , voltaje de referencia de la fase a.
- V_{aL} voltaje de la fase a medido en la salida del convertor.
- $X_a(k+1)$, la variable del espacio de estado discreto del controlador en el paso actual o a modular.
- $X_a(k)$, variable de estado discreto del controlador en el paso anterior.
- $A_{CR}, B_{CR}, C_{CR}, D_{CR}$, las matrices de espacio de estado del controlador.
- V_a , el valor de voltaje de referencia a modular que debe utilizar el algoritmo SVM 3D.

Dada la característica de control y modulación fase-neutro de forma independiente entre las fases, los controladores de la fase b y c son análogos al anteriormente descritos, conservando los valores de las matrices de espacio de estado, siempre que el controlador de éstas fases se requiera que cumplan características similares.

Estos procedimientos se pueden realizar utilizando el software MATLAB, definiendo los parámetros necesarios para definir la planta del sistema o valores del filtro LC de salida del inversor y el tiempo de muestreo T_S que discretiza la función utilizando *zoh*. Se utiliza MATLAB por la facilidad de utilizar las funciones predefinidas como función de transferencia (*tf*), espacio de estados (*ss*) y para discretizar la función de transferencia (*c2dm*). Además, el *root locus* (*rltool*), permite diseñar gráficamente utilizando *LGR* el controlador, entregando la función de transferencia del sistema.

Una de las ventajas del control resonante, es que permite un diseño donde exista más de polo resonante, controlador resonante multivariable, que se caracteriza por disminuir las distorsiones armónicas que se puedan generar en la carga, agregando polos resonantes en las frecuencias correspondientes. Este diseño genera matrices de estados de mayor dimensión, por lo que el tiempo de procesamiento del controlador aumenta, obligando a disminuir el tiempo de muestreo si fuese necesario.

3.3. Modulación de fases

Entre las aplicaciones o características que se pueden desarrollar, se plantea controlar y modular 2 o 3 fases con idénticas amplitud de voltaje, frecuencia y fase, esto permite que al tener dos fases idénticas, se puedan conectar sus terminales de salida pudiendo alimentar una carga que requiera una mayor potencia. Se requiere que los voltajes de referencia sean iguales, y además que los controladores no se vuelvan inestables en el momento en que pasan desde un sistema trifásico desfasado en 120° , dada la magnitud del error que se genera en la fase a la cual se le cambia abruptamente la referencia de voltaje.

Se proponen 2 estrategias de modulación de fases:

Mediante software. Esta estrategia consiste en modificar la programación del algoritmo de modulación, donde se iguala la referencia de voltaje de una o dos fases a una principal. Esta estrategia fuerza al controlador a corregir errores con desfases de 120° , lo que hace imprescindible un rediseño de los controladores ya sea unos que mejoren la estabilidad frente a grandes errores instantáneos, utilizar controladores auxiliares en el caso de grandes errores o realizar un cambio de referencia gradual. El diagrama de la figura 3.7 se observa en forma sencilla igualar la modulación de las fases a y b.

Mediante hardware. La estrategia mediante hardware consiste en conectar una tarjeta que cumpla la función de interfaz entre la FPGA y el conversor, donde la señal de disparo de la fase que se desea modular sea la misma para las fases que se desean acomodar, por

lo que la nueva tarjeta cumple la función de “*splitter*” o divisor de la señal de disparo de los IGBTs. En este caso se debe tener la precaución de que la placa al dividir la señal, la resistencia equivalente del lado del convertor disminuya por la conexión en paralelo, aumentando la corriente y causando una sobrecarga en la salida de la FPGA. Para esta estrategia es controlador de la fase principal se debe rediseñar, ya que la planta cambia no por la carga, sino por el filtro LC que se encuentra en la salida del convertor. Para que no presente problemas la modulación, dado que el transductor de voltaje en la fase espejo sigue midiendo, el error de la fase espejo debe ser cero, ya sea igualando la medición de voltaje a la referencia o simplemente igualar el error a cero.

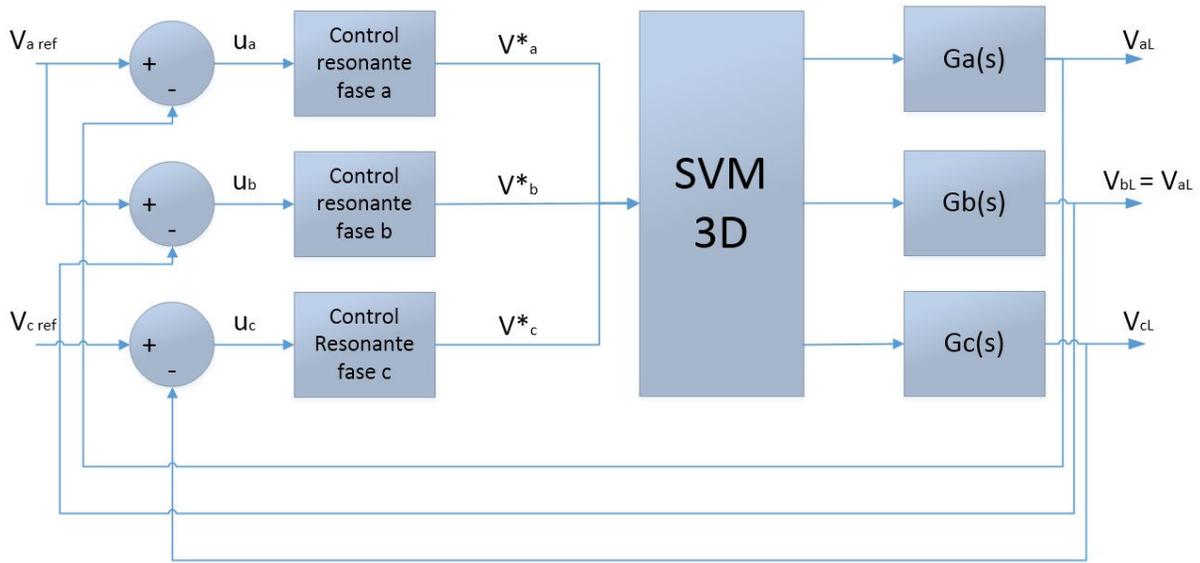


Figura 3.7: Diagrama de modulación de fases a y b idénticas mediante igual voltaje de referencia.

Utilizando cualquiera de las estrategias antes mencionadas, existe otro factor del cual se debe tener especial precaución, que corresponde a los tiempos muertos en las conmutaciones de los IGBTs de cada pierna, ya que si se acoplan 2 o 3 piernas de salidas de fases, los puntos medios de éstas conforman un sólo nodo y si no están bien sincronizadas, dentro del tiempo muerto de $2\mu S$, pueden generar un cortocircuito entre los terminales positivo y negativo del DC-Link.

Como solución al problema anterior, se plantean 2 soluciones, sincronizar de forma muy precisa la modulación de las 3 piernas, haciendo coincidir sus tiempos muertos. Para esto se deben corregir los largos de las pistas de los PCB y desgaste de componentes y tiempos de conmutación.

Una solución más práctica es conectar antes de unir las fases, un transformador 1 : 1 monofásico en serie en cada fase, por lo que se aísla mediante un circuito magnético el lado de modulación con el lado de salida sinusoidal del transformador monofásico, permitiendo acoplar sin riesgo fases moduladas con pequeños desfases.

3.4. Estrategia de sincronización

Entre las características del dispositivo es la adaptabilidad, permitiendo la sincronización del equipo con una red eléctrica, ya sea en condiciones de vacío, que no existe una mayor complejidad o desde una condición de operación en isla, donde el equipo se encuentra suministrando energía eléctrica a una carga y debe sincronizarse sin que exista la necesidad de un corte de suministro.

En el caso de que el dispositivo se encuentra en vacío, el voltaje de referencia se establece según la medición de transductores de voltaje instalados en la red eléctrica a la cual se desea sincronizar. Como el dispositivo se encuentra en vacío y además los algoritmos de control resonante y SVM 3D funcionan con independencia de fases, no es necesario verificar la secuencia de la red.

Para el caso de que el dispositivo se encuentre operando en isla, se deben cumplir las condiciones de sincronización:

- La secuencia de la red debe coincidir con la secuencia del dispositivo.
- La amplitud de los voltajes deben ser iguales.
- Las frecuencias de las fases deben ser iguales.
- Las fases del dispositivo con el de la red, no pueden estar desfasados.

La secuencia de la red y la del sistema operando en isla, deben verificarse físicamente que sean iguales.

El dispositivo debe conseguir seguir gradualmente a la red como referencia, entonces antes de la sincronización se debe calcular el voltaje de cada fase en rms de la red, dado que los transductores miden el voltaje instantáneo, con el fin de determinar la amplitud a modular.

$$V_{redrms}(k+1) = \sqrt{0,992547 \cdot V_{redrms}^2(k) + 0,007453 \cdot V_{redinstant}} \quad (3.18)$$

$$V_{amplitud} = \sqrt{2} \cdot V_{redrms}(k+1) \quad (3.19)$$

Donde las variables son:

- $V_{redrms}(k+1)$, voltaje una fase de la red en rms en el paso actual.
- $V_{redrms}(k)$, voltaje una fase de la red en rms en el paso anterior.

- $V_{redinstant}$, voltaje instantáneo medido en una fase de la red.
- $V_{amplitud}$, amplitud del voltaje a modular.

El paso del ángulo a modular queda definido por el tiempo de muestro T_S , de la forma:

$$\theta(k + 1) = \theta(k) + 2 \cdot \pi \cdot f \cdot T_S, \text{ con } \theta > 0 \wedge \theta < 2 \cdot \pi \quad (3.20)$$

Donde f corresponde a la frecuencia, por lo que se aumenta levemente la frecuencia por sobre los $50Hz$ con la finalidad de reducir el desfase entre la red y el dispositivo, hasta un δ suficientemente pequeño para que sea aceptable para la sincronización.

Cuando el dispositivo se encuentra sincronizado, el voltaje de referencia pasa a ser igual al voltaje instantáneo medido en la red.

Capítulo 4

Implementación

Para la implementación del equipo, es necesario tener las condiciones que permitan construir, ensamblar, configurar y realizar las pruebas correspondientes. Los siguientes son los equipos utilizados.

Tablero de suministro eléctrico trifásico Cumple la función de reemplazar un generador sincrónico y cuenta los elementos de protección para posibles fallas y pulsador de emergencia. El armado consta de un automático trifásico, contactor trifásico, toma eléctrica trifásica y botonera “ON - OFF”.



Figura 4.1: Tablero de alimentación trifásica.



Figura 4.2: Autotransformador trifásico variable.

<i>Autotransformador Trifásico variable</i>	
Corriente por línea	10[A]
Tensión de entrada	415[V _{ff}]
Tensión de salida	0 – 113%V _{ff}

Tabla 4.1: Parámetros del autotransformador trifásico variable.

Autotransformador trifásico El autotransformador, permite regular la tensión de entrada al equipo en prueba, con el fin de no dañar componentes o arriesgar la seguridad del operador en la etapa experimental. Se ensambla el autotransformador y se agrega un automático termomagnético como protección. Las características del autotransformador corresponden a las de la tabla



Figura 4.3: Osciloscopio marca LeCrow, resolución 350[MHz]

Osciloscopio El osciloscopio permite visualizar y medir los tiempos de las señales importantes para el funcionamiento correcto del convertidor. La forma de onda del convertidor debe ser sinusoidal, desfasadas en 120° entre si, de una amplitud de $220[V_{fn}]$ y frecuencia de $50[Hz]$. Los tiempos muertos de las señales de disparos entre los IGBTs de una misma pierna deben, por lo menos, ser de $2[\mu S]$ para evitar posibles corto circuitos en el DC Link. El osciloscopio marca LeCrow con resolución de muestras de $350[MHz]$ permite medir de forma suficiente los tiempos cortos. El osciloscopio que se utiliza puede medir los acontecimientos en régimen permanente, a diferencia de equipos disponibles en el laboratorio que permiten medir variaciones significativas y registrarlas.

Fuentes de poder Las fuentes de poder de $5[V]$ y de $\pm 15[V]$ se utilizan para energizar la electrónica del sistema, incluye la polarización de los espejos de corriente que amplifican la señal de disparo, convertidores DC/DC en el convertidor y transductores de corriente y tensión que permiten utilizar un control de lazo cerrado. La entrada es de $220[V]$ y dos salidas regulables que se conectan en paralelo de forma adecuada para obtener voltajes positivos y negativos, como se observa en la figura 4.4. En un dispositivo comercial, se debe construir pequeñas fuentes de poder bien dimensionadas para energizar las componentes del dispositivo.

Estación de soldadura La estación de soldadura, se utiliza para soldar todos los componentes de las placas a temperatura controlada según las especificaciones de los fabricantes, además posee herramientas útiles para quitar soldadura, soldar por aire caliente o caudín de 2 puntas (pinzas).

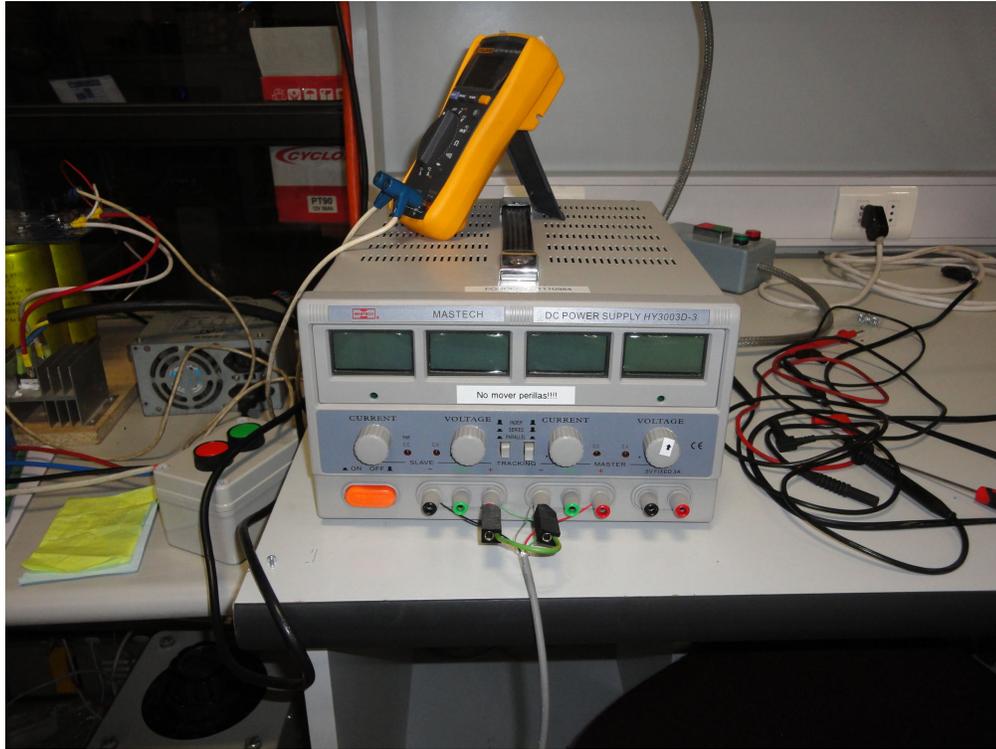


Figura 4.4: Fuente de poder de $\pm 15[V]$.

4.1. Hardware

El hardware que utiliza el convertor para funcionar, consta de una placa convertora que realiza las funciones de rectificación, enlace de continua e inversora; una placa de espejos de corriente; una placa de transductores de corriente; una placa de transductores de voltaje; un procesador digital de señal (DSP); una placa FPGA; y una placa de interfase HPI.

Las características y funciones de los distintos componentes del convertor son las siguientes.

4.1.1. Procesador digital de señales (DSP)

El DSP es el componente que realiza el procesamiento del algoritmo de control y modulación que se implementa. En el caso del convertor, se utiliza un DSP TM120C6713 de Texas Instruments y es integrado en la tarjeta DSK C6713 fabricada por Spectrum Digital Incorporated, figura.

Las características principales para el convertor son las siguientes:

- Frecuencia de reloj de hasta $225[MHz]$.

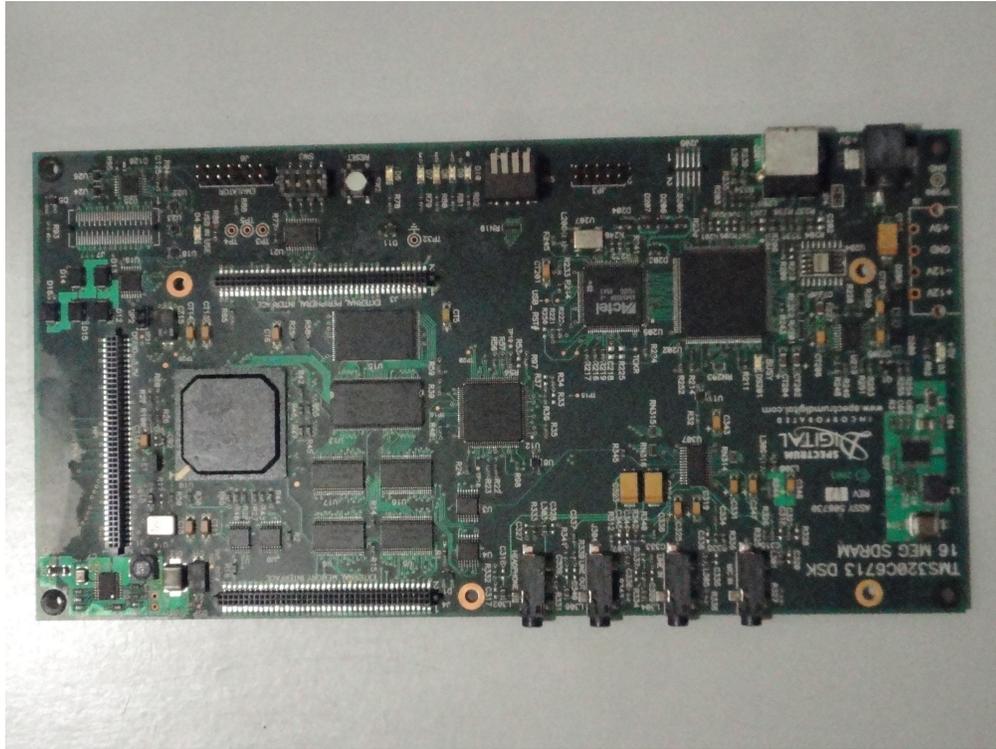


Figura 4.5: Tarjeta DSK C6713.

- Ejecuta 1.800 millones de instrucciones por segundo, $1800[MIPs]$.
- Realiza 1.350 millones de operaciones en punto flotante por segundo, $1350[MFLOPs]$.
- Puerto de expansión para tarjeta de interfaz con un computador, HPI.
- Conexión para una tarjeta FPGA.
- Puerto de conexión USB con un computador.

4.1.2. Unidad lógica programable (FPGA)

La tarjeta FPGA fue desarrollada por *The Power Electronics, Machines and Control group (The PEMC group)* en la Universidad de Nottingham, Inglaterra. Su diseño se basa en una FPGA *A500K050*, fabricada por *Actel*, que se conecta al DSP mediante los puertos de expansión de memoria y periféricos de la tarjeta DSK C6713. Las funciones que realiza son las siguientes:

- Conversión análoga - digital (A/D).
- Conversión digital - análoga (D/A).
- Enviar los pulsos de disparos para los IGBTs.

- Protecciones de sobretensión y sobrecorriente.

La tarjeta posee 10 canales (A/D) que reciben las señales análogas de los transductores que miden las corrientes y tensiones necesarias para el funcionamiento, control y protección del sistema. Además se programa para proteger mediante software el sistema de sobrecorriente con los valores medidos.

La tarjeta puede cumplir otras funciones que sean necesarias reprogramando sus registros indicados en los anexos.

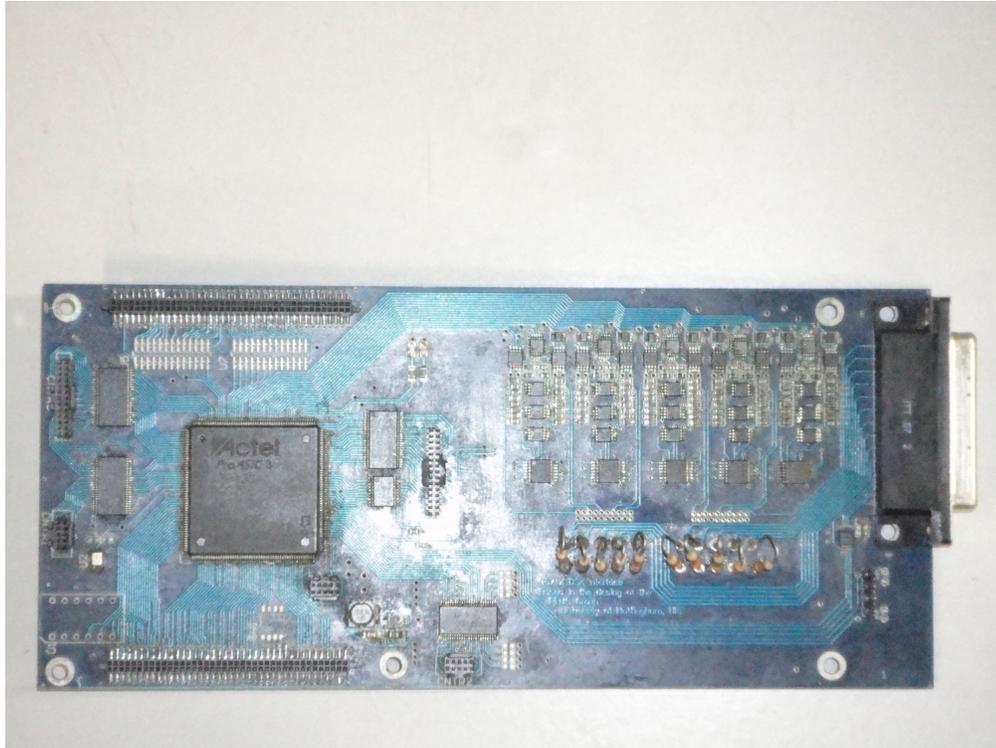


Figura 4.6: Tarjeta FPGA.

4.1.3. Puerto de interface con el computador (HPI)

La tarjeta HPI, fabricada por Educational DSP, se conecta al puerto HPI de la tarjeta DSK C6713. La tarjeta permite la comunicación entre el DSP y un computador a través de un puerto USB y principalmente el Software MATLAB, haciendo posible cargar programas, restear, leer y escribir en la memoria del DSP.

4.1.4. Placa conversor back to back

La placa del conversor es la cual mezcla la electrónica y la potencia del conversor. Ésta se puede dividir por las funciones que cumplen, por una parte se tiene una sección donde se reciben las señales de disparo provenientes de la FPGA o más precisamente del espejo de corriente, luego a través de un optoacoplador como protección y un conversor DC/DC, se generan los pulsos de disparos hacia los IGBTs que son de $\pm 15[V]$.

Por otro lado, se tiene el DC-Link que se constituye por dos condensadores DC de 350[V] conectados en serie, para alcanzar una tensión continua máxima de 700[V], aunque se espera que la tensión nominal de operación sea de alrededor de 540[V]. Los terminales de los condensadores serie se conectan a los planos positivo y negativo, conformando el DC-Link en 2 capas aisladas entre sí del PCB.

Finalmente, el sector donde se conectan los 7 IGBTs duales, donde por un lado se conectan a los planos del DC-Link y por otro a la electrónica mediante las señales de disparo. Las salidas de las piernas o puntos medios se conecta finalmente el filtro de salida.

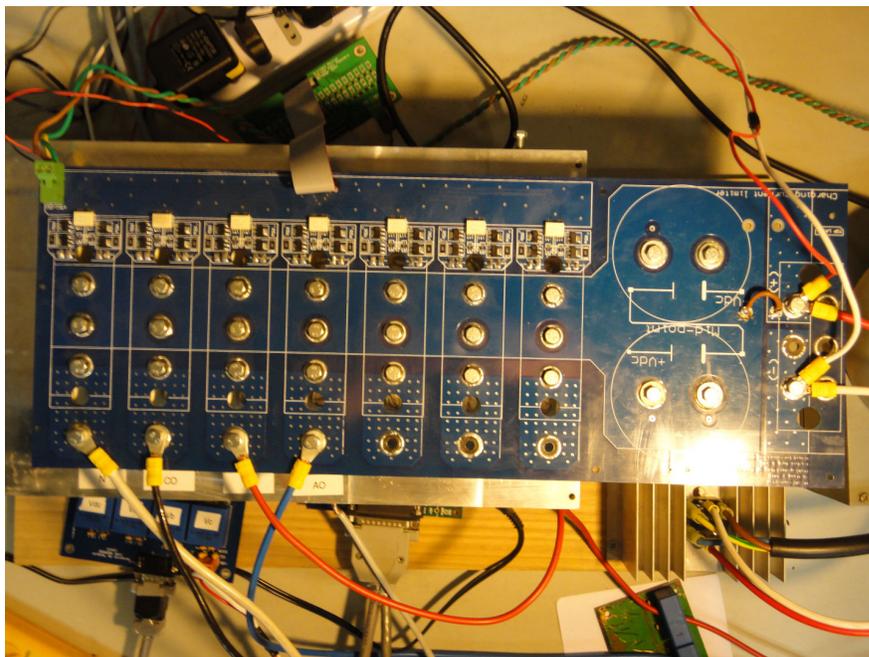


Figura 4.7: Placa conversor back to back.

4.1.5. Espejo de corriente

La PCB de espejo de corriente, cumple la función de recibir la señal de disparo generado en la FPGA, y enviar la señal libre de ruido y con una intensidad suficiente para correcto funcionamiento de manera aislada o en una sola dirección.

4.1.6. Transductores de corriente y tensión

Los transductores de corriente miden las corrientes que circulan por las fases, utilizando el efecto hall, por lo cual debe enrollarse a través del orificio que poseen estos transductores el conductor por donde circula la corriente. En el conversor, se utilizan 3 transductores LEM modelo LA25-P [12] que tienen las características de medir los valores en r.m.s, rango de operación entre $\sim 0 - 25[A]$ y una relación de transformación $1 : 1000$, por lo que en el secundario se obtienen valores entre $\sim 0 - 25[mA]$, independiente si es una corriente alterna o continua. La alimentación de los transductores es entre $\pm 12 - 15[V]$.

La medición de corriente se utiliza para programar protecciones de sobrecorriente o fallas en el programa que se carga en la FPGA.

Las características de tamaño y conexión de los transductores de corriente se presentan en la figura 4.8.

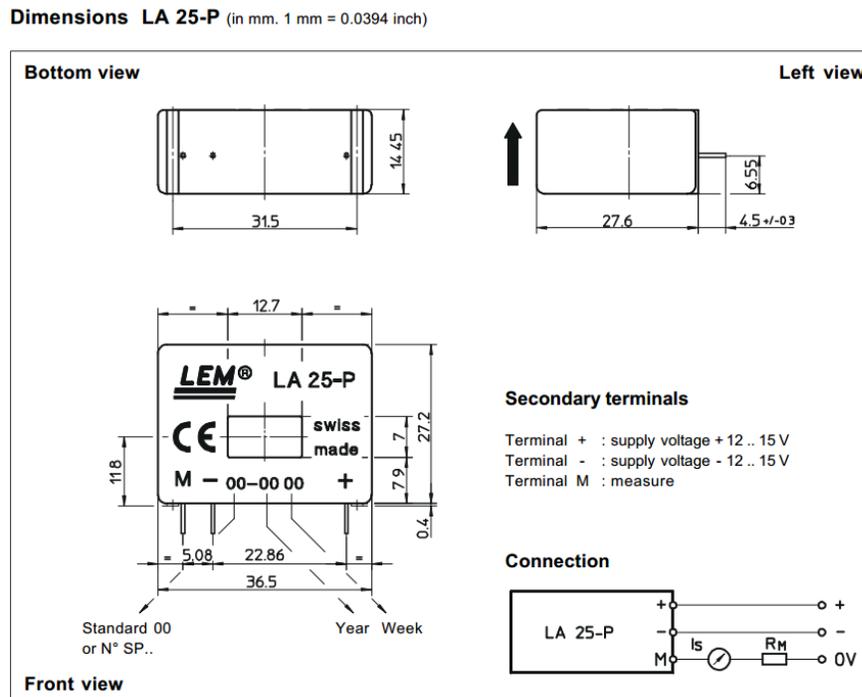


Figura 4.8: Dimensión y conexión de transductores LA25-P PCB, LEM.[12]

Los transductores de tensión de efecto hall utilizados, al igual que los de corriente, miden la tensión en valores r.m.s., presentando la ventaja que es indiferente medir una tensión en alterna o continua. Se utilizan para medir la tensión fase - neutro de la salida del conversor y la tensión del DC-Link.

Se utilizan 4 transductores LEM modelo LV20-P [13], tres para las salidas fase - neutro y 1 para el DC-Link y que tienen la característica de medir entre $\sim 10 - 500[V]$ y tienen una razón de transformación de $2500 : 1000$. Se utiliza una resistencia de medición en el primario R_1 de $47[k\Omega]$, por lo que se obtiene,

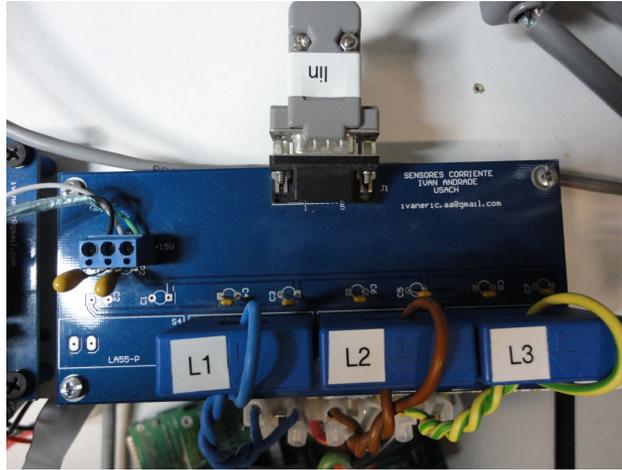


Figura 4.9: Tarjeta de transductores de corriente.

$$I_{SN} \approx 25[mA] \text{ para } V_{PN}500[V_{RMS}] \quad (4.1)$$

para el caso del DC-Link, la tensión nominal es cercana a $V_{DC-Link} \approx 540[V_{RMS}]$, por lo que es adecuado utilizar una $R_1 = 60[k\Omega]$, con el fin de disminuir la corriente que circula por I_{PN} , obteniendo

$$I_{SN} \approx 22,4[mA] \text{ para } V_{PN}540[V_{RMS}] \text{ y } R_1 = 60[k\Omega] \quad (4.2)$$

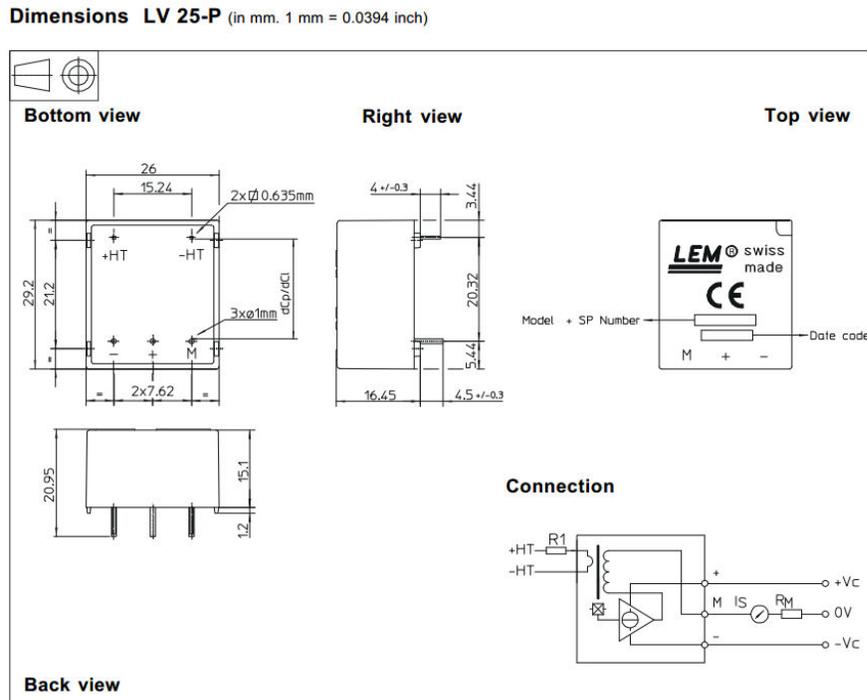


Figura 4.10: Dimensión y conexión de transductores LV20-P PCB, LEM.[13]

Al igual que los transductores de corriente, los transductores de tensión se deben alimentar con $\pm 15[V]$.



Figura 4.11: Tarjeta transductores de tensión.

4.1.7. Filtro de salida

El filtro de salida transforma las salida de pulsos con un ancho de pulso sinusoidal en una onda sinusoidal, en el caso se utiliza condensadores de corriente alterna de $50[\mu F]$ y tensión de $250[V]$, y una inductancia de $5[mH]$ y capacidad para $25[A]$, conectados según

4.2. Software

Los software utilizados para implementar el convertor, corresponden a code composer, el cual utiliza el lenguaje de programación en **c** y es donde se desarrollan los algoritmos de modulación, control y monitoreo del convertor. El otro programa es MATLAB, el cual permite comunicarnos con la tarjeta FPGA mediante la HPI, y cumple las funciones de cargar el programa compilado por code composer, monitorear y variar referencias o parámetros en tiempo real.

4.2.1. Code Composer

El code composer es el programa utilizado para programar, en lenguaje *c*, la FPGA los algoritmos utilizados para modular, controlar y monitorear el convertor. Cumple sólo la función de compilar. Se debe tener la precaución en el momento de programar, que cada línea de comando utiliza memoria de la FPGA y tiempo de ejecución cuando está en funcionamiento el convertor, por lo que no se deben declarar variables innecesarias, que sólo se utilizan en pruebas o arreglos o comparaciones que se vuelven irrelevantes.

4.2.2. MATLAB

MATLAB es el programa matemático que se utiliza para comunicar el computador con el DSP. Es necesario tener las librerías que contengan los comandos del DSP y que corresponden a los archivos “*C6DSK.dll*” y “*C6XCONTROL_DLL.dll*”. Con MATLAB se pueden obtener casi en tiempo real los valores que tienen las variables en el conversor, dado que se puede solicitar una variable, el procedimiento consiste en guardar en la FPGA en un arreglo de largo definido los valores de cierta variable, para luego enviar el arreglo relleno con los valores a MATLAB, permitiendo graficar las variables para un posterior estudio. Además se puede cambiar valores de variables en la FPGA para cambiar el comportamiento del conversor, como puede ser activar o desactivar relés, cambiar parámetros o referencias, entre otras opciones, lo que resulta útil para realizar las pruebas de operación de la máquina o comparar distintos tipos de control o modulación. El programa se utiliza para diseñar los controladores utilizados en el sistema aprovechando los módulos y funciones que trae incorporados, y que son herramientas específicas para el área de control.

4.3. Operación del conversor

La operación del conversor consta de varias etapas, una previa, donde se realizan las conexiones sin energizar, cargar los programas. Luego se enciende la máquina y se verifica que el DSP envíe los pulsos de disparo a los IGBTs de forma correcta, para evitar que se puedan generar cortocircuitos en el DC-Link. Energizar la entrada del conversor y observar la onda sinusoidal correcta a la salida del filtro de salida. Finalmente conectar la carga y/o sincronización a la red.

4.3.1. Etapa previa

El programa de control y modulación programado en code composer, debe ser compilado sin errores. Luego debe conectarse a la fuente de energía el DSP, PCB de espejo de corriente, PCB del conversor a la alimentación de $\pm 5[V]$, y verificar que la botonera de funcionamiento del DSP se encuentre en “off”. Se verifica que exista conexión entre el computador y el DSP, para cargar el programa compilado mediante MATLAB, se puede verificar que el programa es cargado satisfactoriamente, mediante un mensaje en pantalla al final del programa en “Cargar” en MATLAB.

Encender la botonera de funcionamiento del DSP, donde se espera que se puedan observar los pulsos de disparo en los terminales de los IGBTs que reciben la señal. Mediante el osciloscopio de suficiente resolución se espera observar los pulsos de disparo para ambos IGBTs de cada pierna, verificando que exista el suficiente tiempo muerto de $\sim 2\mu S$ y que sean de $\pm 15[V]$. Se debe volver a poner la botonera del DSP en “off”.

Una vez verificada la electrónica y el correcto funcionamiento del sistema de disparo, se procede a conectar los cables de energía, teniendo la precaución de que los diámetros de los cables correspondan a por lo menos la capacidad que se utilizará en la prueba. La energía, para el caso de prueba, se obtiene de un tablero eléctrico que posee una toma trifásica y una botonera conectada a un contactor que habilita la energización del sistema. La entrada del convertor, para el caso de prueba proviene de un autotransformador de tensión regulable trifásico, y que posee un automático termomagnético como protección de sobrecorrientes y sobrecargas. Del autotransformador se debe conectar a la entrada del convertor, ya sea a 3 piernas del convertor o a un puente rectificador, según sea el caso.

La salida del convertor debe conectarse al filtro de salida, las inductancias de cada fase en serie cada una de las 3 piernas de línea correspondiente, luego los condensadores conectados en estrella, donde el neutro o punto común se conecta a la pierna del convertor que cumple la función de neutro. Finalmente el sistema queda listo para operar de forma adecuada.

4.3.2. Operación

Para la operación del sistema, se energiza el autotransformador con la botonera que posee conectada al un contactor. La botonera tiene la ventaja de poseer un botón de parada que permite desenergizar inmediatamente todo el sistema en caso de emergencia, falla de funcionamiento o accidente, por lo que siempre hay que tenerla en un lugar al alcance y despejado. En el caso de que se conecte directamente al generador, se debe utilizar un contactor que se active mediante un relé para energizar la entrada del convertor, el relé debe ser accionado de forma automática bajo condiciones adecuadas determinadas por el programa cargado en el DSP.

Encender la operación del DSP cambiando la botonera en “on”, esto nos permite observar la modulación de la salida a medida que se aumenta la tensión de salida del autotransformador. Se ajusta el autotransformador a una tensión adecuada en el DC-Link ya sea para realizar las pruebas necesarias o de forma automática, previamente programada en el DSP utilizando las 3 piernas rectificadoras.

En régimen permanente se pueden conectar las cargas, variar la referencia de tensión de salida o del DC-Link, mediante MATLAB, así como obtener datos para observar el tiempo que tarda el convertor en alcanzar la tensión de referencia en el caso de que se conecten cargas, ocurran fallas, observar las formas de onda de la corriente. Idealmente es conectar contactores que se activen de forma remota mediante MATLAB, utilizando las salidas de la FPGA para activar relés.

Capítulo 5

Pruebas y validaciones del conversor *Back to Back*

Las pruebas realizadas, corresponde al funcionamiento esperado de las distintas etapas de conversión, con el fin de obtener un producto que cumpla las normas técnicas chilenas para *PMGD*.

5.1. Operación SVM

El funcionamiento de la modulación *SVM* consiste en obtener una onda sinusoidal en las líneas fase - neutro, en forma de lazo abierto, es decir, independiente de la del tipo de carga o el desbalance que pueda presentar, el algoritmo genera tres fases sinusoidales según la tensión de entrada del inversor y el índice de modulación.

La prueba de operación del SVM, consiste en modular una señal sinusoidal trifásica, para esto se utilizan los siguientes equipos.

- Conversor trifásico, con inversor de 4 piernas.
- Osciloscopio Le Crow.
- Filtro LC conectados en estrella.
- autotransformador trifásico.
- Puente rectificador de onda completa.

Se realizan las pruebas de operación del algoritmo SVM 3D, se obtienen las formas de ondas de la figura 5.1, el cual se encuentra en condiciones de vacío y con un filtro LC

conectado en la salida del convertor para obtener sinusoides y no los pulsos que generan las salidas de las piernas.

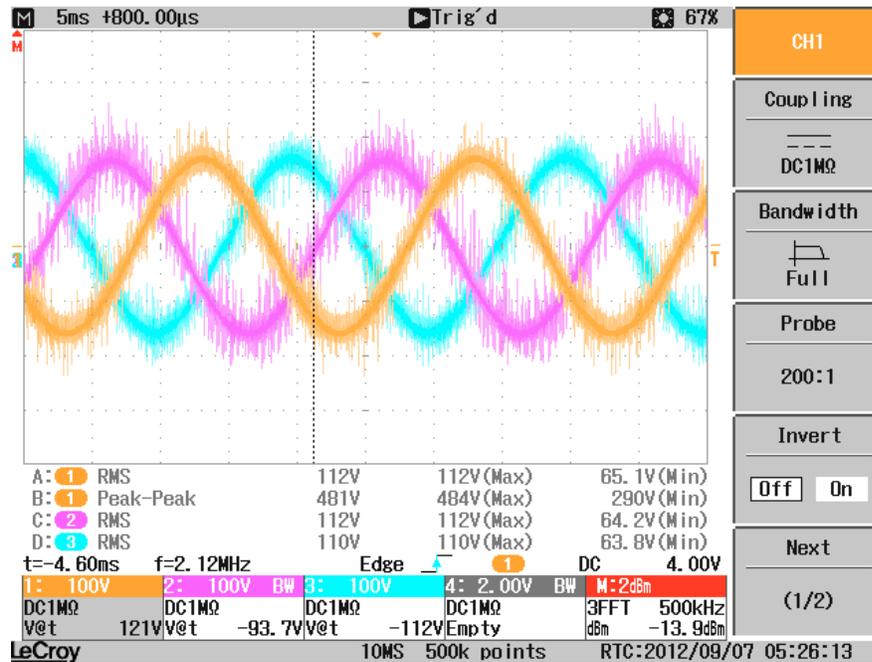


Figura 5.1: Onda trifásica modulada utilizando SVM

Se observa en el algoritmo que el período de las ondas corresponde a $20[mS]$ que son los $50[Hz]$ de la frecuencia industrial y que las señales están debidamente desfasadas en 120° .

En la figura 5.2, el filtro de salida presenta una configuración distinta, donde se conecta un condensador de mayor capacitancia en una de sus fases.

En este último caso, se observa la variación de tensión que se genera al tener un filtro distinto en la salida. Finalmente el algoritmo funciona adecuadamente en lo que respecta a la frecuencia y desfase de cada línea, además al desbalancear el lado de la salida del convertor, en este caso el filtro, se observa su funcionamiento en lazo abierto.

5.2. Control resonante

El control resonante permite que el convertor tenga un voltaje de salida constante, con la finalidad de operar un sistema de microred operado en isla o conectado a un sistema mayor.

5.2.1. Diseño del control resonante

El diseño del controlador resonante es realizado según lo indicado en el capítulo 3.2, utilizando las potencialidades que entrega el software matemático MATLAB en el diseño de

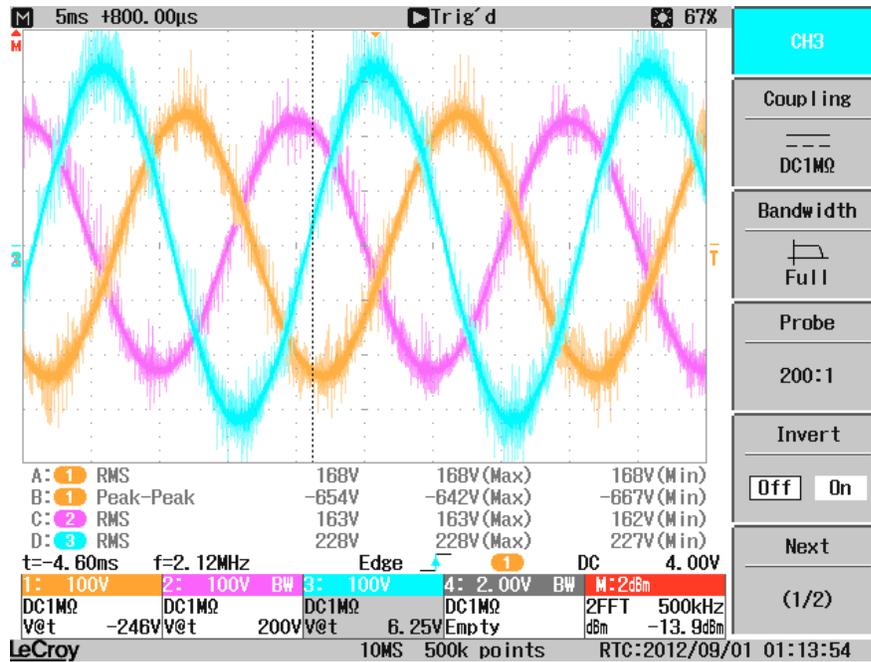


Figura 5.2: Onda trifásica modulada utilizando SVM, con filtro de salida desbalanceada

controladores.

Se utiliza la función de transferencia definida en la ecuación 3.12, donde se incluye la malla LEAD-LAG del sistema con la finalidad de mejorar el comportamiento dinámico del convertidor. Considerando los componentes del dispositivo, y el tiempo de muestreo se diseña el control resonante.

- Frecuencia de resonancia $\omega_o = 50hZ$
- Filtro LC, $L = 5mHF$, $L = 40\mu F$
- Tiempo de muestreo $T_S = 100\mu s$
- Presencia de malla LEAD-LAG

La función de transferencia de la planta, queda de la forma:

$$G_C(z) = 0,0249 \cdot \frac{z + 0,9998}{z^2 - 1,95 \cdot z + 1} \quad (5.1)$$

En el módulo *root tool*, de ajusta el controlador resonante a implementar.

La función de transferencia del controlador resonante queda determinada por:

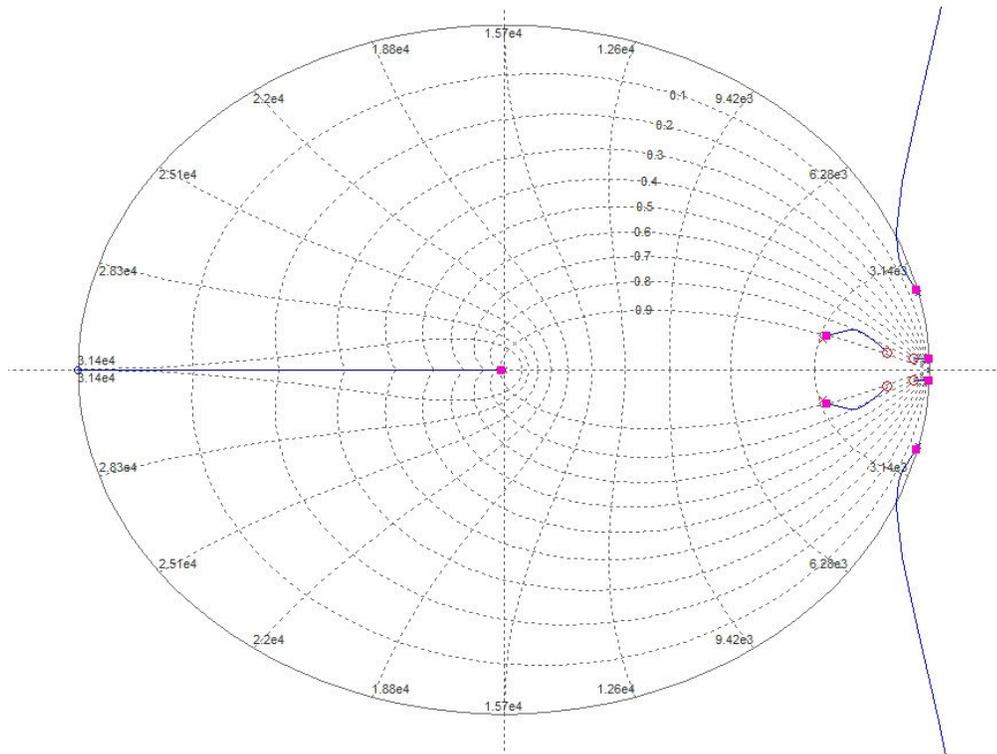


Figura 5.3: Diseño de controlador resonante en LGR.

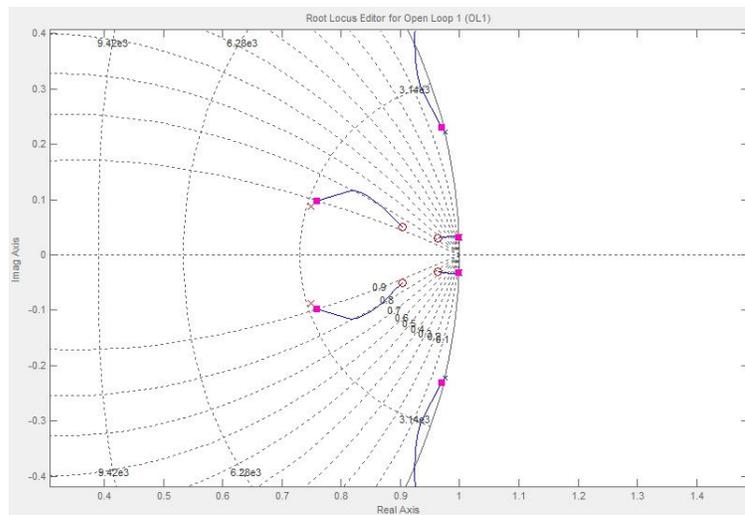


Figura 5.4: Ceros y polos del control resonante, frecuencia de resonancia y malla LEAD-LAG.

$$G_{CR}(z) = 0,34839 \cdot \frac{z^2 - 1,925 \cdot z + 0,9276}{z^2 - 1,999 \cdot z + 1} \cdot \frac{z^2 - 1,848 \cdot z + 0,8634}{z^2 - 1,592 \cdot z + 0,6365} \quad (5.2)$$

A la función de transferencia del controlador, se transforma a espacio de estados para facilitar la programación discreta del controlador en la FPGA, obteniendo las siguientes matrices de estado.

$$A_{CR} = \begin{bmatrix} 0,6976 & 1 & 0 & 0 \\ -0,003575 & 0,6976 & 0,002488 & 0,1041 \\ 0 & 0 & 0,9995 & 1 \\ 0 & 0 & -0,0009866 & 0,9995 \end{bmatrix} \quad (5.3)$$

$$B_{CR} = \begin{bmatrix} 0 \\ 0,2626 \\ 0 \\ 0,1357 \end{bmatrix} \quad (5.4)$$

$$C_{CR} = [0,0164 \quad -0,2179 \quad 0,001971 \quad 0,1129] \quad (5.5)$$

$$D_{CR} = [0,2081] \quad (5.6)$$

Las matrices de estados son implementados en el algoritmo del DSP, verificando que los parámetros del controlador sean los correspondientes, como el tiempo de muestreo y el filtro de salida LC.

5.2.2. Prueba de seguimiento de la referencia del control resonante

La prueba de funcionamiento de controlador consiste en modular en lazo abierto utilizando el algoritmo SVM 3D y posteriormente activar el controlador resonante. Es importante evaluar como el algoritmo SVM 3D sigue la referencia y luego comparar el resultado con el seguimiento de la referencia utilizando el controlador resonante. En las figuras 5.5 y 5.6 se observan los resultados del controlador resonante diseñado anteriormente y un controlador con errores de diseño.

En la figura 5.5 se observa el comportamiento inestable del sistema al tener un control mal diseñado. En cambio en la figura 5.6 el sistema se encuentra en lazo abierto, aplicando el voltaje de referencia al algoritmo de modulación SVM 3d durante los primeros 50ms, luego se utiliza el algoritmo de control resonante diseñado, en donde presenta un error inicial por la inicialización en cero del voltaje de salida del algoritmo de control resonante, pero que

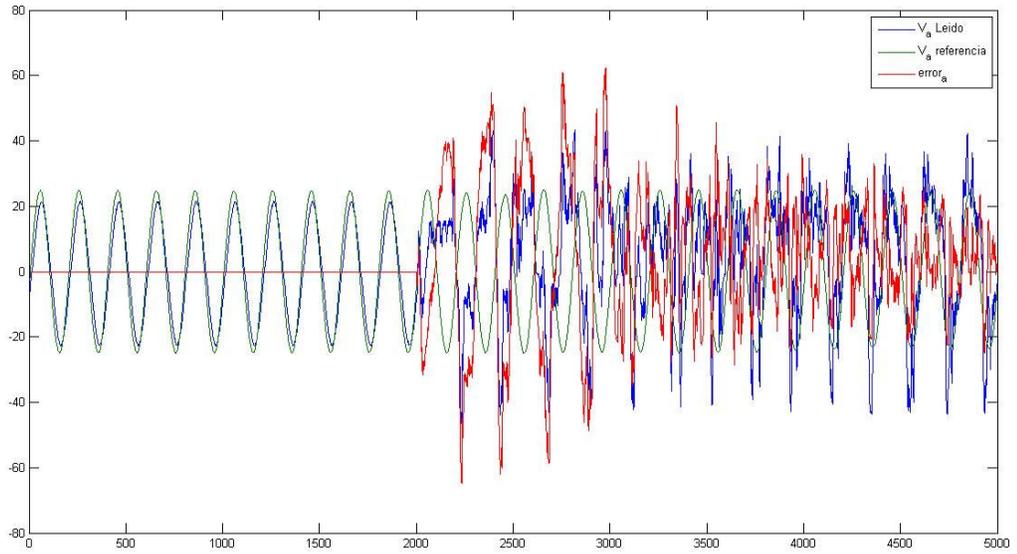


Figura 5.5: Prueba de un control resonante con fallas de diseño.

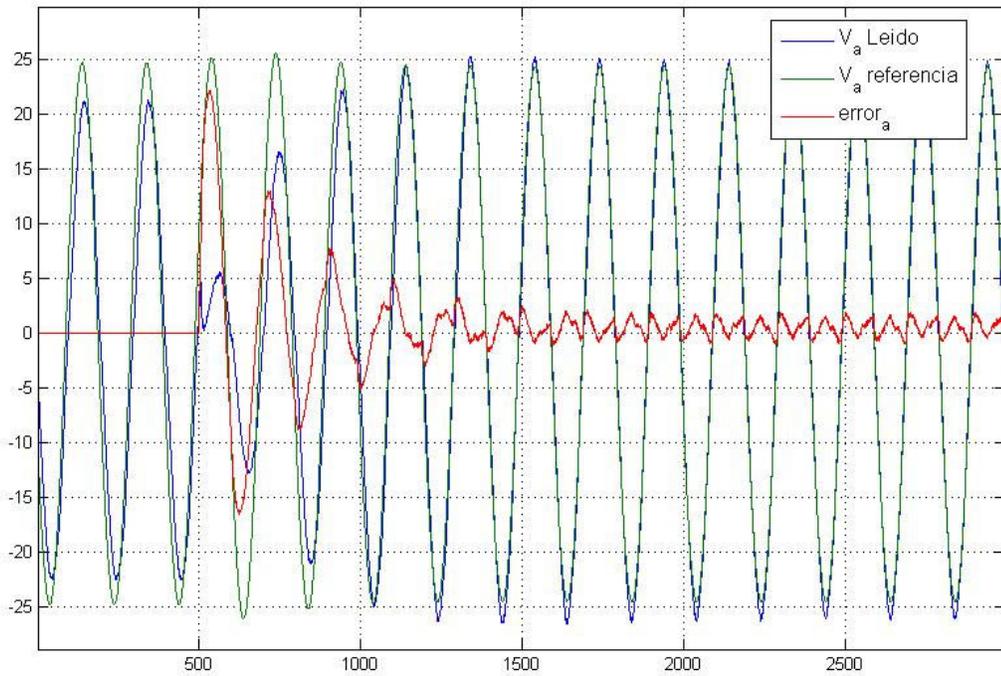


Figura 5.6: Prueba del funcionamiento del control resonante en vacío.

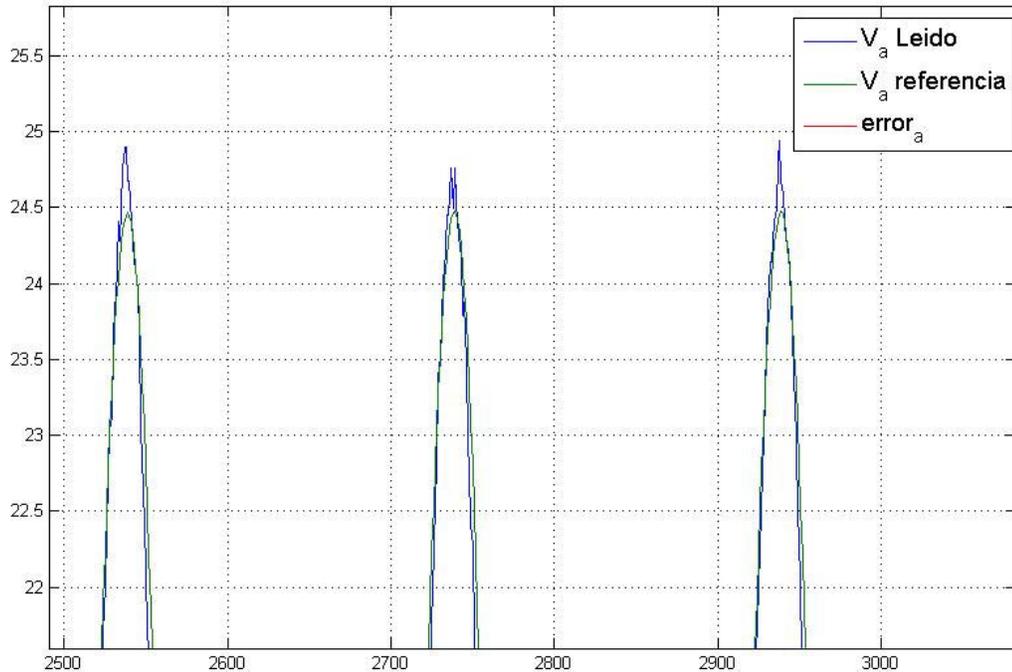


Figura 5.7: Diferencia entre voltaje de referencia y voltaje en la carga.

rápidamente, al cabo de 4 ciclos ($80ms$), existe una correlación entre el voltaje de salida del convertidor y el voltaje de referencia, existiendo un error por el retardo que se genera entre la referencia y el valor medido por el transductor.

En la figura 5.7, se observa la mayor diferencia entre los voltajes de referencia y el medido por los transductores de voltaje cuando el sistema se encuentra en régimen permanente, los cuales no superan los $0,5[V]$.

5.2.3. Prueba de cambio de referencia de un control resonante

La finalidad de la prueba de cambio de referencia de voltaje, es observar el comportamiento del sistema frente a estos cambios que pueden ser producidos por la variabilidad del voltaje de referencia cuando el sistema se encuentra conectado a una red eléctrica mayor, dado que el dispositivo en todo momento debe estar modulando la salida. En el caso de estar operando en isla, un cambio de referencia de voltaje es un evento similar a la conexión o desconexión de carga, ya que el algoritmo de control resonante basa su funcionamiento en el error o diferencia entre el voltaje de referencia y el voltaje que miden los transductores de voltaje, que este último es el caso en que exista una variación de carga.

En la prueba de cambio de referencia, al inicio el sistema opera en un lazo cerrado mediante un control resonante, se provoca un cambio de referencia del voltaje de la fase a

los 200ms aumentado de 30[V] a 32[V], como se muestra en la figura 5.8, y en la figura 5.9, en el tiempo de 350ms se disminuye el voltaje de referencia de 32[V] a 14[V].

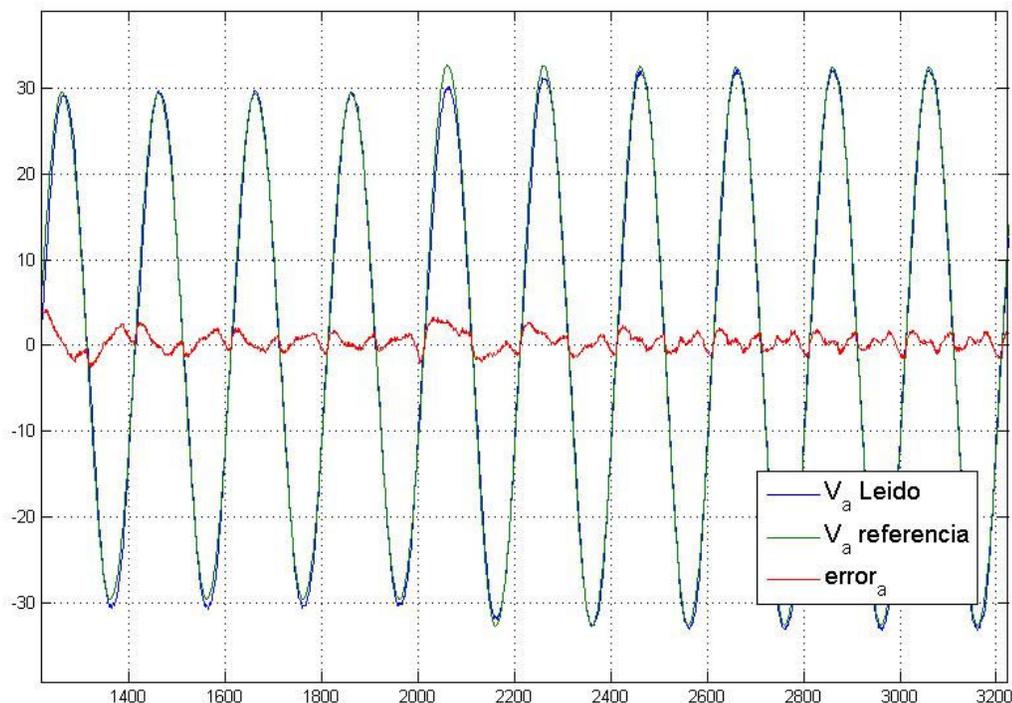


Figura 5.8: Prueba de cambio de referencia, aumento de 30[V] a 32[V].

Como se observa en la figura 5.8, el aumento de la referencia es análogo a que exista una conexión de una carga resistiva o desconexión de una carga capacitiva, la salida del dispositivo se estabiliza en torno a la referencia en 2 ciclos (40ms), en cambio en la figura 5.9 la disminución del voltaje de referencia es similar a una desconexión de una carga resistiva o conexión de una carga capacitiva, y su estabilización es en torno a los 3 ciclos (60ms).

5.2.4. Prueba de fases con igual modulación

La prueba de fases con igual modulación, consiste en igualar el voltaje de referencia de una fase a otra, donde el comportamiento del sistema, considerando que el desfase entre es 0° en vez de 120° , tiene una mayor contenido armónico, alto desbalance de carga y por lo tanto una alta circulación de corriente por el neutro.

La prueba se inicia en condiciones de régimen permanente en lazo cerrado por un control resonante, con una referencia de 20[V]. Al transcurrir 350[ms] desde que se inicia el registro de datos, se activa el cambio de referencia de la fase c siguiendo la referencia de la fase a.

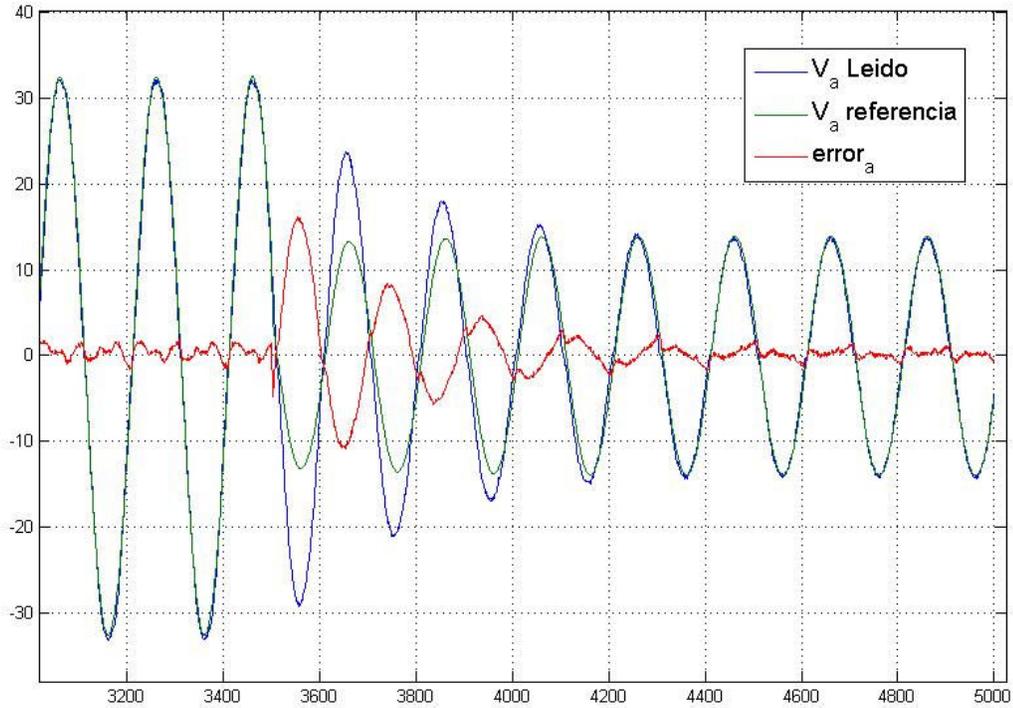


Figura 5.9: Prueba de cambio de referencia, disminución de 32[V] a 14[V].

En la figura 5.10 se observan las referencias de las 3 fases y que se contrastan con los valores medidos en la salida del inversor en la figura 5.11. El cambio de referencia de la fase c es en 120° , lo que implica un error grande y es necesario tener un buen diseño de controlador que sea capaz de mantenerse estable. La fase c tarda 6 ciclos ($120ms$) en estabilizarse con respecto a la nueva referencia,

En las figuras 5.13 y 5.14 se aprecia el comportamiento del sistema con 2 fases con igual referencia en régimen permanente, donde la corriente que circula por el neutro aumenta considerablemente, alrededor de $4[A]$. En ciertos casos, el controlador no era capaz de mantenerse estable, debido a que la potencia instantánea tiene *peaks* mayores, debido a la nueva modulación.

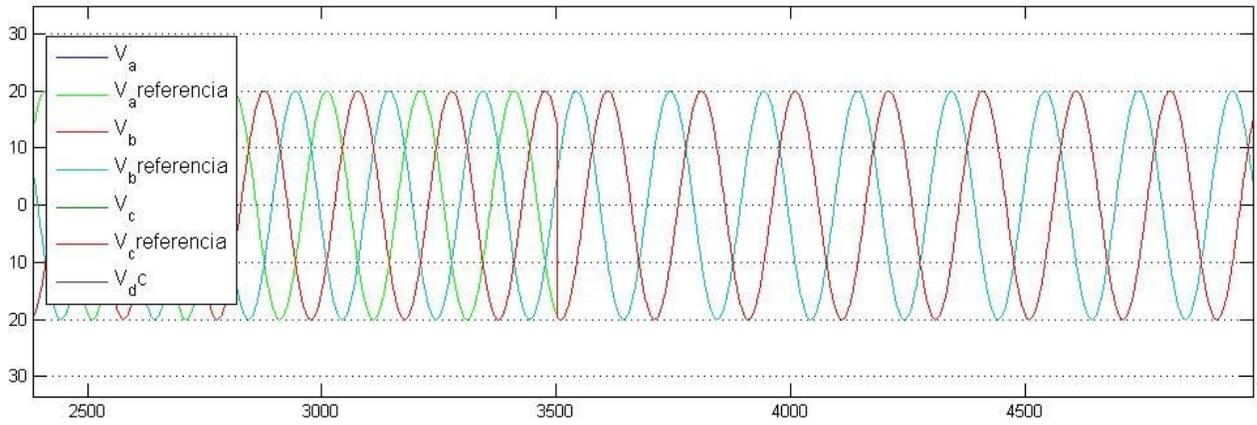


Figura 5.10: Voltajes de referencias de las fases a, b y c, con igual modulación entre fases a y c.

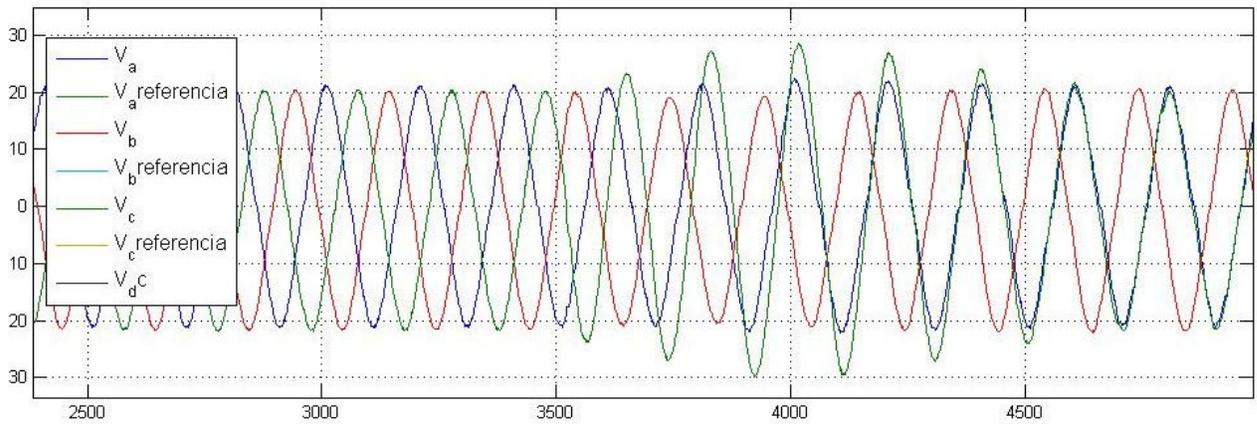


Figura 5.11: Voltajes medidos de las fases a, b y c, con igual modulación entre fases a y c.

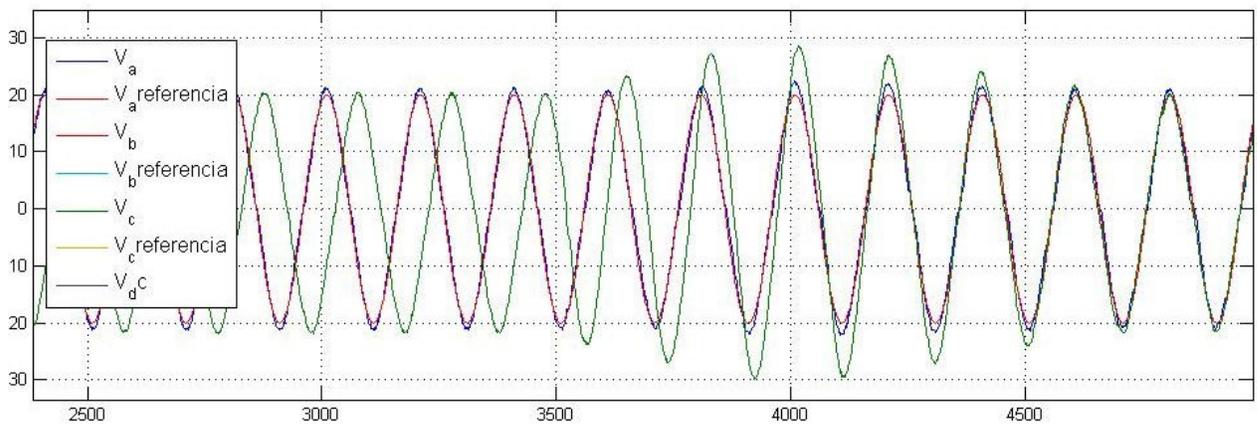


Figura 5.12: Voltaje de referencia de fase a, con igual modulación entre fases a y c.

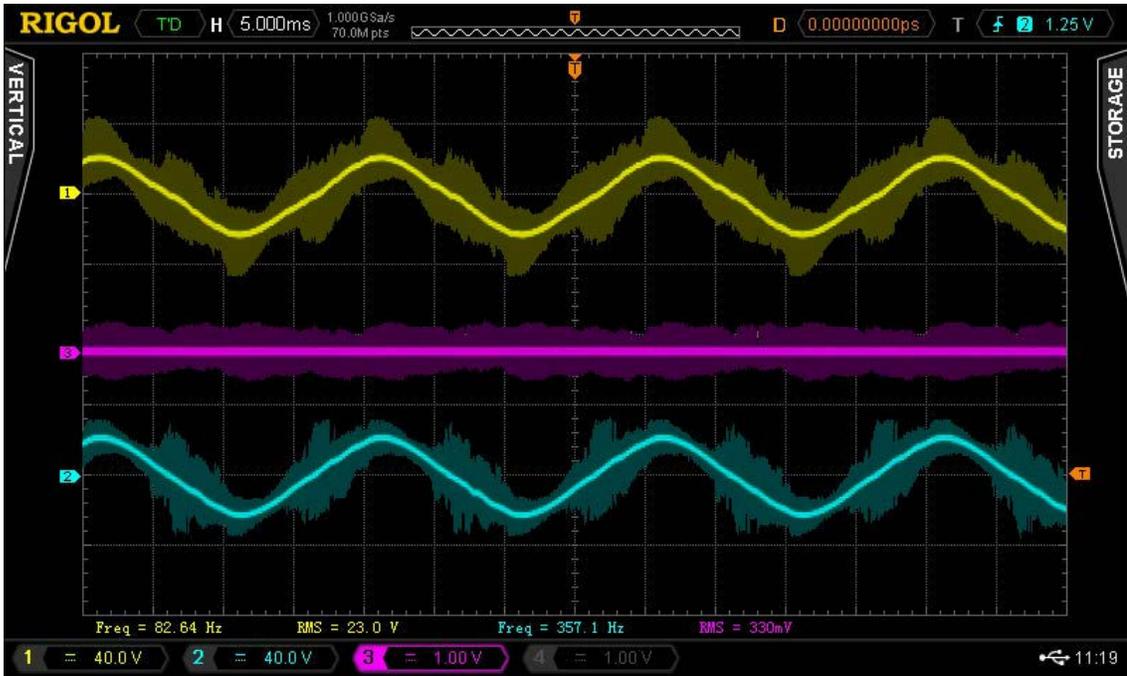


Figura 5.13: Igual modulación entre fase a y c, corriente por el neutro en vacío.

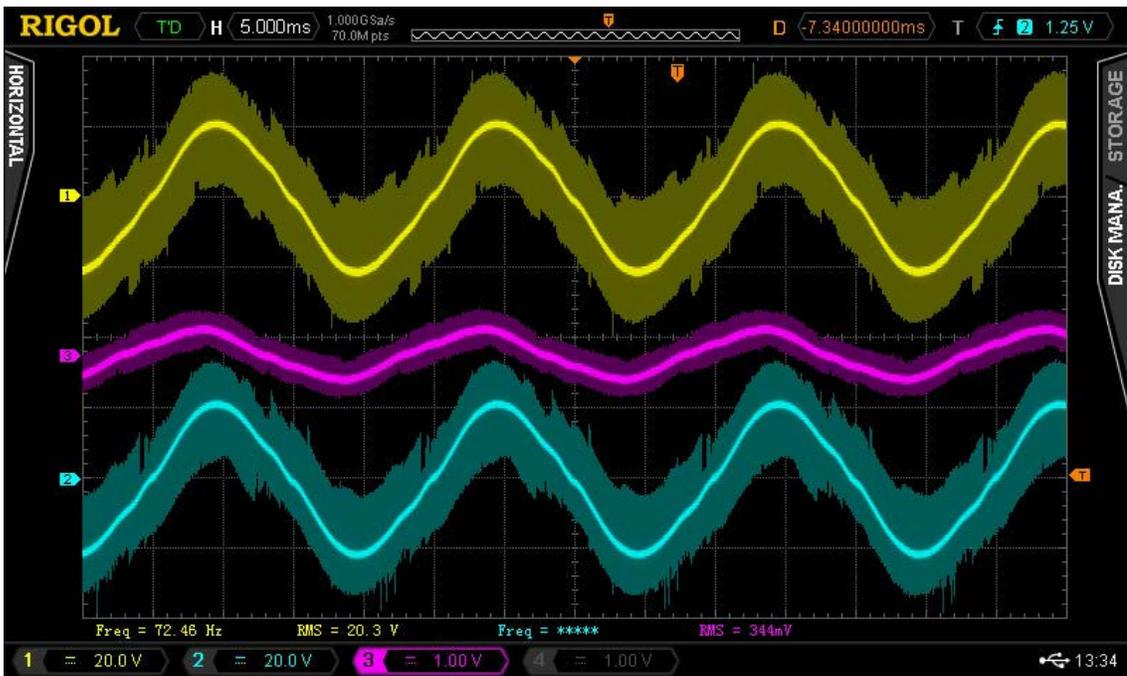


Figura 5.14: Igual modulación entre fase a y c, corriente por el neutro con carga.

5.3. Parámetros del conversor

Se desea obtener los parámetros del conversor, principalmente la eficiencia y los armónicos. La razón de buscar estos parámetros consiste en obtener un factor de la potencia generada entre tener o no tener instalado el conversor, los armónicos es principalmente que el equipo cumpla con la norma técnica.

Adicionalmente, se debe realizar pruebas de sincronización, formación fortuita de isla e inyección de DC, donde se deben cumplir las condiciones impuestas en la normativa vigente.

5.3.1. Eficiencia

La prueba de eficiencia se realiza midiendo las potencias de entrada y de salida, y sacando su cociente. Este factor es fundamental para comparar el comportamiento del generador con el conversor instalado y sin él.

Para la prueba, se miden las potencias de entrada y salida con equipos hioki, que nos permiten obtener el valor de las potencias monofásicas y luego multiplicarlas por 3 para obtener sus valores trifásicos. Se consideran distintos tipos y consumo de las cargas, ya que además nos sirve para conocer el punto óptimo de operación del conversor o si su eficiencia es constante independiente de la carga.

5.3.2. Armónicos

En la prueba de armónicos, se utiliza un equipo hioki para medir la distorsión total de armónicos THD y el valor que aporta las distintas componentes. La ventaja de utilizar el equipo hioki, es que permite medir directamente las componentes armónicas, ya que tiene una tenaza para medir la corriente y terminales para medir el voltaje, la desventaja que presenta, dado que es un equipo compacto, es que no es posible graficar los aportes y solamente se puede obtener su valor.

Se realiza las mediciones de los voltajes y las corrientes armónicas, en los casos de carga trifásica equilibrada y carga trifásica equilibrada con igual modulación de 2 fases. En las tablas 5.1, 5.2, 5.3 y 5.4 son las mediciones obtenidas y la tabla 5.5 el resumen de los THD en cada uno de los casos.

<i>N° armónica</i>	<i>Voltaje [V]</i>
1	10,5
2	0
3	0,7
4	0
5	0,2
6	0
7	0
8	0
9	0,1

Tabla 5.1: Medición de voltajes armónicos con carga.

<i>N° armónica</i>	<i>Corriente [A]</i>
1	0,96
2	0
3	0,01
4	0
5	0,02
6	0
7	0,01
8	0
9	0,02

Tabla 5.2: Medición de corrientes armónicos con carga.

<i>N° armónica</i>	<i>Voltaje [V]</i>
1	14,4
2	0
3	0,7
4	0
5	0,2
6	0
7	0
8	0
9	0,1

Tabla 5.3: Medición de voltajes armónicos con 2 fases iguales.

<i>Nº armónica</i>	<i>Corriente [A]</i>
1	1,33
2	0
3	0,06
4	0
5	0,02
6	0,005
7	0
8	0
9	0,02

Tabla 5.4: Medición de corrientes armónicas con 2 fases iguales.

<i>Tipo</i>	<i>Variable</i>	<i>% THD</i>
Equilibrada	Voltaje	3,50
Equilibrada	Corriente	3,50
Fases iguales	Voltaje	4,10
Fases iguales	Corriente	4,40

Tabla 5.5: Resumen de la Distorsión total de armónicos (THD).

Capítulo 6

Evaluación económica

En este capítulo se desarrolla una evaluación económica de implementar el equipo convertidor back to back que permita determinar de forma precisa el impacto que genera utilizar el dispositivo como interfaz entre un generador y el consumo-red.

Según las características propias de los tipos de consumos, se generan curvas de demanda del tipo residencial, comercial o industrial, Considerando las curvas de consumos, según las características propias del tipo de

6.1. Tipos y curvas de Consumos

El comportamiento de consumo, generalmente mantienen un patrón común según el uso que se otorga a la propiedad. Se identifican 3 tipos importantes de consumos y de los cuales se pueden derivar combinaciones de estos, estos son *residencial*, *comercial* e *industrial*. La característica principal que diferencian los tipos de consumos son la demanda horaria que cada uno posee. Independiente del lugar geográfico o la demanda máxima del consumo, las curvas características mantienen su forma, esto permite normalizar las curvas facilitando generar la evaluación económica según la demanda máxima del consumo.

Existe una variación relevante de consumo entre la época de verano e invierno, que no causan variación demasiado significativa en la forma de las curvas de consumo, lo que nos permite realizar una ponderación de los consumos horarios y ajustes en mediante un desplazamiento de las demandas máximas, debido al consumo por iluminación y calefacción ya que los días son más cortos.

Las características anteriores permiten, sin perder generalidad, determinar las curvas de consumo utilizando datos generales a los cuales se pueden acceder. Los datos utilizados corresponden a apuntes de los cursos EL67F, “*Gestión de la distribución de la energía eléctrica*”[5] y EM744, “*Planificación de sistemas eléctricos de potencia*”[6].

6.1.1. Residencial

El consumo al cual apunta el proyecto de *MCH* es el residencial, dado que tiene la finalidad de suministrar energía eléctrica a pequeños poblados aislados de la red eléctrica. El consumo residencial tiene a característica tiene un par de peak de consumo durante la mañana y durante la tarde. El tramo de las tardes se extiende durante el período de invierno, por lo que se debe realizar un ajuste.

Se utiliza el alimentador Renca como referencia de consumo residencial, el cual presenta las siguientes características.

Carga Residencial

NUMALIM	TIPO	CLASIFICACION	Comunas	Clientes	KVA	N°td	N°tp	KVA td	KVA tp
112	COMPAÑÍA	RESIDENCIAL	Renca ;Quinta Normal.	8210	11413	99	14	7648	3765

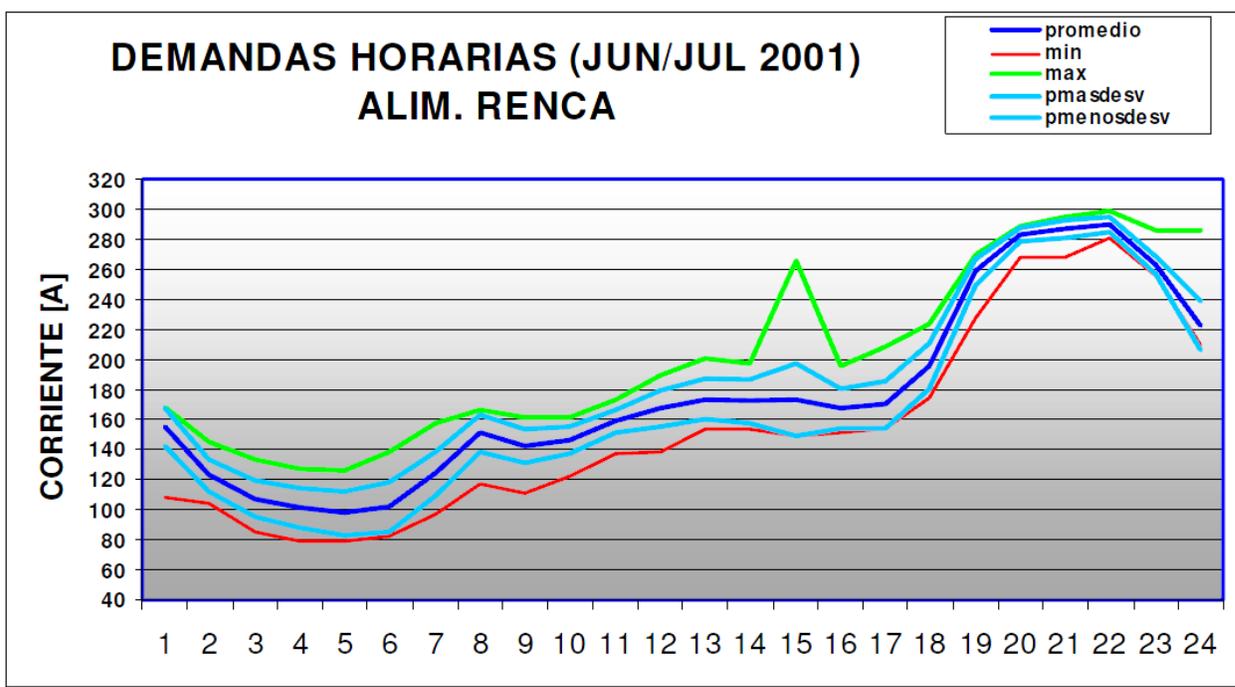


Figura 6.1: Característica de carga residencial horaria del alimentador Renca Junio-Julio 2001.
Fuente: Apuntes EL67F[5].

Para la determinar la curva de carga residencial, se realiza un offset del alimentador, con el fin de eliminar el comercio y la industria asociados al alimentador, los datos aproximados son los mencionados a continuación.

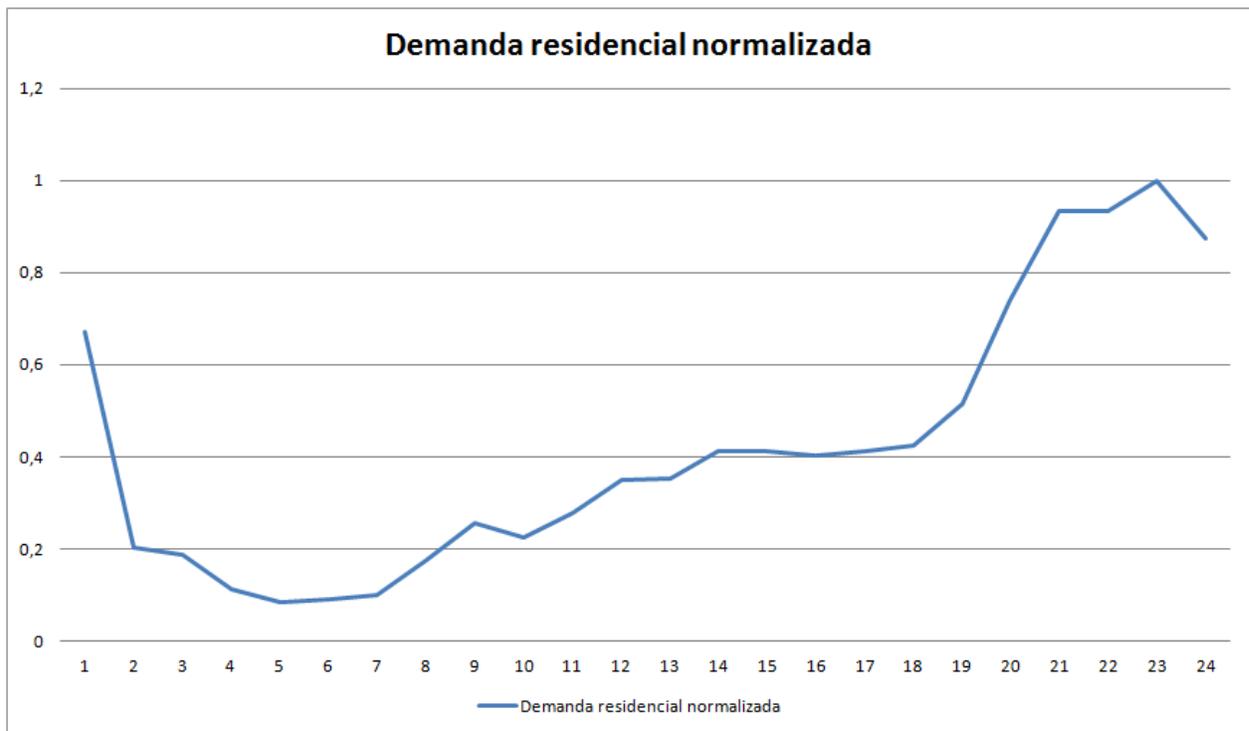


Figura 6.2: Curva de demanda residencial.

6.1.2. Comercial

El consumo comercial posee una curva característica de carga constante de distinta magnitud durante dos períodos continuos. Generalmente se presenta durante el horario de trabajo, entre 9 de la mañana y 9 de la noche. Para desarrollar la curva de carga se utiliza la curva del alimentador Kennedy como se muestra en la figura 6.3.

La curva de carga de un consumo principalmente comercial, se puede considerar que se mantiene durante todos los días del año, y tiene una característica que prácticamente no sufre cambios a lo largo de los años, a diferencia de los consumos residencial e industrial.

Los consumos comerciales se pueden dividir en servicios, los cuales presenta un consumo casi nulo durante las horas de baja demanda y que solo se mantiene el consumo de equipos en stand by e iluminación. En el caso del comercio que posean cadenas de frío como pueden ser supermercados o almacenes, poseen una demanda base que corresponden a refrigeradores y congeladores, la curva que se presenta en la figura 6.4 es bastante representativa para los casos mencionados.

No es necesario tener una importante preocupación por sobrecorrientes, dado que los equipos utilizados en el sector comercial corresponden principalmente a iluminación, calefacción en invierno y motores que funcionan generalmente en régimen permanente y que no son de mayor potencia, por lo que sus peak de corriente no pondrían en riesgo una desconexión

NUMALIM	TIPO	CLASIFICACION	Comunas	Clientes	KVA	N°td	N°tp	KVA td	KVA tp
1533	COMPAÑÍA	COMERCIAL	Las Condes	685	8620	6	6	2270	6350

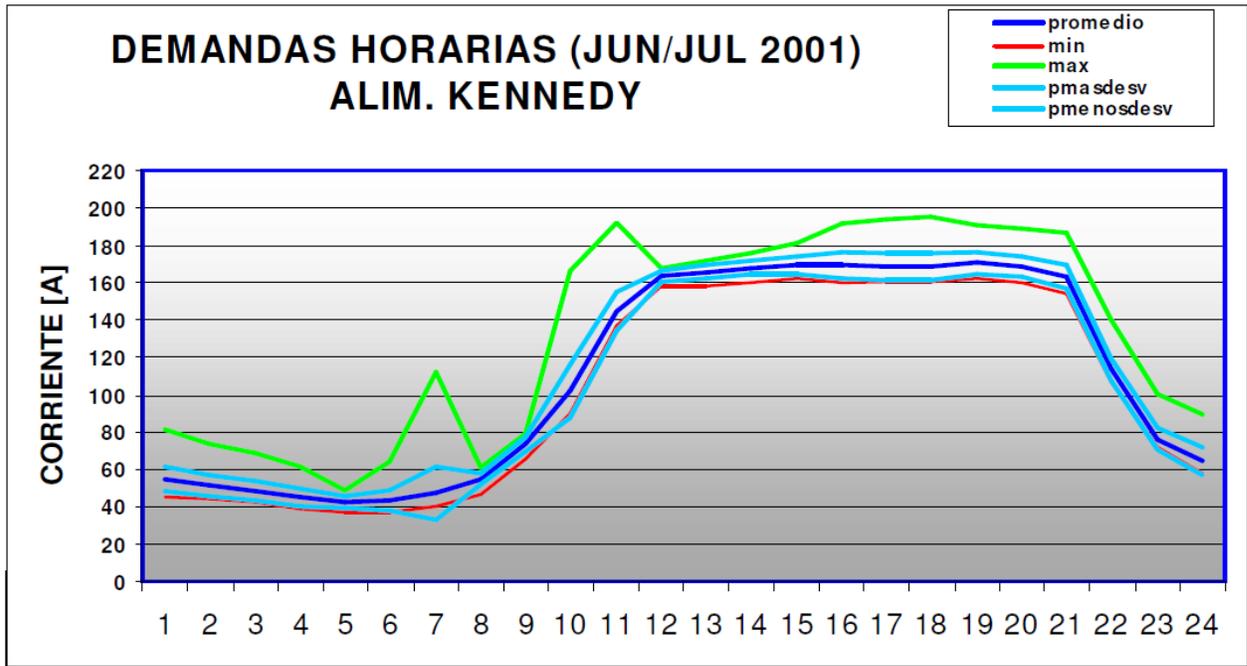


Figura 6.3: Característica de carga comercial horaria del alimentador Kennedy Junio-Julio 2001.
Fuente: Apuntes EL67F[5]

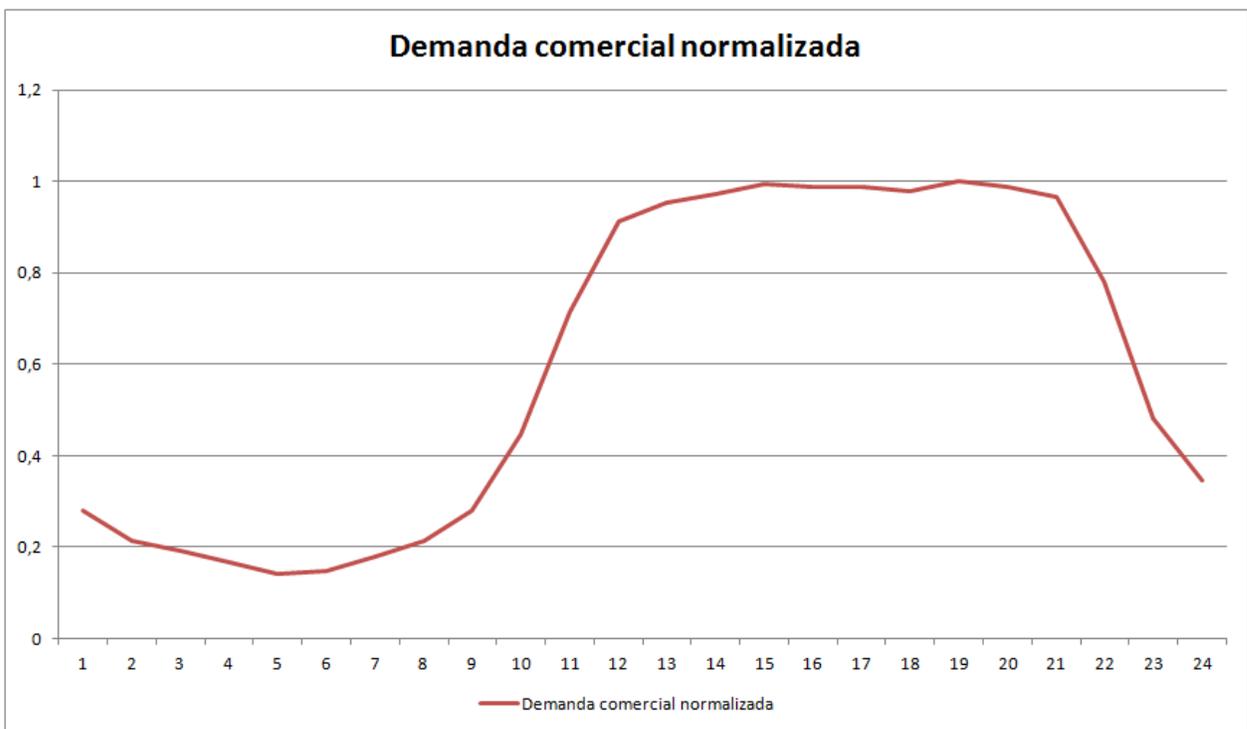


Figura 6.4: Curva de demanda comercial.

de la máquina en el caso de que opere en isla.

6.1.3. Industrial

En el sector industrial, el consumo se distribuye de forma similar a la comercial, con la diferencia que presenta una baja de consumo en el horario de almuerzo y durante los días domingos presenta un consumo base constante durante todo el día que corresponden a equipos en stand by.

Carga Industrial

NUMALIM	TIPO	CLASIFICACION	Comunas	Clientes	KVA	N°td	N°tp	KVA td	KVA tp
111	COMPAÑÍA	INDUSTRIAL	Independencia ;Renca.	2929	14885	21	41	3690	11195

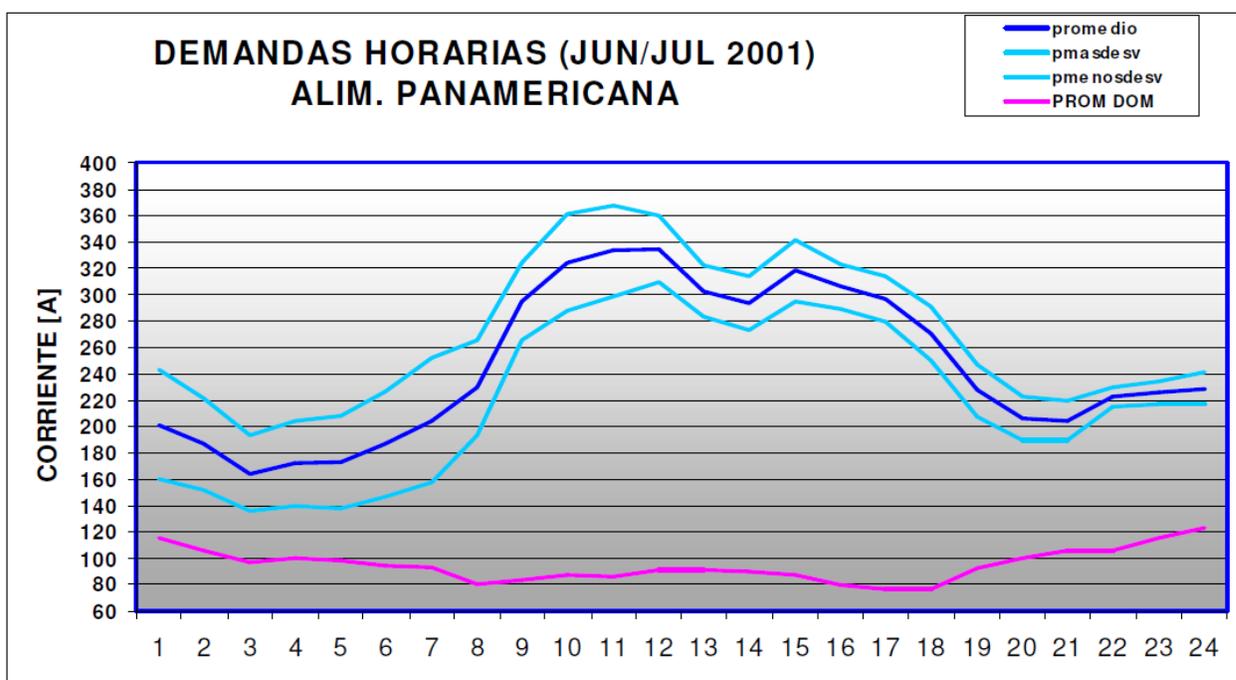


Figura 6.5: Característica de carga industrial horaria del alimentador Panamericana Junio-Julio 2001.

Fuente: Apuntes EL67F[5]

6.2. Costo de inversión del convertor

El costo del convertor, en primera instancia, se considera como referencia el costo del prototipo, el cual incluye los materiales para construir el equipo, los software utilizados, para la simulación como para cargar el programa en el equipo, uso equipos para realizar pruebas, insumos y las horas hombre utilizadas.

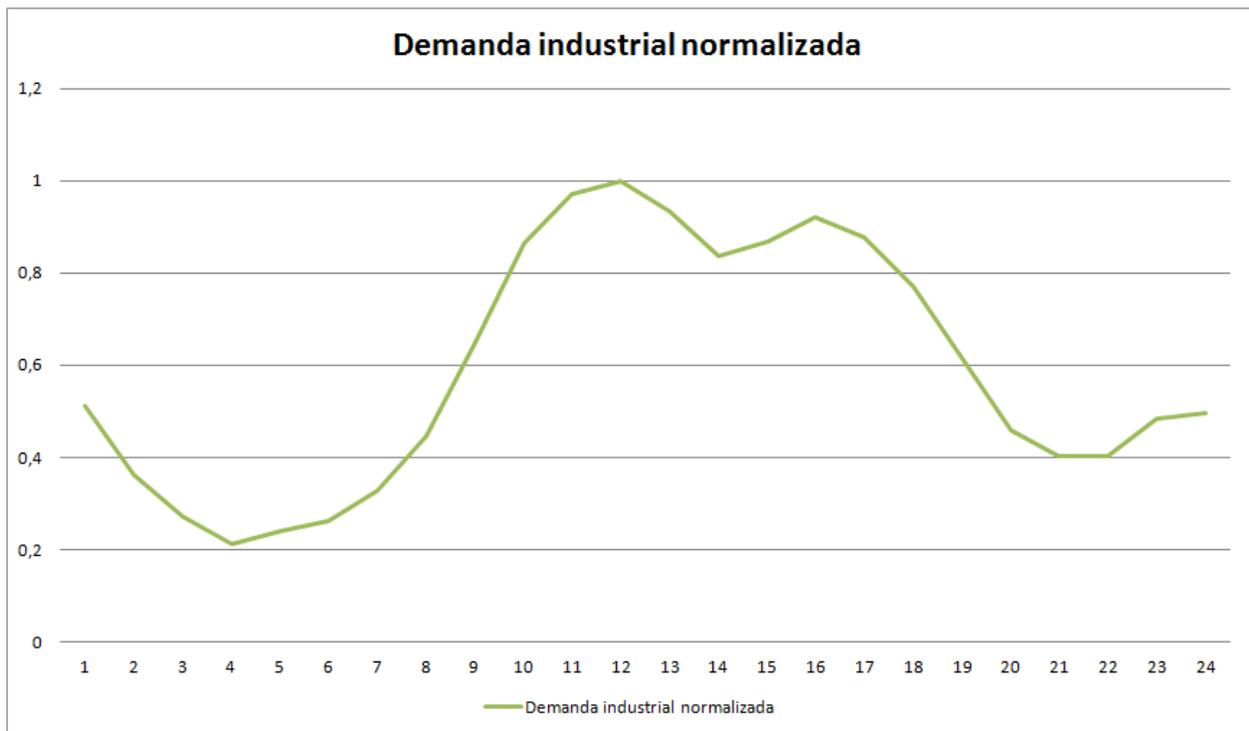


Figura 6.6: Curva de demanda industrial.

Como se considera que el dispositivo es un periférico de una *MCH*, para el estudio de los costos y el tiempo de recuperación de la inversión, se analiza la diferencia de ganancia que se obtiene al aplicar el convertor a la salida de una *MCH*, esto considerando la ventaja de utilizar una mayor potencia, si se considera la capacidad del convertor de transformar un sistema trifásico a monofásico.

Los costos se divide en los siguientes ítemes.

Costo de diseño eléctrico. En el costo de diseño eléctrico se considera principalmente las horas hombres (*HH*) invertidas en el diseño de placas, circuitos y dimensionamiento de los componentes necesarios del convertor, y los costos del software necesario para ello.

Componentes y dispositivo. Se consideran el conjunto para utilizar el DSP, sensores de voltaje y tensión, componentes de electrónica y electrónica de potencia para armar los PCB del convertor y periféricos, costo de envío de los materiales importados y comprar de PCB a pedido según especificaciones de diseño.

Costo de construcción. En la construcción del equipo se considera las *HH* utilizadas en soldar componentes en todas las PCB y armado del convertor, además de los insumos necesario como soldaduras, flux,

Costo de diseño de carcasa. El costo del diseño de la carcasa consta de *HH* y el software utilizado para ese fin.

Carcaza. La construcción de la carcaza se considera el costos aproximados del material, insumos y HH.

Equipos de prueba. Los equipos de prueba necesarios para medir el correcto funcionamiento del equipo y que cumpla con las normativas vigentes son de elevado costo, por lo que en esta evaluación se consideran un costo de uso de equipos y las HH utilizadas. Además se incluye la compra o el préstamo de equipos básicos como resistencias, condensadores e inductancias trifásicas, entre otros.

ITEM	Costo Total
	\$ -
Costo de Diseño Eléctrico	\$ 2.784.000
Componentes y dispositivo	\$ 1.129.000
Costo de Construcción	\$ 1.100.000
Costo Diseño Carcaza	\$ 1.120.000
Carcaza	\$ 1.100.000
Equipos para pruebas	\$ 700.000
Inversión Total	\$ 7.933.000

Figura 6.7: Resumen de costos de diseño y fabricación del convertor back to back

6.3. Evaluación económica

La evaluación económica consiste en calcular el VAN, donde principalmente se evalúa un generador de hasta $10[kW]$ operando en distintas configuraciones de conexión, si se implementación del equipo back to back y del consumo. Se debe considerar siempre que los resultados sean comparables.

Las variables de las cuales se realiza el estudio, corresponde a la energía consumida y el tipo de conexión del consumo-red, y sólo se analizará el caso de consumo residencial, eventualmente puede realizarse una planilla de cálculo que permita calcular los resultados para las curvas comercial e industrial.

En el caso del consumo residencial, cabe destacar consumo de energía promedio de una casa es entre $150 - 250[kWh]$ (Fuente:CNE). por lo que se puede considerar que su potencia máxima promedio es menor a $1[kW]$, con un consumo anual de $\sim 2,400[kWh]$, sin embargo, entre los artefactos utilizados se encuentran equipos de alto consumo esporádico como son hervidores, hornos eléctricos, estufas eléctricas, etc.; que es cuando se genera un peak de potencia demandada en el hogar.

<i>Equipo</i>	<i>Potencia [W]</i>
Ampolleta incandescente	60
Ampolleta eficiente	20
Refrigerador clase A	~ 37
Refrigerador clase B	~ 50
Televisor	~ 180
Radio	~ 50
Computador	$\sim 100 - 350$
Hervidor	~ 1800
Horno eléctrico	~ 2000

Tabla 6.1: Equipos eléctricos utilizados habitualmente en un hogar.

Además existen equipos de consumo constante, como son el caso de los refrigeradores o equipos en estado *stand by*, que deben ser considerados.

Si se considera en una casa el uso de televisores, radios, computador, refrigerador y ampolletas, se alcanza un consumo continuo de $\sim 800[W]$, por lo que una *MCH* puede suministrar ampliamente el consumo de hasta 5 hogares. En el caso de equipos de mayor potencia, generalmente su uso es ocasional y en lapsos entre $\sim 5 - 20mins.$, lo que no genera una mayor distorsión en el caso del estudio a nivel mensual o anual.

Para el análisis, se desarrolla un estudio considerando tres posibles potencias:

- Menor a $3,3[kW]$, que corresponde al caso en que la *MCH* puede entregar de forma monofásica sin el dispositivo.
- Entre $3,3[kW]$ y $10[kW]$, que es el caso mayor a la potencia monofásica sin el dispositivo y la potencia máxima del generador.
- Mayor a $10[kW]$ que se considera cuando está conectado a la red y consume de ésta.

En la figura 6.8, se presenta un resumen de los resultados obtenidos en los distintos casos, donde se calcula la diferencia monetaria de la operación de la *MCH* con o sin convertidor a la salida. Se descartan los casos en que la diferencia es negativa, ya que nunca se obtendrá retorno de la inversión.

Con los resultados de las diferencias de ganancias, se realiza un cálculo del *valor actual neto (VAN)*, para obtener de forma precisa los beneficios de instalar un convertidor a lo largo del tiempo, y además se realiza para el mejor caso un ajuste anual por mantención y aumento lineal del precio de la energía. Finalmente se puede asociar el tiempo de retorno de la inversión mediante un nuevo cálculo de VAN asociado al mejor caso, como se observa en la figura 6.9.

El costo de inversión es considerado para un prototipo de convertidor, lo que puede variar fuertemente si se considera que se incluyen los costos de diseños en el valor que se presenta.

Precio kWh (*) \$ 90,14		Eficiencia convertor 0,9									
Caso	Opera	Conexión Carga	Potencia máxima del consumo [kW]	Tipo de Carga	Consumo desde generador [kWh]	Inyectado [kWh]	Inyectado con convertor [kWh]	Con convertor	Sin convertor	Diferencia	Potencia Promedio [kW]
1	Isia	Monofásico	P < 3,4	Res	9.134,99	-	-	\$ 247.026	\$ 274.473	-\$ 27.447	3
2	Isia	Monofásico	3,4 < P < 10	Res	10.352,98	-	-	\$ 1.367.996	\$ 933.208	\$ 434.789	7
3	Isia	Monofásico	P > 10	Res	10.352,98	-	-	\$ 1.734.762	\$ 933.208	\$ 801.554	13
4	Isia	Trifásico	P < 3,4	Res	9.134,99	-	-	\$ 247.026	\$ 274.473	-\$ 27.447	3
5	Isia	Trifásico	3,4 < P < 10	Res	21.314,97	-	-	\$ 1.367.996	\$ 1.921.310	-\$ 553.313	7
6	Isia	Trifásico	P > 10	Res	30.449,95	-	-	\$ 1.734.762	\$ 1.921.310	-\$ 186.548	13
7	red	Monofásico	P < 3,4	Res	9.134,99	1.218,00	15.442,93	\$ 6.515,968	\$ 2.461.588	\$ 4.054.380	3
8	red	Monofásico	3,4 < P < 10	Res	10.352,98	-	16.955,82	\$ 6.515,968	\$ 2.461.588	\$ 4.054.380	7
9	red	Monofásico	P > 10	Res	10.352,98	-	16.955,82	\$ 6.515,968	\$ 2.461.588	\$ 4.054.380	13
10	red	Trifásico	P < 3,4	Res	9.134,99	18.173,81	15.442,93	\$ 7.239,964	\$ 7.239,964	-\$ 723.996	3
11	red	Trifásico	3,4 < P < 10	Res	16.862,80	10.446,00	7.715,12	\$ 6.515,968	\$ 7.239,964	-\$ 723.996	7
12	red	Trifásico	P > 10	Res	21.383,79	5.925,01	3.194,13	\$ 6.515,968	\$ 7.239,964	-\$ 723.996	13

(*) según tarifa de suministro eléctrico para clientes sujetos a regulación de precios, Área 1A (b), tarifa BT1, vigencia 1/9/2012. Chilectra http://www.chilectra.cl/wps/wcm/connect/0a30ad0044100acc9699e65fe3686ef/Tarifas_Suministro_ClientesRegulados_2012_09_01.pdf?MOD=AJPERES&Tipo=DOC

Figura 6.8: Resumen análisis de resultados de ganancia neta.

Inversion -\$ 7.933.000			Con mantención y mayor precio			VAN Asociado	
1	\$ 434.789	\$ 801.554	\$ 2.854.380	\$ 4.054.380	-\$ 5.338.109	-\$ 4.247.200	
2	\$ 434.789	\$ 801.554	\$ 2.894.924	\$ 4.054.380	-\$ 2.945.610	-\$ 896.473	
3	\$ 434.789	\$ 801.554	\$ 2.935.468	\$ 4.054.380	-\$ 740.150	\$ 2.149.643	
4	\$ 434.789	\$ 801.554	\$ 2.976.012	\$ 4.054.380	\$ 1.292.506	\$ 4.918.839	
5	\$ 434.789	\$ 801.554	\$ 3.016.555	\$ 4.054.380	\$ 3.165.550	\$ 7.436.290	
6	\$ 434.789	\$ 801.554	\$ 3.057.099	\$ 4.054.380	\$ 4.891.203	\$ 9.724.882	
7	\$ 434.789	\$ 801.554	\$ 3.097.643	\$ 4.054.380	\$ 6.480.783	\$ 11.805.420	
8	\$ 434.789	\$ 801.554	\$ 3.138.187	\$ 4.054.380	\$ 7.944.770	\$ 13.696.819	
9	\$ 434.789	\$ 801.554	\$ 3.178.731	\$ 4.054.380	\$ 9.292.863	\$ 15.416.272	
10	\$ 434.789	\$ 801.554	\$ 3.219.274	\$ 4.054.380	\$ 10.534.032	\$ 16.979.411	
VAN	-\$ 7.078.502	-\$ 3.007.797	\$ 10.534.032	\$ 16.979.411			

Figura 6.9: Resumen cálculo de VAN en alternativas con flujo positivo.

Los valores que se obtienen son más bien referenciales, con el objetivo de poder observar de manera global los efectos económicos que implica conectar un convertidor al cual pueda variar su conexión de salida entre monofásico y trifásico. Destaca principalmente los casos donde la conexión es monofásico y la energía inyectada a la red es pagada.

Los valores que se reflejan, pueden entregar conclusiones muy contundentes en el aspecto económico, pero desde el punto de vista técnico, instalar un convertidor puede generar beneficios importantes, como en el caso isla, la capacidad de entregar una mayor potencia, de hasta 10[kW] en comparación de los 3,3[kW] que puede entregar un generador trifásico, el cual tiene que utilizar resistencias de desahogo para mantener equilibrada la salida de la máquina eléctrica, y en todos los casos, la vida útil de una máquina aumenta al mantener su salida siempre equilibrada, independiente de las variaciones de carga de se puedan generar en el lado del consumo.

Capítulo 7

Resumen y análisis de resultados

En el capítulo de resumen y análisis de resultados, se exponen en forma conjunta los resultados y datos que se obtuvieron en cada etapa del presente trabajo de título, en lo que corresponde a la construcción de conversor, pruebas realizadas y la evaluación económica.

7.1. Construcción del dispositivo

La etapa de construcción del equipo consiste en la etapa previa antes de comenzar a manipular el equipo, donde es importante:

- Compra de componentes no disponibles en el mercado local.
- Soldar componentes y montar los distintos módulos.
- Compra de componentes en el mercado local.
- Verificación de que los componentes fueron correctamente soldados y montados, según corresponda.

En el diseño del equipo, es necesario determinar de forma clara la potencia y las características que se desean obtener del conversor. Un conversor back to back puede adquirir diversas configuraciones con funciones completamente distintas. En el caso del conversor utilizado en el presente trabajo, no es necesario que posea las 7 piernas, ya que al estar conectado a la salida de un generador, a excepción de un generador eólico, se puede asumir que el flujo de potencia es sólo en una dirección, por lo que la etapa rectificadora puede ser diseñada como un puente rectificador con un chopper sin perder la capacidad de obtener un DC-Link con tensión controlada.

Además, dado que el DC-Link cumple la función de acoplar y sólo sirve de entrada a la etapa inversora, se puede incluir un chopper adicional para obtener tensiones reducidas para servicios complementarios, como carga de baterías, suministro de electricidad para equipos de maniobra que generalmente utilizan corriente continua, entre otros como se muestra en la figura 7.1.

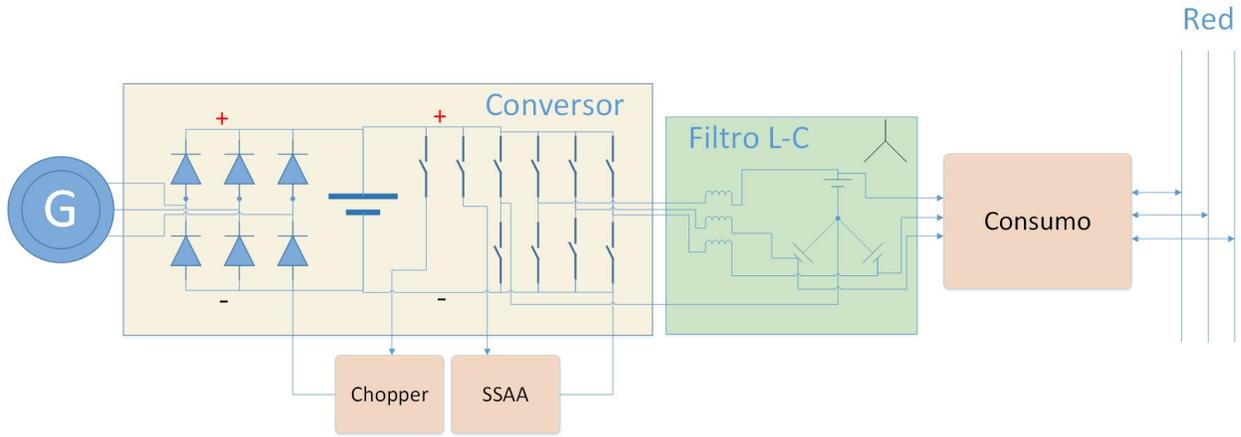


Figura 7.1: Esquema de conversor con rectificador y chopper.

La construcción del dispositivo en forma manual tarda bastante tiempo principalmente la etapa de soldar los componentes y verificar que los circuitos quedan funcionando como se requiere. Este proceso se puede reducir utilizando hornos para soldar PCB.

El convertidor que se utiliza no es capaz de funcionar como un dispositivo íntegro, ya que se requiere que una fuente de voltaje DC, que pueda alimentar los transductores, contactores para sincronización y acoplamiento de fases, por lo que cabe destacar la falta de etapas para desarrollar y contruir un prototipo con características comerciales.

7.2. Pruebas del dispositivo

Las pruebas del dispositivo, con respecto al funcionamiento de sus componentes y circuitos, se determina que el equipo en general es bastante robusto, y que principalmente los factores que pueden generar fallas o incoherencias en su funcionamiento, corresponden a los algoritmos programados en el DSP del sistema. Las fallas de funcionamiento durante las pruebas, fueron resultado de diseños de control resonante no suficientemente estables o mal diseñados, valores de variables sin ajustar, entre otros.

El algoritmo de modulación SVM 3D, el cual permite generar ondas sinusoidales con un filtro LC, tiene la ventaja de ser muy estable el algoritmo y que las salidas son independientes entre si, otorgando flexibilidad en la modulación desde tensiones y frecuencias para cada fase, hasta generar salidas continuas positivas o negativas, además de otras formas de ondas.

El control resonante debe diseñarse para cada fase, en el caso de un sistema donde

la salida es trifásica de igual tensión y frecuencia en sus fases, el controlador diseñado es el mismo, además, la entrada del algoritmo SVM 3D son los 3 voltajes fase-neutro. En el diseño se debe fijar la frecuencia de resonancia del controlador, que para el caso de una red eléctrica corresponde a $50Hz$, lo cual en caso de que se quiera desarrollar un variador de frecuencia, es imposible utilizar ésta estrategia de control, ya que habría que diseñar un controlador para cada frecuencia. El control resonante se puede diseñar con múltiples polos de resonancia lo permite reducir los armónicos en la salida, pero tiene la desventaja de que las matrices de estado aumentan sus dimensiones, obligando al DSP utilizar un mayor tiempo de procesamiento, debiéndose disminuir el tiempo de muestreo que es el mismo que el de conmutación.

El controlador diseñado debe ser probado en condiciones límites, ya que si es rápido, frente a los cambios de referencia o en el caso real cambios de carga, el error aumenta demasiado provocando que el controlador se vuelva inestable, aumentando la corriente que circula por la fase, por lo que operan las protecciones del sistema. Los tiempos que tarda la salida del inversor en seguir la referencia, depende solamente del error o diferencia entre el voltaje de referencia y el medido por los transductores, donde tarda 2 ciclos ($40ms$) al cambiar la referencia en $2[V]$, que es lo más habitual en una red eléctrica. En el caso de que el error es de $14[V]$ es de 3 ciclos ($60ms$).

El error que presenta la salida, con respecto a la referencia, es de aproximadamente entre $0,5[V]$ y $1[V]$, lo cual es aceptable, si se considera que el error en r.m.s. debe ser menor a un $\pm 5\%$ del voltaje fundamental.

Para el caso donde el sistema está operando en lazo cerrado y pasa a un estado de donde se igualan las fases a y c, se genera un desfase de 120° en la fase c o un error de aproximadamente $34[V]$. Para la prueba experimental se realiza con un voltaje *peak to peak* de $40[V]$ y el desfase de 120° en la referencia se realiza en forma instantánea, la fase c sufre una sobretensión de $10[V]$ y tarda 6 ciclos ($120ms$) en seguir la nueva referencia. Estos valores son demasiados amplios si se considera que la operación nominal del sistema es de $220[V_rms]$, ya que error sería de hasta $270[V]$ dependiendo del momento del ciclo en que se encuentren, forzando al controlador a generar sobretensiones muy elevadas que probablemente vuelvan inestable el sistema. Una solución al problema es extender en el tiempo el desfase hasta alcanzar la referencia de la fase a, generando una variación de la frecuencia aceptable, en el caso que esté operando con carga, hasta que sea igual a la fase a.

Al igualar fases, se genera un problema con respecto a las potencias instantáneas de las fases, ya que el *peak* potencia de ambas fases ocurre en el mismo instante y no desfasados en 120° , lo que genera una distorsión si la potencia en el DC Link no es suficiente para suministrar a ambas fases.

EL THD presente en la salida del inversor operando con carga corresponde a un $3,5\%$ para voltaje y corriente, valores que están por debajo del límite superior de la normativa vigente que para voltaje se fija en $THD < 8\%$. En el caso donde se mide el THD cuando son igualadas las fases a y c, con carga conectada, el THD para el voltaje es de $4,1\%$ menor al 8% de la norma. La tercera armónica es una de las componentes armónicas de importancia,

su valor para ambos casos es de 0,7 %, muy por debajo del 5 % que exige la norma técnica de seguridad y calidad de suministro. El control resonante, como se menciona anteriormente, se puede diseñar con múltiples polos de resonancia o multivariable, lo que posibilita disminuir más el THD o componentes armónicas específicas, con polos de resonancia en el controlador con frecuencia de la componente armónica.

7.3. Evaluación económica

La evaluación económica permite observar en forma clara cuales son los casos en que el convertidor tiene ventajas económicas, que corresponden principalmente a los casos monofásicos conectados a la red, que son los únicos casos donde el VAN calculado a 10 años son positivos y la recuperación de la inversión es de 3 años aproximadamente.

Económicamente el dispositivo no presenta ninguna ventaja si se tiene una conexión trifásica y conectada a la red, sino que solamente se tiene el costo de inversión. En el resto de los casos, el costo del dispositivo genera un VAN negativo al transcurrir 10 años.

Como evaluación económica el dispositivo no presenta un gran atractivo, pero desde el punto de vista técnico, genera facilidades y permite tener consumos de mayor potencia cuando se utiliza monofásico, además de asegurar las condiciones de operación e inyección de armónicas para cumplir la normativa vigente.

Capítulo 8

Conclusiones

En el presente trabajo se propone la construcción, pruebas y análisis económico de un equipo que pueda ser utilizado como interfaz entre generadores y consumo-red, que cumpla con las normativas vigentes y que tanto técnico como económicamente presente una ventaja. Siendo el equipo un prototipo, se proponen mejoras a ser evaluadas y/o implementadas buscando obtener un equipo más robusto y adecuado, reducir los costos y entregar una referencia para próximos trabajos relacionados con el tema.

8.1. Conclusiones

El equipo construido corresponde a un convertor Back-to-Back de 7 piernas, donde se utilizan 3 piernas como rectificador controlado y 4 piernas como inversor. El generador se emula mediante la red y un autotransformador trifásico con tensión variable.

El convertor back to back es construido según un diseño pre-existente del profesor Roberto Cárdenas, donde es necesario contar con equipos especializados y adquirir habilidades que permitan que el convertor no presente problemas en el momento de operación.

Se contruyó el convertor back to back según un diseño pre-existente del profesor Roberto Cárdenas.

Los algoritmos que se utilizaron en el convertor son:

- SVM 3D, que corresponde a un algoritmo de modulación para inversores de 4 piernas, a la salida del convertor.
- Control resonante, como algoritmo de control de la salida del convertor.

Además se puede concluir que el algoritmo de modulación SVM 3D, funciona correctamente y que es el algoritmo recomendado para la mayoría de las aplicaciones donde se implemente un inversor, dada las características que posee de modular de forma independiente las tensiones y frecuencias de las fases, además de las ventajas técnicas de generar un bajas pérdidas por conmutación e inyección de armónicos en la red, con un THD menor a un 4%. El algoritmo funciona de manera correcta independiente del tipo de control que se utilice, lo importante es entregar el vector $V_{ref\alpha\beta\gamma}$ que corresponda según lo esperado.

Existen varios tipos de control para tensiones alternas, se desarrolla el control resonante con frecuencia de resonancia a $50[Hz]$ funcionando correctamente para diversas condiciones de operación o cambios de modo de trabajo.

Se desarrolla el proceso de igualar las fases obteniendo resultados satisfactorios, pero no se realiza la acoplación de ambas fases por medidas de seguridad.

No se desarrolla la rectificación controlada, principalmente por falta de tiempo. Para el caso de la MCH, no es indispensable implementar la rectificación controlada, por las razones de que el flujo de potencia es en un solo sentido y la tensión de entrada se puede controlar con el controlador de la MCH, es decir, la corriente de campo del generador síncrono.

Los parámetros del convertidor, deben obtener valores dentro de la normativa vigente, inclusive mediante los valores obtenidos.

Se realiza un análisis económico, se estudian las curvas de cargas de los sectores residencial, comercial e industrial, con el fin de obtener un comportamiento aproximado de los consumos. Con la entrada en vigencia de la ley de Net-metering, se incluye un nuevo ingreso que corresponde a la venta de energía excedente y que genera un cambio sustancial en el retorno de las inversiones que se realizan en el contexto de los pequeños medios de generación distribuidas menores a $100[kW]$, ya que en general los consumos significativos están presentes durante unas cuantas horas al día.

En el estudio se considera que el equipo es una interfaz, por lo que se considera como ingreso la diferencia del ingreso entre si el equipo es implementado o no.

Los resultados muestran que los mejores casos siempre son cuando están conectados a la red, lo cual demuestra que la ley de Net-metering es un buen incentivo a éste tipo de tecnologías.

La ventaja principal de implementar un convertidor es el caso de que la red a la cual se conecta el generador sea monofásica, ya que se pueden tener consumos mayores si opera en isla o inyectar toda la energía excedente del generador si está conectado en red, aumentando los ingresos sustancialmente. El retorno de lo que se invierte en el equipo, en el mejor de los casos corresponde a aproximadamente 3 años, sin embargo en los casos de conexión trifásica conectada a la red, el convertidor pasa a ser solamente un gasto energético, considerando que el generador posee sistema de protecciones adecuadas.

Según lo observado en los distintos casos y las potencialidades que presenta la actual electrónica de potencia, es inmediato pensar que el convertor, en vez de ser una interface entre la salida generador y el consumo-red, sea una parte integral del generador reemplazando el sistema de control actual. Para el caso de la MCH desarrollada por el CE-FCFM existen diversos módulos que, al utilizar electrónica de potencia, serían más estables como:

- Mantener equilibrada la salida del generador es natural del convertor y se reemplazarían las resistencias de desahogo por una única resistencia de desahogo monofásica en el DC-Link, disminuyendo la inyección de armónicos o variación dispereja e inexacta por temperatura o desgaste de las resistencias de desahogo conectadas en estrella.
- Suministro de energía al sistema de baterías y corriente de campo, donde se puede implementar un chopper conectado al DC-Link y permite ahorrarse el uso de un puente rectificador, transformadores y triacs con su respectiva electrónica e inyección de armónicas por corte de la senoide.

8.2. Trabajo a futuro

En el presente trabajo de título se trabaja en un prototipo de convertor eléctrico el cual posee una topología que permite que el dispositivo pueda ser utilizado para cumplir diversas funciones, tales como inversor, rectificador, generador de reactivos, filtro activo, entre otros.

Dada las posibilidades que se pueden obtener con este tipo de dispositivo y la disminución de los costos de los componentes de electrónica de potencia, se puede generar un diseño genérico que permita desarrollar dispositivos partiendo desde la base de topologías diseñadas. Para esto se propone realizar una batería de diseños con las topologías estándar que corresponden de 1 y 2 piernas para convertidores monofásicos y topologías de 3 a 7 piernas para convertidores trifásicos, inclusive, según los requerimientos, pueden ser adaptadas para configuraciones menos comunes.

Considerando que se trata de un prototipo con fines comerciales, se propone iterar el proceso de desarrollo del equipo para obtener un mejor rendimiento a menores costos, mediante un mejor dimensionamiento de las capacidades de los componentes, reducción del espacio utilizado, reducir los componentes que aunque permiten una mayor flexibilidad en los usos del equipo, éste cumple funciones específicas.

Se propone como mejora del convertor, considerando el uso específico como interfaz de generadores síncronos que puedan operar en isla o conectado a la red, integrar el dispositivo directamente a los generadores, considerando una topología de 6 piernas y un rectificador trifásico. El flujo de potencia es solo en una dirección, por lo que no es necesario utilizar piernas para rectificar, pudiendose utilizar un rectificador trifásico estandar, utilizar una pierna para controlar la tensión DC funcionando como chopper para alimentar las salidas del convertor que se componen de 4 piernas, 3 fases y 1 neutro, finalmente utilizar una pierna

también funcionando como chopper para alimentar y controlar la tensión DC de la corriente de magnetización del generador síncrono.

El módulo de inteligencia del dispositivo se conforma principalmente por un DSP el cual puede ser reemplazado fácilmente por un DSC, que cumple funciones más específicas para las características del dispositivo, además de poseer una mayor cantidad de PWM y GPIO por su condición de controlador, permitiendo tener una mayor cantidad de variables manipuladas o *switchs* operando automáticamente.

Bibliografía

- [1] Msc. Ph.D. CÁRDENAS DOBSON, Roberto. Apuntes: “Control Vectorial de Máquinas Jaula Ardilla”. Departamento de Ingeniería Eléctrica, Universidad de Chile, *Septiembre de 2011*.
- [2] Msc. Ph.D. CÁRDENAS DOBSON, Roberto. Apuntes: “Modulación PWM”. Departamento de Ingeniería Eléctrica, Universidad de Chile, *Octubre de 2011*.
- [3] CARLOS JURI MASSARO. Memoria “Estudio e implementación de estrategias de control para cargas desbalanceadas utilizando convertidores matriciales de cuatro piernas (Four-leg matrix converters)”. Departamento de Ingeniería Eléctrica, Universidad de Chile, *Noviembre de 2010*.
- [4] MATIAS DIAZ. Memoria “Diseño, simulación e implementación de un prototipo de sistema de conversión de energía eólica para estudios de comportamiento ante fallas en la red eléctrica”. Departamento de Ingeniería Eléctrica, Universidad de Santiago de Chile, *2011*.
- [5] BRAVO, Juan. Apuntes: “Gestión de la distribución de la energía eléctrica”. Departamento de Ingeniería Eléctrica, Universidad de Chile, *2010*.
- [6] MIQUEL D., Pedro. Apuntes: “Planificación de sistemas eléctricos de potencia; Capítulo 2: Proyección de demanda y precios de combustibles”. Departamenteo de Ingeniería Eléctrica, Universidad de Chile, *Otoño 2011*.
- [7] Biblioteca de congreso nacional de Chile. “Ley 20.571: Regula el pago de las tarifas eléctricas de las generadoras residenciales”. [en línea] <http://bcn.cl/7heq>, [Consulta: *Mayo 2012*.]
- [8] Richard Zhang; V. Himamshu Prasad; Dushan Boroyevich; Fred C. Lee, “Three-Dimensional Space Vector Modulation for Four-Leg Voltage-Source Converters”, *Mayo de 2002*.
- [9] Gobierno de Chile; Ministerio de Economía y Energía, “Decreto Supremo N°244; Aprueba reglamento para medios de generación no convencionales y pequeños medios de generación establecidos en la ley general de servicios eléctricos”. *Septiembre de 2005*.
- [10] Gobierno de Chile; Comisión Nacional de Energía. “Norma técnica de conexión y operación de PMGD en instalaciones de media tensión”, *Marzo de 2007*.

- [11] COMISIÓN NACIONAL DE ENERGÍA, CHILE. [en línea] www.cne.cl, [consulta:marzo de 2012].
- [12] LEM, Current Transducer LA25-P Datasheet. [en línea] <http://www.lem.com/docs/products/la%2025-p%20e.pdf> [consulta:marzo 2012].
- [13] LEM, Voltage Transducer LV20-P Datasheet. [en línea] <http://www.lem.com/docs/products/lv%2025-p.pdf> [consulta:marzo 2012].
- [14] REVISTA ELECTRICIDAD, CHILE. “Compendio energético de Chile 2011”, [2011.]

Apéndice A

Registro de memoria, tarjeta FPGA

DPR0 0xA0000000;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	PPD															
Write	PPD															

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	PRS	PEN		TPI	ADM	ZFR			PWR	0	RTR	MEN	SMD	SMC	PWM	PWT
Write	PRS	PEN		TPI	ADM	ZFR			PWR	AST			SMD	SMC	PWM	PWT

PPD PWM_PERIOD 0xFFFF – (desired time - 1 clock cycle)
 PRS PWM_RESET Active High
 PEN PWM_ENABLE Active High
 PFL PWM_FIFO_LEVEL
 PWR Power on reset Active low - temporary
 CIP Current Direction Input Polarity: 0 = Active Low, 1 = Active High
 ZFR Encoder zero pulse polarity; 0 = reset on rising edge, 1 – reset on falling edge
 ADM A2D multiplex 0 = software driven 1=pwm interrupt driven.
 AST A2D Converter Start Active High
 PWT Señal de trip PWM, si se coloca a cero inhabilita los PWMs (todos quedan en cero si la señal PWI está en cero). Además la señal se envía, a través del terminal D del 26c31, a la interfaz del 584.
 PWI En cero PWM normal. En uno invierten todas las salidas de los PWMs A,B,C.
 TPI Trip invert, en uno se envía un uno como señal de Trip a la interfaz 584S. En cero se envía un cero como señal de Trip.
 RTR Reset trip button state Active low
 MEN Enable button state

DPR1 0xA000100;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Read	ABY														C	B	A
Write	PVE																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	UI7	UI6	UI5	UI4	UI3	UI2	UI1	UI0	CIND	CINC	CINB	CINA	PFU	PEM	PAE	PAF
Write	PVT															

PVE PWM_VECTOR
 PVT PWM_VECTOR_TIME
 PAF PWM_FIFO_Almost Full No. of words in FIFO > 250, Active High
 PAE PWM_FIFO_Almost Empty No. of words in FIFO < 2, Active High
 PEM PWM_FIFO_EMPTY Active High
 PFU PWM_FIFO_FULL Active High
 CINA Current Direction Input, PhaseA Active High
 CINB Current Direction Input, PhaseB Active High
 CINC Current Direction Input, PhaseC Active High
 CIND Current Direction Input, PhaseD Active High
 ABY A2D converters Busy 1 = Busy
 UI1-7 User input 1 to 7
 A Señal de PWM enviada a la pierna A. 1, cierra el transistor de arriba, cero el otro.
 B Señal de PWM enviada a la pierna B. 1, cierra el transistor de arriba, cero el otro.
 C Señal de PWM enviada a la pierna C. 1, cierra el transistor de arriba, cero el otro.

DPR2 0xA000200;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read			T3										T2			
Write			T3										T2			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read							T1									
Write							T1									

T1 First delay timer register for 4-step current commutation
 T2 Second delay timer register for 4-step current commutation
 T3 Third delay timer register for 4-step current commutation

DPR3 0xA000300;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD0															
Write																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD1															
Write																

DPR4 0xA000400;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD3															
Write																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD2															
Write																

AD2 A2D Data, Channel 2
 AD3 A2D Data, Channel 3

DPR5 0xA000500;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD5															
Write																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD4															
Write																

AD4 A2D Data, Channel 4
 AD5 A2D Data, Channel 5

DPR9 0xA000900;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	UO3	UO2	UO1	UO0											WEN	0
Write	UO3	UO2	UO1	UO0											WEN	WSR

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	W_PERIOD															
Write	W_PERIOD															

W_PERIOD Watchdog Period Register Period = 0xFFFF – W_PERIOD
 WSR Watchdog Service Active High
 WEN Watchdog Enable Active High
 User Input 1 Active High

DPR10 0xA000A00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read													Address			
Write													A2	A1	A0	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read		Command					Wiper Select		Wiper Data							
Write		TX	NV	V			R1	R0	D7	D6	D5	D4	D3	D2	D1	D0

I²C interface for MAX5477/8/9 Digital Potentiometers

DPR11 0xA000B00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	DTD								UTD							
Write	DTD								UTD							

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	CTT															
Write	CTT															

CTT Clamp trip time sets counter trip level based on counter divisors below
 UTD Up time divider Sets Up counter period = FPGA clock period / UTD+1
 DTD Down time divider Sets down counter period = FPGA clock period / DTD+1

DPR12 0xA000C00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	TE23	TE22	TE21	TE20	TE19	TE18	TE17	TE16	TE15	TE14	TE13	TE12	TE11	TE10	TE9	TE8
Write	TE23	TE22	TE21	TE20	TE19	TE18	TE17	TE16	TE15	TE14	TE13	TE12	TE11	TE10	TE9	TE8

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	TE7	TE6	TE5	TE4	TE3	TE2	TE1	TE0								
Write	TE7	TE6	TE5	TE4	TE3	TE2	TE1	TE0								

TE = trip enable, number = hardware trip channel, 0 = enable, 1 = disabled

DPR13 0xA000D00
DPR14 0xA000E00
DPR15 0xA000F00
DPR16 0xA0001000
DPR17 0xA0001100
DPR18 0xA0001200
DPR19 0xA0001300

DPR20 0xA0001400;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read																
Write	LC3								LC2							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read																
Write	LC1								LC0							

LC0 LED Character 0
 LC1 LED Character 1
 LC2 LED Character 2
 LC3 LED Character 3

DPR21 0xA0001500;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read																
Write																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read													LRS	AUD		
Write													LRS	AUD		

AUD LED Auxiliary data for programming bit pattern
 LRS LED RS pin state

```

/*****/
/*          Four Leg Converter          */
/*          Program to test the four-leg */
/*          Using Space Vector Modulation */
/*          Roberto Cardenas Dobson November 2008 */
/*          Enrique Espina González 2012 */
/*          Jorge Dharmawidjaja Muñoz 2012 */
/*          Controller board version 10.4 */
/*****/

#include <stdio.h>
#include <c6x.h>
#include "c6x11dsk.h"
#include "FPGA.h"
#include "params.h"
#include "interface.h"
#include "fastrts67x.h"

/*****/
/*          Register definition for the board v10.4          */
/*****/

unsigned int *led_port = (unsigned int *) 0x90080000;
unsigned int *dpr0 = (unsigned int *) 0xA0000000; /* 1st external memory address */
//unsigned int *dpr0n = (unsigned int *) 0xA0008000; /* 1st external memory address */
unsigned int *dpr1 = (unsigned int *) 0xA0000100; /* 2nd external memory address */
unsigned int *dpr2 = (unsigned int *) 0xA0000200; /* 2nd external memory address */
unsigned int *dpr3 = (unsigned int *) 0xA0000300; /* 2nd external memory address */
unsigned int *dpr4 = (unsigned int *) 0xA0000400; /* 2nd external memory address */
unsigned int *dpr5 = (unsigned int *) 0xA0000500; /* 2nd external memory address */
unsigned int *dpr6 = (unsigned int *) 0xA0000600; /* 2nd external memory address */
unsigned int *dpr7 = (unsigned int *) 0xA0000700; /* 2nd external memory address */
unsigned int *dpr8 = (unsigned int *) 0xA0000800; /* 2nd external memory address */
//unsigned int *dpr8n = (unsigned int *) 0xA0008800; /* 2nd external memory address */
unsigned int *dpr9 = (unsigned int *) 0xA0000900; /* 2nd external memory address */
unsigned int *dpr10 = (unsigned int *) 0xA0000A00; /* 2nd external memory address */
unsigned int *dpr11 = (unsigned int *) 0xA0000B00; /* 2nd external memory address */
unsigned int *dpr12 = (unsigned int *) 0xA0000C00; /* 2nd external memory address */
//unsigned int *dpr12n = (unsigned int *) 0xA0008C00; /* 2nd external memory address */
unsigned int *dpr13 = (unsigned int *) 0xA0000D00; /* 2nd external memory address */
unsigned int *dpr14 = (unsigned int *) 0xA0000E00; /* 2nd external memory address */
unsigned int *dpr15 = (unsigned int *) 0xA0000F00; /* 2nd external memory address */

/*****/
/*          funciones          */
/*****/

void timer0_init(void); /*1 Done
void timer1_init(void); /*2 Done
void init_McBSP0(void); /*3 Done
void pll_set(void); /*4 Done
void set_pwm_period(unsigned int period); /* Period value in uS. Done
void init_FPGA(void); /*Done
void init_ADC(void); /* Done
void set_current_protection(void); //done
void reset_FPGA_mem(void); //5 Done
void p_reset(void); //6 Done
void pwm_reset(void); //7 Done

```

```

void read_ADC(void);
void inicializacion(void);
void recibecontrolador(void);

void dac(unsigned int canal, short dato);

/*****
/*          Variables          */
*****/

float iao,ibo,ico,ino,vab,vbc,vaL=0,vbL=0,vcL=0;
float offset0,offset1,offset2,offset3,offset4,offset5,offset6,offset7,offset8,offset9;

unsigned int adc0,adc1,adc2,adc3,adc4,adc5,adc6,adc7,adc8,adc9,llegue=0;
unsigned int save=0,buffer_full=0,xx=0,yy=0,reg0=0,reg1=0,reg8=0,reg12=0,reg14=0,reg8n;
unsigned int qq=0,kk=0,ll=0,mm=0,nn=0,EEE=0;

//Variables del programa Vectorial de
//
float Vai,Vbi,Vci;          // Tensiones de entrada al matrix
float Varef,Vbref,Vcref;   // Tensiones de salida del matrix
float Tseq;                // Tiempo de muestreo
float Edc,Vclamp;

//Variables transformada alfa-beta-gamma

float VoAlpha=0 , VoBeta=0, VoGamma=0;
float IoAlpha=0 , IoBeta=0, IoGamma=0;

float wi=314.159265358979,wo= 314.159265358979,Th_Wo=0,Th_Wo2=0;
float Th_o,Th_i=0;
float V_unit[14][3];
unsigned int V_tetra[24][3];
float V_abg[24][9];
float V_abgaux;
float ABC_abg[3][3];

unsigned int tetra_vector[24][3];
unsigned int vector_FPGA[16];
unsigned int espacio[24][9];
unsigned int Tetra_aux=0,V1_aux=0,V2_aux=0,V3_aux=0;
int i_aux=0,j_aux=0;
float kkk=0.45;

unsigned int vector_fpga[46];
unsigned int sectores[6][9];
unsigned int vector3D[24][9];
unsigned int ii=0,jj=0      ; // Variables utilizada para esperar que se carguen los valores
enviados desde el PC
unsigned int prisma=0,Ki=0;
unsigned int Tetra=0,Tin=0;
unsigned int V1,V2,V3,ll;
float envia=0;
unsigned int Ienvia=0;

```

```

unsigned int Ncount=0, Nmuestras=2;
//
float VectorA_alpha,VectorA_beta,VectorA_gama;
float VectorB_alpha,VectorB_beta,VectorB_gama;
float VectorC_alpha,VectorC_beta,VectorC_gama;
float normal_alpha,normal_beta,normal_gama;
float dot_num_a,demand_alpha,demand_beta,demand_gama;
float dot_den_a,sigma_a,ddl,dd2;
float dot_num_b,dot_den_b,sigma_b,dd3,dd4;
float dot_num_c,dot_den_c,sigma_c,dd5,dd6;
float ddIIf,ddIIIf,ddIIIIf,dgIIf,dgIIIf,dgIIIIf,d0f;
float errordIIf,errordIIIf,errordIIIIf,errorgIIf,errorgIIIf,errorgIIIIf;
unsigned int ddI,ddII,ddIII,dgI,dgII,dgIII,d0,d04,d204;
unsigned int T1,T2,T3,T4,T5,T6,T7,T8,T9;
unsigned int VECTOR[18],num_vector=0,V_0,V_1,V_2,V_3,V_4;

/*****
/*                VARIABLES CONTROL RESONANTE                */
*****/

//Variables iniciales para el control
float error_A=0,error_B=0,error_C=0;
float Xk1a[6],Xka[6]; // para implementar el controlador en variable de estado
float Xk1b[6],Xkb[6];
float Xk1c[6],Xkc[6];
float As[18],Bs[4],Cs[6],Ds; //Constantes de A[x]+B[u] y C[x]+D[u]

float As0,As1,As2,As3,As4,As5,As6,As7,As8,As9;
float Bs0,Bs1;
float Cs0,Cs1,Cs2,Cs3;
//

//Variables para ecuacion
float InKa=0, InK1a=0, InK2a=0, OutK1a=0, OutK2a=0;
float InKb=0, InK1b=0, InK2b=0, OutK1b=0, OutK2b=0;
float InKc=0, InK1c=0, InK2c=0, OutK1c=0, OutK2c=0;

//float Var,Vbr,Vcr,Vmax,Vref_a=25,Vref_b=25,Vref_c=25,Vref=20; // Valores a modular
float Var,Vbr,Vcr,Vmax,Vref_a,Vref_b,Vref_c,Vref; // Valores a modular
int control_A=0,control_B=0,control_C=0,reset=0;

float Xa,Xb,Xc;
float Xa0,Xb0,Xc0,Ax,Bx,Cx,Dx;

//variables para matrices
float Vclamp1[5000];
float vaL1[5000];
float vbL1[5000];
float vcL1[5000];
float Th_Wo1[5000];
float Var1[5000];
float Vbr1[5000];
float Vcr1[5000];
float iaol[5000];
float ibol[5000];
float icol[5000];

```

```

float Varef1[5000];
float Vbref1[5000];
float Vcref1[5000];

float VoAlpha1[5000];
float VoBeta1[5000];
float VoGamma1[5000];

float error_A1[5000];
float error_B1[5000];
float error_C1[5000];

float IoAlpha1[5000];
float IoBeta1[5000];
float IoGamma1[5000];

float Var1[5000];
float Vbr1[5000];
float Vcr1[5000];

float As0,As1,As2,As3,As4,As5,As6,As7,As8,As9;
float As10,As11,As12,As13,As14,As15,As16,As17;
float Bs0,Bs1;
float Cs0,Cs1,Cs2,Cs3,Cs4,Cs5;

/*****Variables para la modulacion de fases*/

//variables de activacion
unsigned int VrefAB=0;
unsigned int VrefAC=0;

/*****/
// DAC
unsigned int temp=0,dato=0,output_reg=0,canal=0, controlRele=0;
unsigned int Tmin=30;

// *****
// * ##### *
// * # # *
// * # Inicio del MAIN # *
// * # ----- # *
// * # # *
// * ##### *
// *****

void main()
{
*((volatile unsigned int *)0x90080004) = *((volatile unsigned int *)0x90080004) | 0x030000;

// *led_port |= 0x00000008; comentado
DSK6713_init();
*dpr12=0xFFFFFFFF;
Edc=0;

```

```

errorIf=0;
errorIIIf=0;
errorIIIIf=0;
errorgIf=0;
errorgIIIf=0;
errorgIIIIf=0;
ii=0;
kk=0;
ll=0;
/***** Habilita al McBSP0 para salir por el conector de Periféricos *****/

*led_port |= 0x00000001;

Tseq=0.000100;//(float)(1/SWITCH_FREQ);
CSR = 0x100;      //global disable maskable interrupts
IER = 2;         //disable all interrupts except NMI
*(unsigned volatile int *)EMIF_GCR = 0x3320; /* EMIF global control */
*(unsigned volatile int *)EMIF_CE0 = 0x30; /* EMIF CE0control */
*(unsigned volatile int *)EMIF_CE1 = 0x02208802; /* EMIF CE1 control, 8bit async */
*(unsigned volatile int *)EMIF_CE2 = 0x30D3C321; /* FPGA memory space */
*(unsigned volatile int *)EMIF_SDCTRL = 0x57116000; /* EMIF SDRAM control ZZ */
*(unsigned volatile int *)EMIF_SDRP = 0x61a; /* EMIF SDRM refresh period */

reset_FPGA_mem();

timer0_init();

timer1_init();

init_FPGA();

p_reset();

set_pwm_period(100);

pwm_reset();

init_ADC();

read_ADC();

inicializacion();

init_McBSP0(); // Inicializa configuracion puerto serie

while (*dpr0&0x00000010)

*dpr0|=0x00000001; // enable state machines

*dpr1=0x00000000;
*dpr1=0x00000000;
*dpr14=0x00000000;
*dpr14=0x00000000;

```

```
*dpr0|=0x00004000; // enable PWM
ICR=0xFFFF; //clear all pending interrupts
IER|=0x0010; //Enable ext int 4
CSR|=0x1; //global interrupt enable
*dpr0|=0x00000800; // Enable interrupt driven conversion.
```

```
ii=0;
save=0;
*dpr0|=0x00000001;
//*dpr12=0xFFFF887FF;
*dpr12=0xFFFFFFFF;
```

```
while (1)
{

}
```

```
}
```

```
// *****
// * ##### *
// * # # *
// * # Comienzo de Rutina de Interrupciones # *
// * # ----- # *
// * # # *
// * ##### *
// *****
```

```
interrupt void pwm_isr()
```

```
{
```

```
if (*dpr0&0x00000010)
{
    *dpr0 &= 0xFFFFFFFF0;
}
else
{
    *dpr0 |= 0x00000001;
}
while (*dpr1 & 0x80000000);
```

```
// *****
// * ##### *
// * # # *
// * # ACTIVACION RELAY # *
// * # ----- # *
// * # # *
// * ##### *
// *****
```

```

canal=1;
if(controlRele==0) dato=0;// Activar para producir falla
else
{
    dato=4090;
}

output_reg = *(unsigned volatile int *)McBSP0_SPCR & 0x00020000; //Mascara para ver si el
buffer de salida esta vacio

if (output_reg!=0)
{
    temp = (canal << 14) | (0x2 << 12) | (0x0FFF & dato);
    *(unsigned volatile int *)McBSP0_DXR = temp; //Escribe el nuevo dato al DAC
}

read_ADC();

VoAlpha=0.6666666666666666666666666666667*vaL-0.33333333333333333333333333333333*vbL-
0.33333333333333333333333333333333*vcL;
//Vbe=0.866*vbL-0.866*vcL;
VoBeta=0.577350269189626*vbL-0.577350269189626*vcL;
VoGamma=0.33333333333333333333333333333333*vaL+0.33333333333333333333333333333333*vbL+
0.33333333333333333333333333333333*vcL;

IoAlpha=0.6666666666666666666666666666667*iao-0.33333333333333333333333333333333*ibo-
0.33333333333333333333333333333333*ico;
//Vbe=0.866*vbL-0.866*vcL;
IoBeta=0.577350269189626*ibo-0.577350269189626*ico;
IoGamma=0.33333333333333333333333333333333*iao+0.33333333333333333333333333333333*ibo+
0.33333333333333333333333333333333*ico;

Edc=Vclamp*0.05+0.95*Edc;
if (Edc<10) Edc=10;
// Edc=150;
// Vmax=1.2*Edc;
// Vmax=1.2*Vclamp;
Vmax=Edc;

// if (kkk==0)
// {
//     Vref_a=kkk*40;
//     Vref_b=kkk*40;
//     Vref_c=kkk*40;
//     Vref=Vref_a;
//     kkk=1;
// }

// Ahora la salida
Th_Wo=Th_Wo+wo*Tseq;

if (Th_Wo>TWOPI)    Th_Wo=Th_Wo-TWOPI;
if (Th_Wo<0)       Th_Wo=Th_Wo+TWOPI;
// *****
// * ##### *
// * # *

```

```

// * # CONTROL RESONANTE # *
// * # ----- # *
// * # # *
// * ##### *
// *****
Var=Vref_a*sinsp(Th_Wo);
Vbr=Vref_b*sinsp(Th_Wo+2.09439510239320);
Vcr=Vref_c*sinsp(Th_Wo+4.18879020478639);
if(VrefAC){Vcr=Var;}
// Señales de salida que deberian ser generadas desde los controladores
/* if (control_A)
{
    Var=Vref_a*sinsp(Th_Wo);
}
else
{
    Varef=Vref_a*sinsp(Th_Wo);
}

if (control_B)
{
    Vbr=Vref_b*sinsp(Th_Wo+2.09439510239320);
}
else
{
    if(VrefAB){Vbref=Varef;}
    else {Vbref=Vref_b*sinsp(Th_Wo+2.09439510239320);}
}

if (control_C)
{
    Vcr=Vref_c*sinsp(Th_Wo+4.18879020478639);
}
else
{
    if(VrefAC){Vcref=Varef;}
    else {Vcref=Vref_c*sinsp(Th_Wo+4.18879020478639);}
}
*/

if (reset)
{
    kk=0;
    reset=0;
    while (kk<=3)
    {
        Xka[kk]=0;
        Xkb[kk]=0;
        Xkc[kk]=0;
        kk++;
    }
}

//

```

```

// Control resonante fase A
// #####

if (control_A)
{
    error_A=(Var-vaL);
/* */

    Xk1a[0]=As[0]*Xka[0]+As[1]*Xka[1];
    Xk1a[1]=As[2]*Xka[0]+As[3]*Xka[1]+As[4]*Xka[2]+As[5]*Xka[3]+Bs[0]*error_A;
    Xk1a[2]=As[6]*Xka[2]+As[7]*Xka[3];
    Xk1a[3]=As[8]*Xka[2]+As[9]*Xka[3]+Bs[1]*error_A;
    Varef=Cs[0]*Xka[0]+Cs[1]*Xka[1]+Cs[2]*Xka[2]+Cs[3]*Xka[3]+Ds*error_A;

// funcion de transf O/I = (z^2 - 1.972*z + 0.9722) / (z^3 - 2*z^2 + z)
    InKa=vaL;
//    Varef = InKa-InK1a*1.972+InK2a*0.9861+OutK1a*2-OutK2a;

//    Varef = 0.433*InKa-InK1a*0.972+InK2a*0.4861+OutK1a*2-OutK2a;

    InK2a=InK1a;
    InK1a=InKa;
    OutK2a=OutK1a;
    OutK1a=Varef;

    if (Varef>Vmax)
    {
        Varef=Vmax;
    }
    else if (Varef<=-Vmax)
    {
        Varef=-Vmax;
    }

    ll=0;
    while (ll<=5)
    {
        Xka[ll]=Xk1a[ll];
        ll++;
    }
}
else {Varef=Vref_a*sinsp(Th_Wo);}

//
// Control resonante fase B
// #####

if (control_B)
{
    error_B=1*(Vbr-vbL);

    Xk1b[0]=As[0]*Xkb[0]+As[1]*Xkb[1];
    Xk1b[1]=As[2]*Xkb[0]+As[3]*Xkb[1]+As[4]*Xkb[2]+As[5]*Xkb[3]+Bs[0]*error_B;

```

```

Xk1b[2]=As[6]*Xkb[2]+As[7]*Xkb[3];
Xk1b[3]=As[8]*Xkb[2]+As[9]*Xkb[3]+Bs[1]*error_B;
Vbref=Cs[0]*Xkb[0]+Cs[1]*Xkb[1]+Cs[2]*Xkb[2]+Cs[3]*Xkb[3]+Ds*error_B;

InKb=vbL;
// Vbref = 0.433*InKb-InK1b*0.972+InK2b*0.4861+OutK1b*2-OutK2b;
InK2b=InK1b;
InK1b=InKb;
OutK2b=OutK1b;
OutK1b=Vbref;

if (Vbref>Vmax)
{
    Vbref=Vmax;
}
else if (Vbref<-Vmax)
{
    Vbref=-Vmax;
}

ll=0;
while (ll<=5)
{
    Xkb[ll]=Xk1b[ll];
    ll++;
}

}
else {Vbref=Vref_b*sinsp(Th_Wo+2.09439510239320);}

//
// Control resonante fase C
// #####

if (control_C)
{
    error_C=(Vcr-vcL);
// if (VrefAC) {error_C=(Var-vcL)/2;}

Xk1c[0]=As[0]*Xkc[0]+As[1]*Xkc[1];
Xk1c[1]=As[2]*Xkc[0]+As[3]*Xkc[1]+As[4]*Xkc[2]+As[5]*Xkc[3]+Bs[0]*error_C;
Xk1c[2]=As[6]*Xkc[2]+As[7]*Xkc[3];
Xk1c[3]=As[8]*Xkc[2]+As[9]*Xkc[3]+Bs[1]*error_C;
Vcref=Cs[0]*Xkc[0]+Cs[1]*Xkc[1]+Cs[2]*Xkc[2]+Cs[3]*Xkc[3]+Ds*error_C;

InKc=vcL;
// Vcref = 0.443*InKc-InK1c*0.972+InK2c*0.4861+OutK1c*2-OutK2c;
InK2c=InK1c;
InK1c=InKc;
OutK2c=OutK1c;

```

```

OutKlc=Vcref;

if (Vcref>Vmax)
{
    Vcref=Vmax;
}
else if (Vcref<-Vmax)
{
    Vcref=-Vmax;
}

ll=0;
while (ll<=5)
{
    Xkc[ll]=Xk1c[ll];
    ll++;
}

}
else {Vcref=Vref_c*sinsp(Th_Wo+4.18879020478639);}
//if (VrefAC) {Vcref=Varef;}

// HASTA AQUI CONTROL RESONANTE

demand_alpha=0.666666666666667*Varef-0.333333333333333*Vbref-0.333333333333333*Vcref;
demand_beta=0.577350269189626*Vbref-0.577350269189626*Vcref;
demand_gama=0.235702260395516*Varef+0.235702260395516*Vbref+0.235702260395516*Vcref;

// Encuentra el prisma de salida
//

Th_o=atan2sp(demand_beta,demand_alpha);
if (Th_o>TWOPI) Th_o=Th_o-TWOPI;
if (Th_o<0) Th_o=Th_o+TWOPI;
prisma=(Th_o+PI_3)*THREE_PI;
prisma=((prisma==7)?1:prisma);

// Encuentra el Tetraedro de salida
if (Varef>0 && Vbref>0 && Vcref>0) Tetra=1;
else if (Varef<0 && Vbref<0 && Vcref<0) Tetra=4;
else if (Varef>0 && Vbref>0 && Vcref<0 || Varef<0 && Vbref>0 && Vcref>0 || Varef>0 && Vbref<0 && Vcref>0) Tetra=2;
else Tetra=3;

// Encuentra los vectores a utilizar
Tin=prisma*4+Tetra-5;//(prisma-1)*4+Tetra-1;

// Encuentra los vectores a utilizar
V1=tetra_vector[Tin][0]; // tetra_vector = espacio
V2=tetra_vector[Tin][1];
V3=tetra_vector[Tin][2];

// vectores alfa-beta-gama correspondientes al tetraedro
VectorA_alpha=V_unit[V1-1][0];
VectorA_beta=V_unit[V1-1][1];

```

```

VectorA_gama=V_unit[V1-1][2];

VectorB_alpha=V_unit[V2-1][0];
VectorB_beta=V_unit[V2-1][1];
VectorB_gama=V_unit[V2-1][2];

VectorC_alpha=V_unit[V3-1][0];
VectorC_beta=V_unit[V3-1][1];
VectorC_gama=V_unit[V3-1][2];
//Lo anterior es el calculo del tetraedro y de las componentes alfa beta y gama de los
vectores que componen en tetra

// Calcula los componentes sigmas de cada vector.
//

// primero Sigma_a.
normal_alpha = VectorB_beta*VectorC_gama- VectorB_gama*VectorC_beta;
normal_beta = VectorB_gama*VectorC_alpha- VectorB_alpha*VectorC_gama;
normal_gama = VectorB_alpha*VectorC_beta- VectorB_beta*VectorC_alpha;

//calculate normal.Demanda
dot_num_a= normal_alpha*demand_alpha+normal_beta*demand_beta+normal_gama*demand_gama;

//calculate normal.Va
dot_den_a= normal_alpha*VectorA_alpha+normal_beta*VectorA_beta+normal_gama*VectorA_gama;

//calculate proportion of Va used to generate the demand vector, sigma_a
sigma_a= (dot_num_a/dot_den_a);
if (sigma_a<0) sigma_a=-sigma_a;
//calcula los tiempos asociados con este vector
dd2=sigma_a/Edc;
//
// Ahora Sigma_b
//
normal_alpha = VectorC_beta*VectorA_gama- VectorC_gama*VectorA_beta;
normal_beta = VectorC_gama*VectorA_alpha- VectorC_alpha*VectorA_gama;
normal_gama = VectorC_alpha*VectorA_beta- VectorC_beta*VectorA_alpha;
//calculate normal.(Vd)
dot_num_b = normal_alpha*demand_alpha + normal_beta*demand_beta+normal_gama*demand_gama;
// calculate normal.Vb
dot_den_b = normal_alpha*VectorB_alpha + normal_beta*VectorB_beta + normal_gama*VectorB_gama;
sigma_b=(dot_num_b/dot_den_b);
if (sigma_b<0) sigma_b=-sigma_b;
//calcula los tiempos asociados con este vector
dd4=sigma_b/Edc;

//Calculate sigma_c - in direction of VC
//sigma_c = normal.(Vd)/normal.Vc where Vd is the demand vector
//calculate normal to plane AB
normal_alpha = VectorA_beta*VectorB_gama- VectorA_gama*VectorB_beta;
normal_beta = VectorA_gama*VectorB_alpha- VectorA_alpha*VectorB_gama;
normal_gama = VectorA_alpha*VectorB_beta- VectorA_beta*VectorB_alpha;
//calculate normal.(Vd)
dot_num_c = normal_alpha*demand_alpha+normal_beta*demand_beta+normal_gama*demand_gama;
//calculate normal.Vc
dot_den_c = normal_alpha*VectorC_alpha+normal_beta*VectorC_beta+normal_gama*VectorC_gama;

```

```

sigma_c = ((dot_num_c/dot_den_c));
if (sigma_c<0) sigma_c=-sigma_c;
// calcula los tiempos asociados a este vector
dd6=sigma_c/Edc;

//Tiempos en formato real
ddIf=dd2*((float)PULSE_2);
ddIIIf=dd4*((float)PULSE_2);
ddIIIIf=dd6*((float)PULSE_2);

d0=2*(PULSE_2-((float)(ddIf+ddIIIf+ddIIIIf)));
d04= 0.25*((float)d0);
d204= 0.5*((float)d0);

T1=d04;
T2=ddIf;
T3=ddIIIf;
T4=ddIIIIf;
T5=d204;
T6=ddIIIIf;
T7=ddIIIf;
T8=ddIf;
T9=d04;
V_0=0;
V_1=vector3D [Tin][1];
V_2=vector3D [Tin][2];
V_3=vector3D [Tin][3];
V_4=0x000f0000;

VECTOR[0]=0;

if (T1>Tmin) *dpr1=(V_0 |T1);
if (T2>Tmin) *dpr1=(V_1 |T2);
if (T3>Tmin) *dpr1=(V_2 |T3);
if (T4>Tmin) *dpr1=(V_3 |T4);
if (T5>Tmin) *dpr1=(V_4 |T5);
if (T6>Tmin) *dpr1=(V_3 |T6);
if (T7>Tmin) *dpr1=(V_2 |T7);
if (T8>Tmin) *dpr1=(V_1 |T8);
*dpr1= V_0;

*led_port |= 0x00000002;

llegue>(*dpr8 & 0x00FFFFFF);

reg0=*dpr0;
reg1=*dpr1;
reg8=(unsigned int *)DPR8;
reg8n=*dpr2;
reg12=*dpr12;
reg14=*dpr14;

if (save==1)

```

```

{
buffer_full=0;

if (ii<5000)
{
//if (ii==2000)
//{
// controlRele=1;
// kkk=0.4;
//}

//cambio de referencia
if(ii==2000){kkk=0.5;}
if(ii==3500){VrefAC=1;}

if (ii==500)
{
control_A=1;
control_B=1;
control_C=1;
//Var=vaL;
//Vbr=vbL;
//Vcr=vcL;
}

vaL1[ii]=vaL;
vbL1[ii]=vbL;
vcL1[ii]=vcL;
Th_Wo1[ii]=Th_Wo;
Var1[ii]=Var;
Vbr1[ii]=Vbr;
Vcr1[ii]=Vcr;
iao1[ii]=iao;
ibo1[ii]=ibo;
ico1[ii]=ico;
Varef1[ii]=Varef;
Vbref1[ii]=Vbref;
Vcref1[ii]=Vcref;

Var1[ii]=Var;
Vbr1[ii]=Vbr;
Vcr1[ii]=Vcr;

Vclamp1[ii]=Vclamp;

error_A1[ii]=error_A;
error_B1[ii]=error_B;
error_C1[ii]=error_C;

IoAlpha1[ii]=IoAlpha;
IoBeta1[ii]=IoBeta;
IoGamma1[ii]=IoGamma;
ii++;
}

```



```
Bs[1]=0.1357;
```

```
Cs[0]=0.0164;
```

```
Cs[1]=-0.2179;
```

```
Cs[2]=0.001971;
```

```
Cs[3]=0.1129;
```

```
Ds=0.2081;
```

```
}
```

```
void recibecontrolador(void)
```

```
{
```

```
    ii=0;
```

```
    kk=0;
```

```
    while (ii==0)
```

```
    {
```

```
        As[kk]=envia;
```

```
        *led_port |= 0x00000008;
```

```
    }
```

```
    ii=0;
```

```
    kk=0;
```

```
    *led_port |= 0x00000004;
```

```
    while (ii==0)
```

```
    {
```

```
        Bs[kk]=envia;
```

```
        *led_port |= 0x00000002;
```

```
    }
```

```
    ii=0;
```

```
    kk=0;
```

```
    while (ii==0)
```

```
    {
```

```
        Cs[kk]=envia;
```

```
    }
```

```
    kk=0;
```

```
}
```

```
void p_reset(void)
```

```
{
```

```
* (unsigned int *)DPR0&=0xFFFFFFFF7F;
```

```
* (unsigned int *)DPR0|=0x00000080;
```

```
/*dpr0n&=0xFFFFFFFF7F;
```

```
/*dpr0n|=0x00000080;
```

```
}
```

```
void pwm_reset(void)
```

```
{
```

```
* (unsigned int *)DPR0|=0x00008000;
```

```
* (unsigned int *)DPR0&=0xFFFF7FFF;
```

```
}
```

```
void reset_FPGA_mem(void)
```

```
{
```

```
    *dpr0 =0;
```

```
    *dpr1 =0;
```

```
*dpr2 =0;
*dpr3 =0;
*dpr4 =0;
*dpr5 =0;
*dpr6 =0;
*dpr7 =0;
*dpr8 =0;
*dpr9 =0;
*dpr10 =0;
*dpr11 =0;
*dpr12 =0;
*dpr13 =0;
*dpr14 =0;
*dpr15 =0;
ii=0;
while (ii<5000)
{
Vclamp1[ii]=0;
```

```
vaL1[ii]=0;
vbL1[ii]=0;
vcL1[ii]=0;
Th_Wo1[ii]=0;
Var1[ii]=0;
Vbr1[ii]=0;
Vcr1[ii]=0;
iaol[ii]=0;
ibo1[ii]=0;
icol[ii]=0;
Varef1[ii]=0;
Vbref1[ii]=0;
Vcref1[ii]=0;
```

```
VoAlpha1[ii]=0;
VoBeta1[ii]=0;
VoGamma1[ii]=0;
```

```
error_A1[ii]=0;
error_B1[ii]=0;
error_C1[ii]=0;
```

```
IoAlpha1[ii]=0;
IoBeta1[ii]=0;
IoGamma1[ii]=0;
```

```
Var1[ii]=0;
Vbr1[ii]=0;
Vcr1[ii]=0;
```

```
ii++;
```

```
}
//reset de variables control repetitivo colocar
```

```
}
```

```

void set_current_protection(void)
{
    // The current protection is set to about 18A instantaneous current.
    unsigned int x;
    x=0;
    *(unsigned int *)DPR10 = (0x000011E6); //Program en E6 canal 1 volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000021E6); //Program en E6 canal 1 no volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000012E6); //Program en E6 canal 0 volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000022E6); //Program en E6 canal 0 no volatil

    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000111E6); //Program en E6 canal 3 volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000121E6); //Program en E6 canal 3 no volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000112E6); //Program en E6 canal 2 volatil
    x=9000;
    while (x>0) x--;

    *(unsigned int *)DPR10 = (0x000122E6); //Program en E6 canal 2 no volatil
}

```

```

void read_ADC(void)
{
    unsigned int reg3,reg4,reg5,reg6,reg7;

    reg3 = (*(unsigned int *)DPR3);
    reg4 = (*(unsigned int *)DPR4);
    reg5 = (*(unsigned int *)DPR5);
    reg6 = (*(unsigned int *)DPR6);
    reg7 = (*(unsigned int *)DPR7);

    // Read adc0 to adc4
    adc0 = (reg3 & 0x3FFF);
    adc1 = (reg3 & 0x3FFF0000) >> 16;

    adc2 = (reg4 & 0x3FFF);
    adc3 = (reg4 & 0x3FFF0000) >> 16;

    adc4 = (reg5 & 0x3FFF);
}

```

```

adc5 = (reg5 & 0x3FFF0000) >> 16;

adc6 = (reg6 & 0x3FFF);
adc7 = (reg6 & 0x3FFF0000) >> 16;

adc8 = (reg7 & 0x3FFF);
adc9 = (reg7 & 0x3FFF0000) >> 16;

Vclamp=((float)adc3-offset3)*-1*VCLAMP;

vaL=((float)adc2-offset2)*-1*VGAINL;
vbL=((float)adc1-offset1)*-1*VGAINL;
vcL=((float)adc0-offset0)*-1*VGAINL;

iao=((float)adc5-offset5)*IGAINA;
ibo=((float)adc6-offset6)*IGAINB;
ico=((float)adc7-offset7)*IGAINC;

if ((iao>IMAX)||(-iao>IMAX)||(ico>IMAX)||(-ico>IMAX)||(ibo>IMAX)||(-ibo>IMAX))
{
    *(unsigned int *)DPR8 |= 0x0001;    // Software trip
    *led_port |= 0x0000000F;
}

//despues de la lectura, realizo inmediatamente la transformacion a alpha beta gamma

// IMAX esta definido en el archivo de parmetros y su valor es 20A.
// if
((iao>IMAX)||(-iao>IMAX)||(ibo>IMAX)||(-ibo>IMAX)||(ico>IMAX)||(-ico>IMAX)||(ino>IMAX)||(-ino>IMAX))
{
    *(unsigned int *)DPR8 |= 0x0001;    // Software trip
    *led_port |= 0x0000000F;
    // *(unsigned int *)DPR2 &= 0xFFFF03FF; // disable my PWM ( EN5-EN0)
}
// if (Vclamp>650) *(unsigned int *)DPR8 |= 0x0002 ;
}
void init_ADC(void)
{

int x;
int sum0, sum1, sum2, sum3, sum4, sum5, sum6, sum7, sum8, sum9;
unsigned int reg3, reg4, reg5, reg6, reg7;
int Ntimes=10000;
sum0 = 0;
sum1 = 0;
sum2 = 0;
sum3 = 0;
sum4 = 0;
sum5 = 0;
sum6 = 0;
sum7 = 0;
sum8 = 0;
sum9 = 0;

```

```

*(unsigned int *)DPR0 &= 0xFFFFF0FF; // set to software start of the ADCs

for(x=0;x<Ntimes;x++)
{
    *(unsigned int *)DPR0 |= 0x40; //Software start to the AD converters.

    // Wait for completion of ADC conversion
    while ((* (unsigned int *)DPR1)&0x80000000);

    reg3 = (*(unsigned int *)DPR3);
    reg4 = (*(unsigned int *)DPR4);
    reg5 = (*(unsigned int *)DPR5);
    reg6 = (*(unsigned int *)DPR6);
    reg7 = (*(unsigned int *)DPR7);

    // Read adc0 to adc4
    adc0 = (reg3 & 0x3FFF);
    adc1 = (reg3 & 0x3FFF0000) >> 16;

    adc2 = (reg4 & 0x3FFF);
    adc3 = (reg4 & 0x3FFF0000) >> 16;

    adc4 = (reg5 & 0x3FFF);
    adc5 = (reg5 & 0x3FFF0000) >> 16;

    adc6 = (reg6 & 0x3FFF);
    adc7 = (reg6 & 0x3FFF0000) >> 16;

    adc8 = (reg7 & 0x3FFF);
    adc9 = (reg7 & 0x3FFF0000) >> 16;

    sum0+=adc0;
    sum1+=adc1;
    sum2+=adc2;
    sum3+=adc3;
    sum4+=adc4;
    sum5+=adc5;
    sum6+=adc6;
    sum7+=adc7;
    sum8+=adc8;
    sum9+=adc9;

    *(unsigned int*)TIMER0_COUNT = 0;
    *(unsigned int*)TIMER0_CTRL |= 0x0c0; //Start timer

    while ((* (unsigned int *)TIMER0_COUNT)<4000); //Wait for 8 CPU clock cycles

    *(unsigned int*)TIMER0_CTRL &= 0xFF7F; //Hold timer
    // Delay set for ~10kHz sampling. This ensures that ADC input has settled between
    // sample and hold operations
}

// offset0 = (float)sum0/(float)Ntimes;
// offset1 = (float)sum1/(float)Ntimes;
// offset2 = (float)sum2/(float)Ntimes;

```

```

// offset3 = (float)sum3/(float)Ntimes;
offset0 = 8160;
offset1 = 8158;
offset2 = 8190;
offset3 = 8195;
//offset4 = (float)sum4/(float)Ntimes;
//offset5 = (float)sum5/(float)Ntimes;
//offset6 = (float)sum6/(float)Ntimes;
//offset7 = (float)sum7/(float)Ntimes;
//offset8 = (float)sum8/(float)Ntimes;
//offset9 = (float)sum9/(float)Ntimes;
offset5 = 8130;
offset6 = 8145;
offset7 = 8162;
}
void init_FPGA(void)
{

//Emulate power on reset
*(unsigned int *)DPR0 &= 0xFFFFFFFF7F;//set Power_on_reset low in FPGA
*(unsigned int *)DPR0 |= 0x00000080;//set Power_on_reset high in FPGA to reset DSP

// Times T1, T2, T3 for the state machine.

/**(unsigned int *)DPR2 = 0x02609826; // 0.8us
/**(unsigned int *)DPR2 = 0x0280A028;
// *(unsigned int *)DPR2 = 0x0300C030; //1Us
*(unsigned int *)DPR2 = 0x06218862;
*(unsigned int *)DPR12 &= 0xFFBFFFFFF; // Enable clamp trip.

}
void set_pwm_period(unsigned int period) // Value of period in uS.
{
    unsigned int value,to_load,x;
    x=0;
    value=(unsigned int) (period*50); // get number of FPGA clock cycles
    to_load=0xFFFF-(value-1); // get value to be loaded
    to_load=to_load<<16; // Shift value to upper 16 bits
    x=*dpr0;
    x&=0x0000FFFF; // upper 16 bits in zero
    x|=to_load; // put value there
    *dpr0=x; // write register
}

void timer0_init(void)//1
{
    *(unsigned volatile int *)TIMER0_CTRL &= 0xFF3F; //hold the timer
    *(unsigned volatile int *)TIMER0_CTRL |= 0x200; //use internal clock
    *(unsigned volatile int *)TIMER0_CTRL &= 0xFEFF; //pulse mode
    *(unsigned volatile int *)TIMER0_PRD = 0xFFFFFFFF; // set period to maximum
}

void timer1_init(void)//2

```

```

{
    *(unsigned volatile int *)TIMER1_CTRL &= 0xFF3F;           //hold the timer
    *(unsigned volatile int *)TIMER1_CTRL |= 0x200;           //use internal clock
    *(unsigned volatile int *)TIMER1_CTRL &= 0xFFFF;         //pulse mode
    *(unsigned volatile int *)TIMER1_PRD = 0xFFFFFFFF;        //set period to max
}

```

```
void pll_set()//4
```

```

{
    *(unsigned volatile int *)PLL_CSR = 0x8;           //start reset pll
    *(unsigned int*)TIMER1_COUNT = 0;
    *(unsigned int*)TIMER1_CTRL |= 0x0c0;           //Start time
    while ((*unsigned int *)TIMER1_COUNT)<3000); //wait time
    *(unsigned volatile int *)PLL_M=0x7;           //PLL X7
    *(unsigned volatile int *)PLL_DIV0 =0x00008000; //ENABLE THE DIV0 FOR 1
    *(unsigned volatile int *)PLL_CSR = 0x0;           //end reset pll
    *(unsigned int*)TIMER1_COUNT = 0;
    *(unsigned int*)TIMER1_CTRL |= 0x0c0;           //Start time
    while ((*unsigned int *)TIMER1_COUNT)<3000); //wait time
    *(unsigned volatile int *)PLL_CSR |= 0x1; //start reset pll
}

```

```
void init_McBSP0(void)//3
```

```

{
    unsigned int x=0;

    x = *((volatile unsigned int *)0x90080004);
    *((volatile unsigned int *)0x90080004) = x|0x030000;
    *(unsigned volatile int *)McBSP0_SPCR &= 0xFF3EFFFF;
    *(unsigned volatile int *)McBSP0_SRGR = 0x20000004;
    *(unsigned volatile int *)McBSP0_SPCR &= 0xFFFFF7FF;
    *(unsigned volatile int *)McBSP0_SPCR |= 0x00001000;
    *(unsigned volatile int *)McBSP0_PCR &= 0xFFFFFFFFD;
    *(unsigned volatile int *)McBSP0_PCR |= 0x00001B09;
    *(unsigned volatile int *)McBSP0_XCR = 0x00050040;
    *(unsigned int*)TIMER0_COUNT = 0;
    *(unsigned int*)TIMER0_CTRL |= 0x0c0;
    while ((*unsigned int *)TIMER0_COUNT)<2);
    *(unsigned int*)TIMER0_CTRL &= 0xFF7F;
    *(unsigned volatile int *)McBSP0_SPCR |= 0x00400000;
    *(unsigned int*)TIMER0_COUNT = 0;
    *(unsigned int*)TIMER0_CTRL |= 0x0c0;
    while ((*unsigned int *)TIMER0_COUNT)<6);
    *(unsigned int*)TIMER0_CTRL &= 0xFF7F;
    *(unsigned volatile int *)McBSP0_SPCR |= 0x00010000;
}

```

```
void dac(unsigned int canal, short dato)
```

```

{
    short temp;

    if (canal<=3)
    {
        temp = (canal << 14) | (0x2 << 12) | (0x0FFF & dato);
    }
}

```

```
*(unsigned volatile int *)McBSP0_DXR = temp; //Escribe el nuevo dato al DAC  
}
```

```
}
```