

Tabla de Contenido

1. Introducción	1
1.1. Motivación	1
1.2. Objetivos	2
1.2.1. Objetivo general	2
1.2.2. Objetivos específicos	2
1.3. Estructura de la memoria	3
2. Marco Teórico	4
2.1. Flujo de diseño de circuitos integrados	4
2.1.1. Diseño lógico a nivel transferencia entre registros	4
2.1.2. Simulación dinámica	5
2.1.3. Síntesis lógica	5
2.1.4. Verificación formal	5
2.1.5. Análisis estático de restricciones de tiempo	5
2.1.6. Análisis de potencia	6
2.1.7. Restricciones físicas	7
2.1.8. Síntesis física	7
2.1.9. Extracción de parásitos	7
2.1.10. Sign-off	7
2.2. Consumo en dispositivos CMOS	8
2.2.1. Potencia estática	9
2.2.2. Potencia dinámica	10
2.3. Glitch	12
2.3.1. Glitch de transporte	13
2.3.2. Glitch inercial	13
2.3.3. Modelamiento de potencia en glitch inercial	14
2.4. Análisis de potencia en VLSI	15
2.4.1. Potencia de fuga	18
2.4.2. Potencia interna	18
2.4.3. Potencia de conmutación	19
2.4.4. Potencia total	19
2.4.5. Análisis de potencia mediante herramientas EDA	20
2.5. Técnicas de reducción de potencia dinámica	20
2.5.1. Clock-gating	21
2.5.1.1. Self-gating	22
2.5.1.2. Sequential-gating	23
2.5.2. Posicionamiento de baja potencia	24

2.5.3.	Re-implementación de compuertas	24
2.5.4.	IPs de bajo consumo	25
2.5.5.	Dimensionamiento de celdas	26
2.5.6.	Técnicas de reducción de glitch	27
2.5.6.1.	Inserción de registros	27
2.5.6.2.	Balance de retardos	28
2.5.6.3.	Lógica optimizada para reducción de glitch	28
2.6.	Figuras de merito	29
3.	Metodología	30
3.1.	Discusión de requerimientos para la metodología de evaluación propuesta . .	30
3.1.1.	Requerimientos prácticos	31
3.2.	Elección del diseño de pruebas	33
3.3.	Flujo de implementación	35
3.3.1.	Simulación RTL	36
3.3.2.	Síntesis del diseño	37
3.3.3.	Cálculo de retardos para simulación <i>Gate Level</i>	40
3.3.4.	Simulación <i>Gate Level</i>	41
3.3.5.	Análisis de potencia	44
3.4.	Extracción de datos	45
3.5.	Flujo de procesamiento de datos	47
3.6.	Verificación de consistencia de datos	49
4.	Casos de estudio	50
4.1.	Resultados preliminares	50
4.2.	Estimador de glitch	51
4.2.1.	Descripción del caso	51
4.2.2.	Aplicación de la metodología	51
4.2.3.	Resultados y análisis	51
4.3.	Técnicas de optimización y análisis para Self Gating	64
4.3.1.	Descripción del caso	64
4.3.2.	Aplicación de la metodología	65
4.3.3.	Resultados y análisis	66
5.	Conclusiones	69
5.1.	Propuestas para trabajos futuros	70
	Glosario	71
	Bibliografía	73